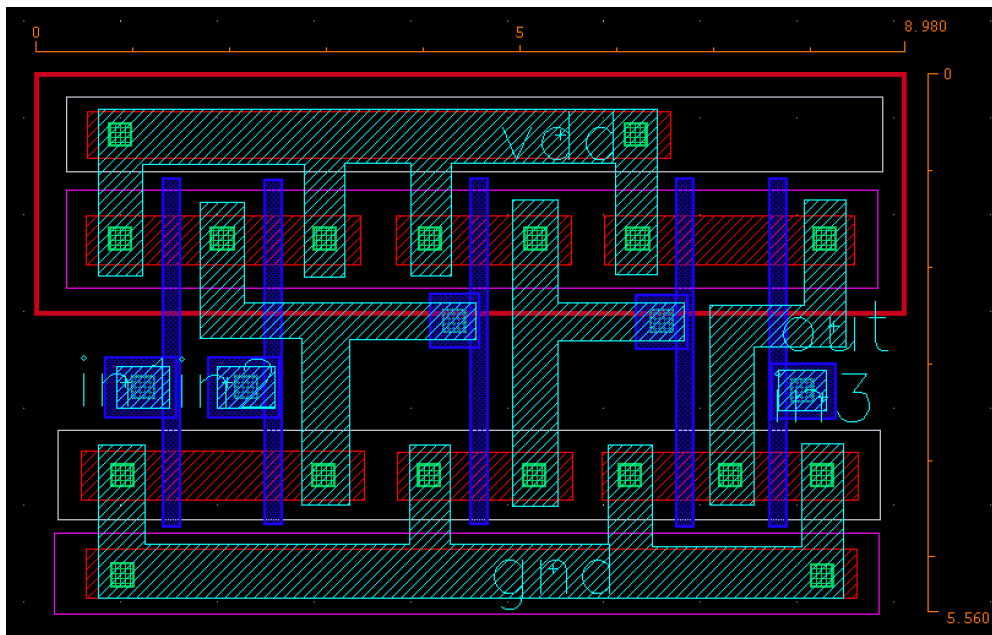


# 積體電路設計概論 Project1

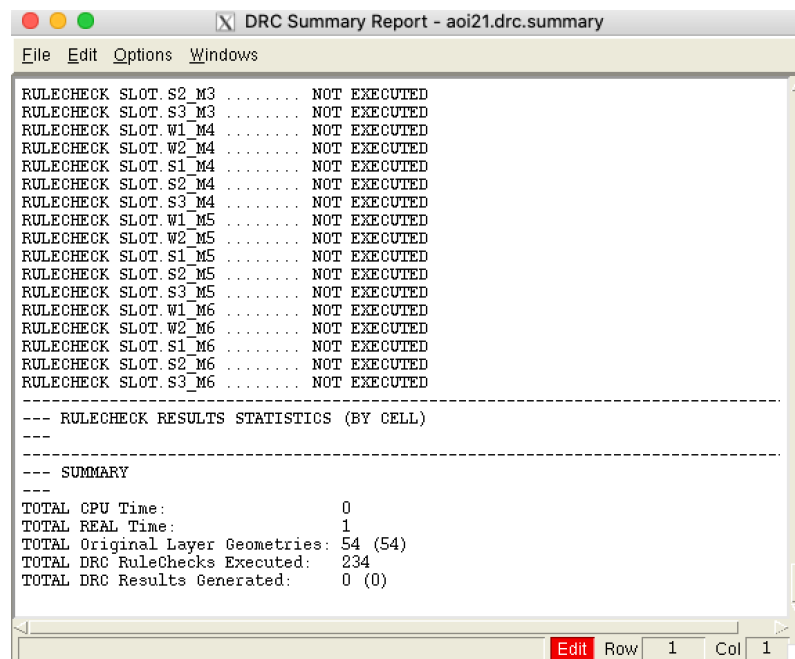
107062103 王依婷

## I. 4 Screenshots :

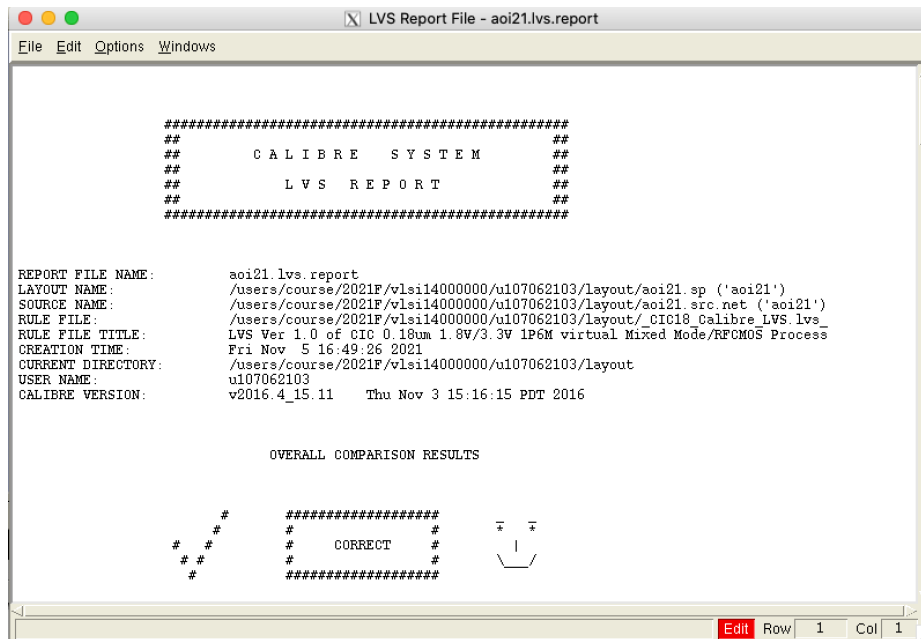
- Layout with ruler



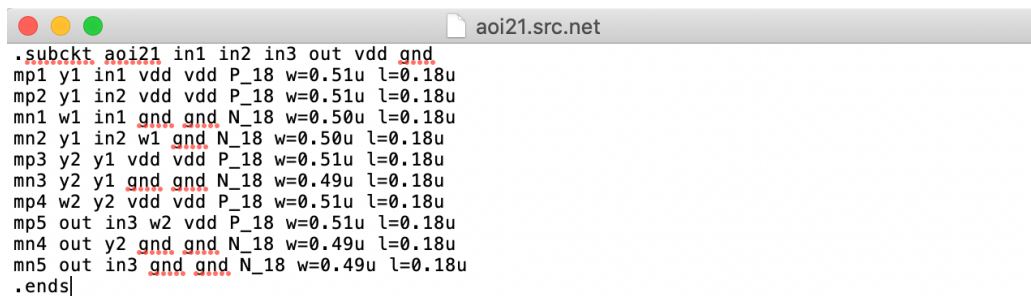
- DRC summary report



- LVS passing message

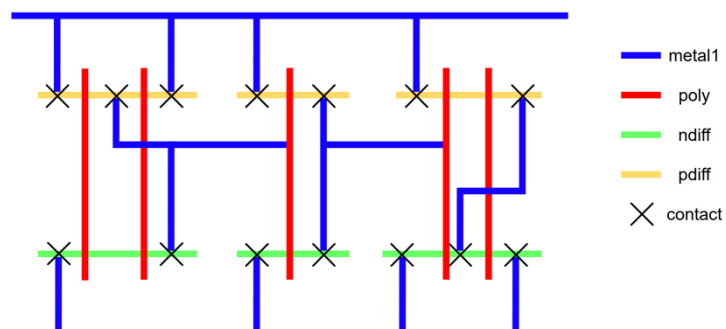


- LVS schematic



## II. Other discussion

這次的作業要畫一個 aoi21，也是我第一次畫 layout。aoi21 由一個 NAND2、inverter ( NOT ) 和 NOR 所組成，以下是我畫的 stick diagram:



由上面的 screenshot 可以看到我所畫的 layout，基本上我沒有使用什麼特別的方法，比如改變整體的結構，來減少 layout 的 area，只有讓不同區塊靠近一點。老師上課時有提到畫 layout 其實也稍微要注重美學的部分，因此我讓我的 layout 主要維持簡單清晰的樣子，沒有使用太多的 rectangle metal 疊在一起串接，而是直接用 polygon 來繪製大的區塊。這次作業讓我學到了如何使用 virtuoso 繪製出 layout，熟悉整套流程的步驟，畫不複雜的 layout 感覺不難，但其實還是有很多眉眉角角要注意，都可能會違反到 design rules，或導致 LVS 不通過。再加上是第一次使用，對於 LVS 的 error message 不是很熟悉，有錯誤時花了一些時間才發現，原來只是漏掉了 vdd 和 gnd 上連接 metal 處也需要放 contact 這個小地方。還有不知為何做了好幾次 DRC 之後，他會卡住，必須離開工作站重新再進入一次之後才能繼續使用？這讓我有一點點困擾。除此之外，一直縮小每個部分，挑戰 design rule 的極限還蠻有趣的，只是需要不少時間（雖然我沒有縮到非常小）。