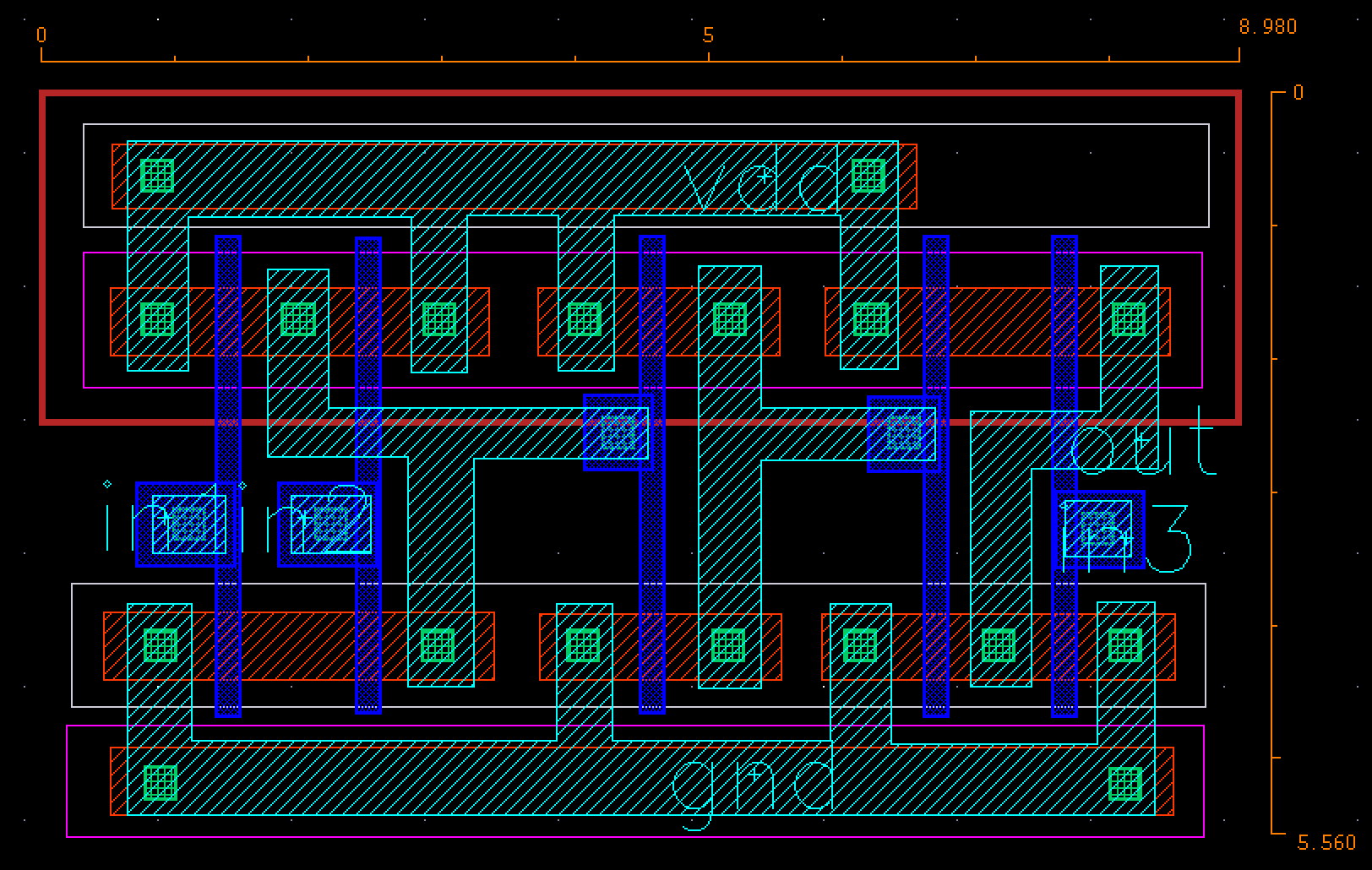
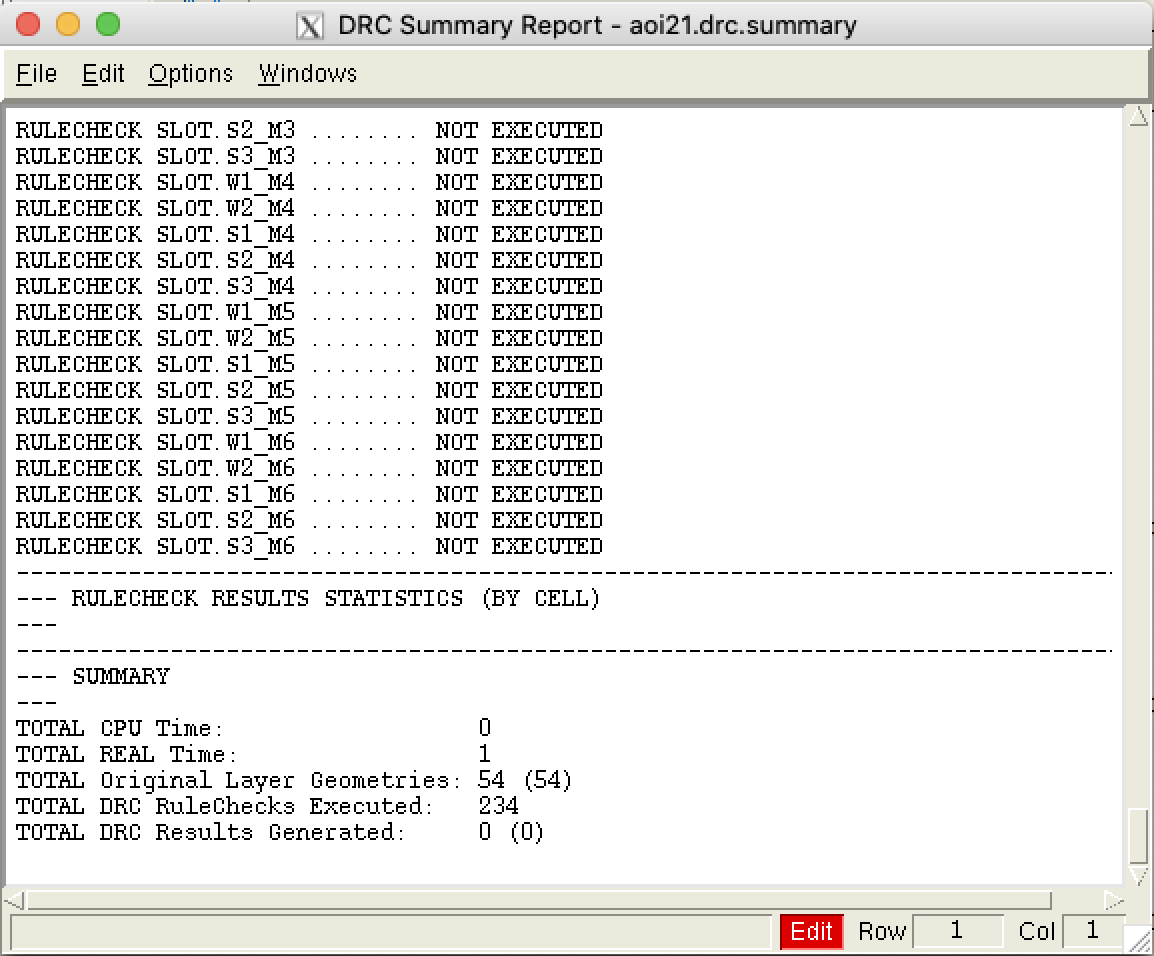
積體電路設計概論 Project1

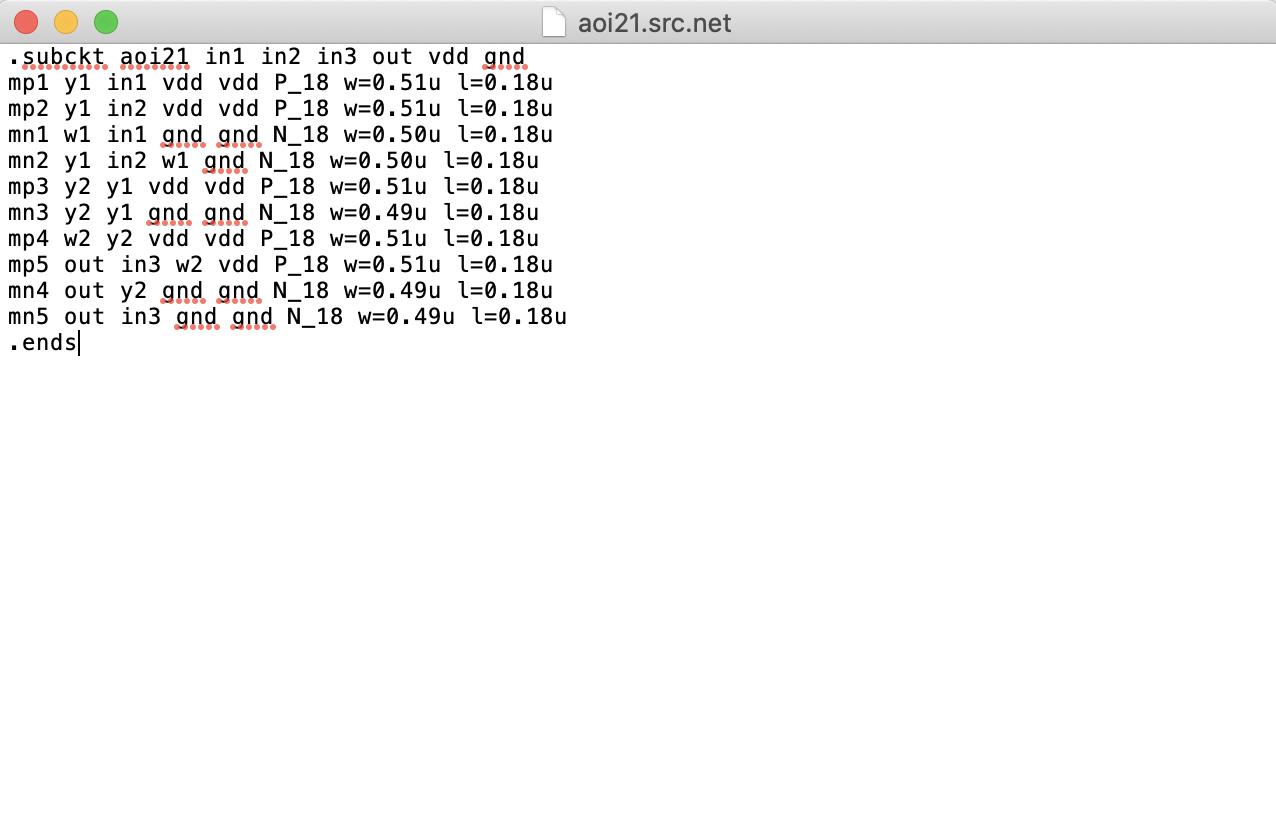
107062103 王依婷

1. 4 Screenshots：
   * Layout with ruler
   * DRC summary report

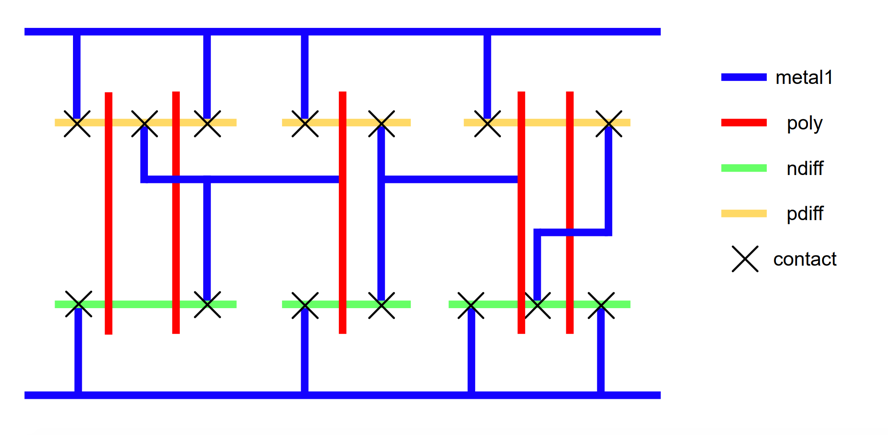


* + LVS passing message



* + LVS schematic

1. Other discussion

這次的作業要畫一個aoi21，也是我第一次畫layout。aoi21由一個NAND2、inverter（NOT）和NOR所組成，以下是我畫的stick diagram:

由上面的screenshot可以看到我所畫的layout，基本上我沒有使用什麼特別的方法，比如改變整體的結構，來減少layout的area，只有讓不同區塊靠近一點。老師上課時有提到畫layout其實也稍微要注重美學的部分，因此我讓我的layout主要維持簡單清晰的樣子，沒有使用太多的rectangle metal疊在一起串接，而是直接用polygon來繪製大的區塊。這次作業讓我學到了如何使用virtuoso繪製出layout，熟悉整套流程的步驟，畫不複雜的layout感覺不難，但其實還是有很多眉眉角角要注意，都可能會違反到design rules，或導致LVS不通過。再加上是第一次使用，對於LVS的error message不是很熟悉，有錯誤時花了一些時間才發現，原來只是漏掉了vdd和gnd上連接metal處也需要放contact這個小地方。還有不知為何做了好幾次DRC之後，他會卡住，必須離開工作站重新再進入一次之後才能繼續使用？這讓我有一點點困擾。除此之外，一直縮小每個部分，挑戰design rule的極限還蠻有趣的，只是需要不少時間（雖然我沒有縮到非常小）。