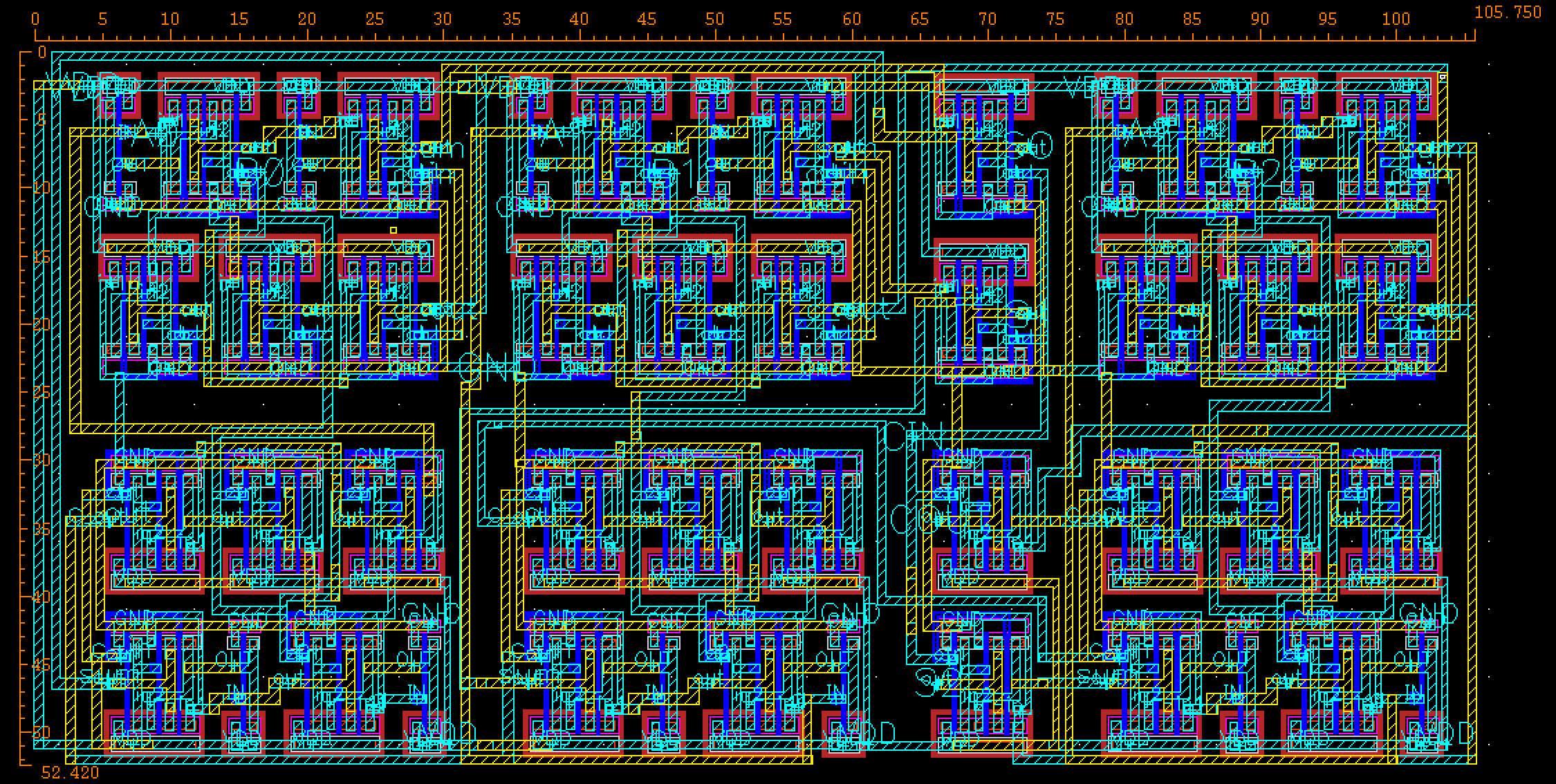
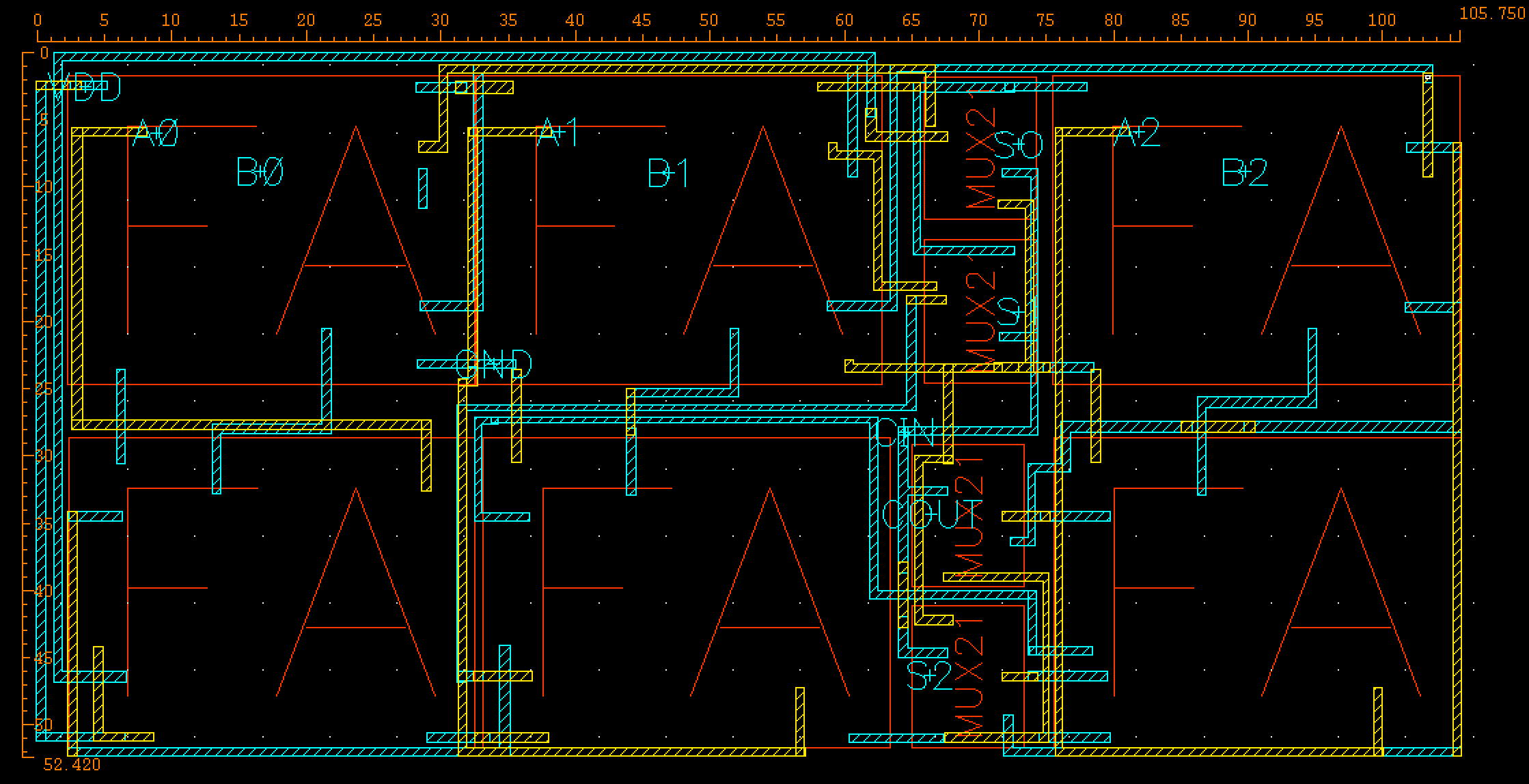
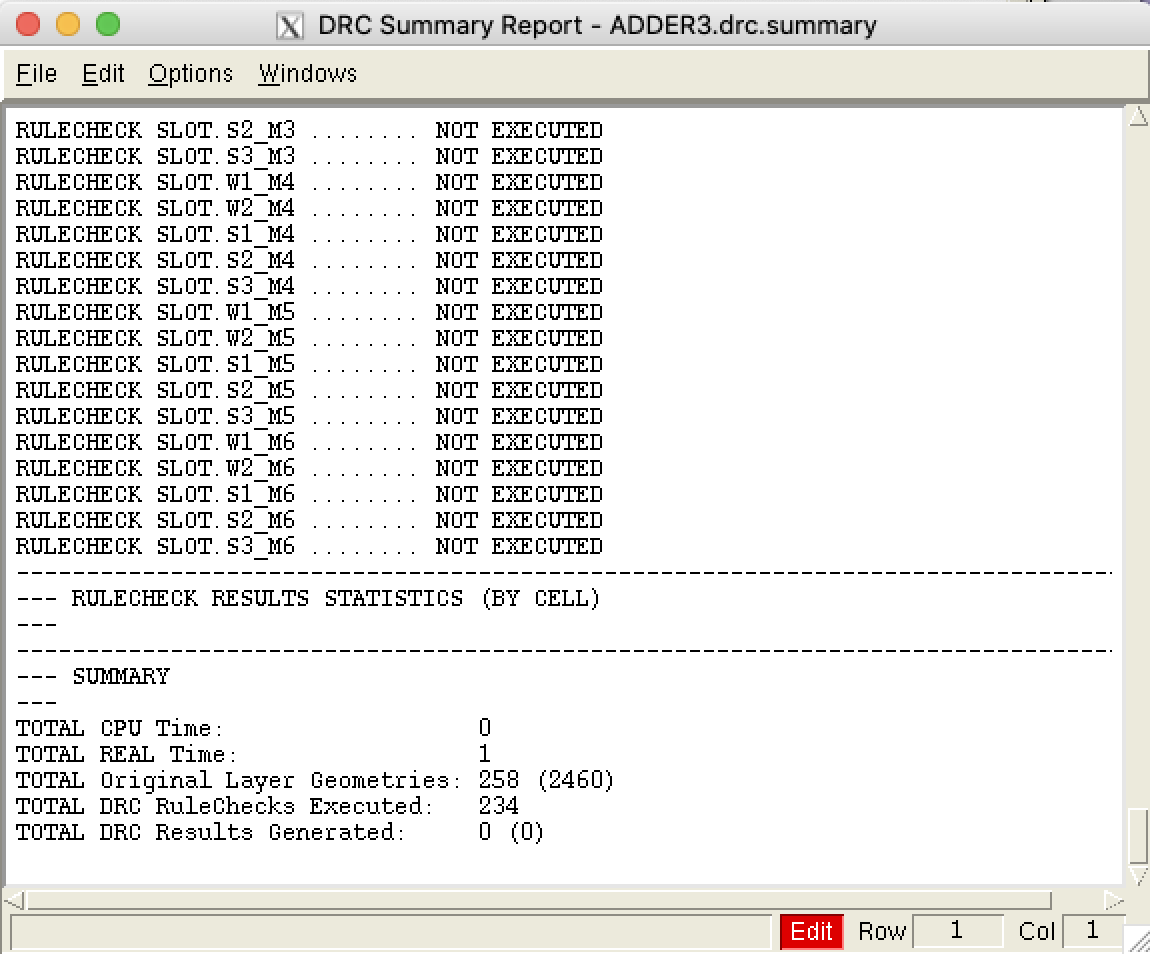
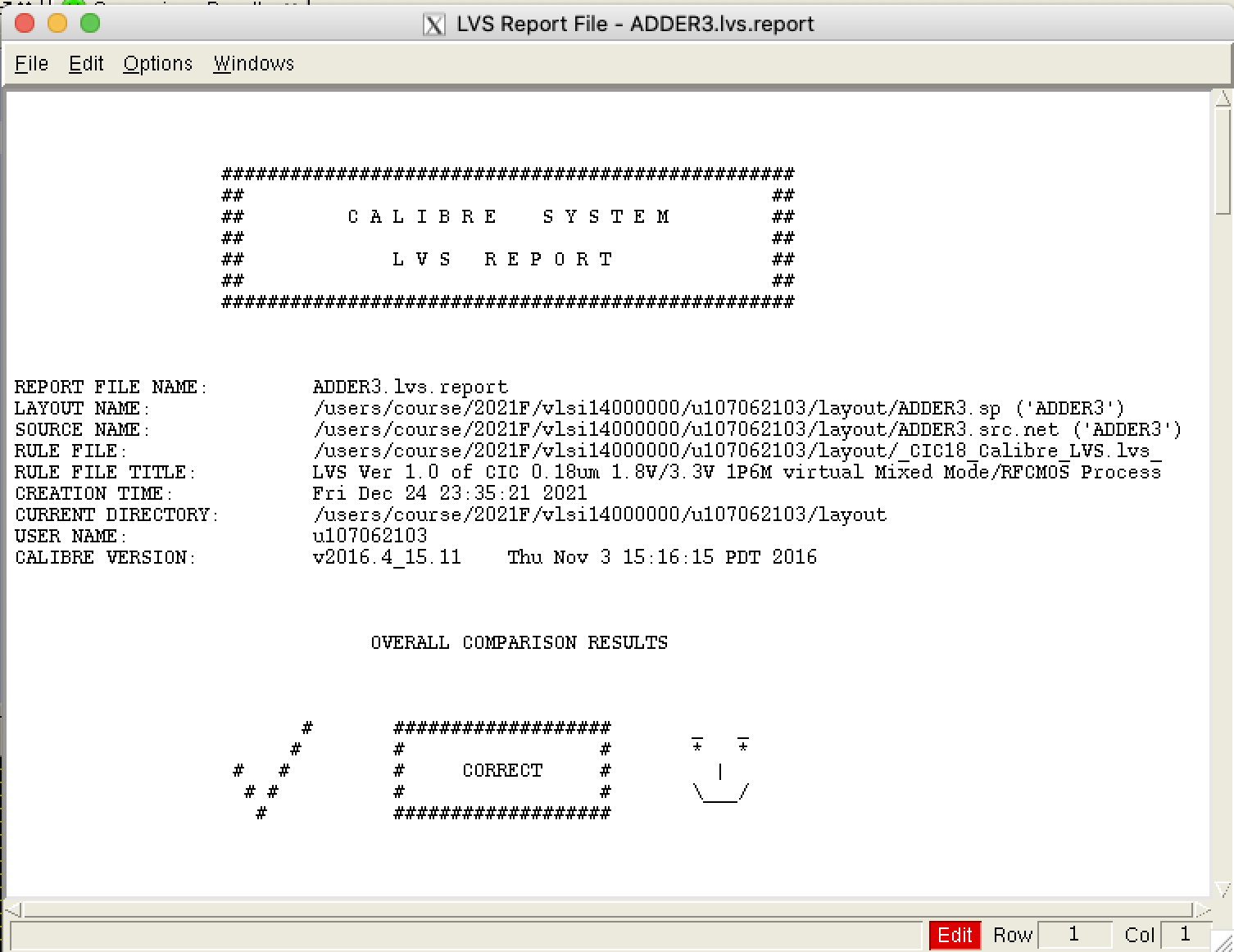
積體電路設計概論 Project2

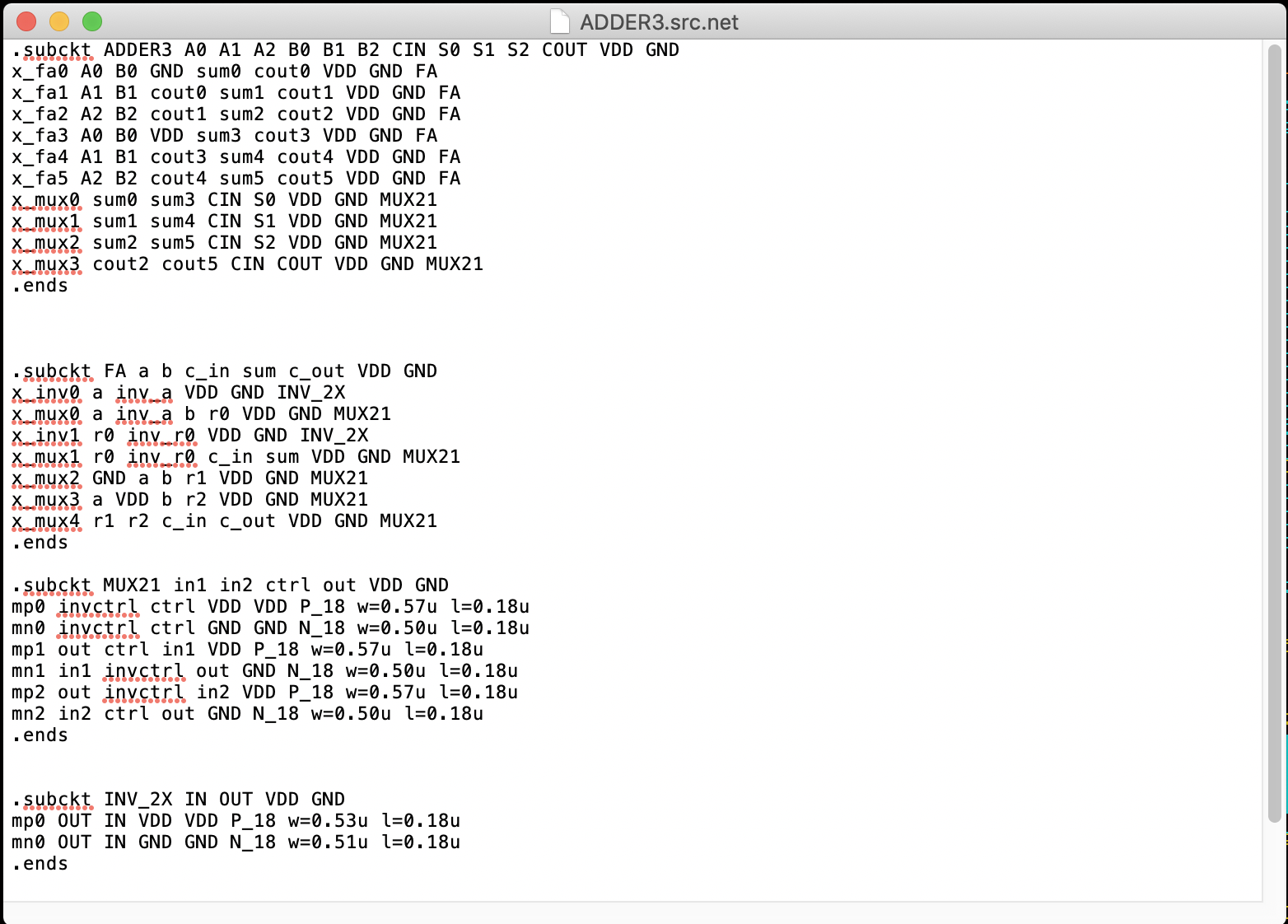
107062103 王依婷

1. 5 Screenshots：
   * Layout with ruler
   * DRC summary report



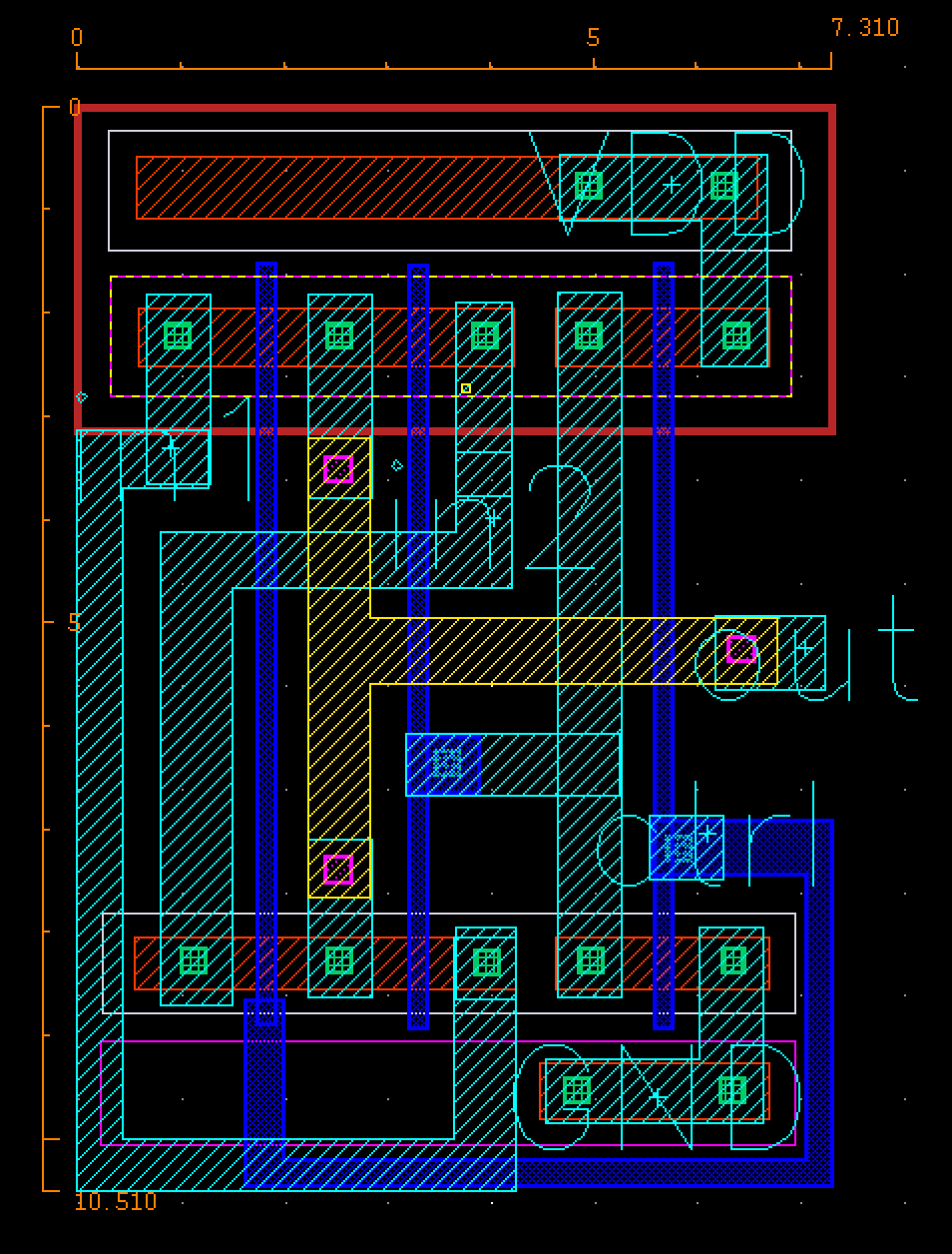
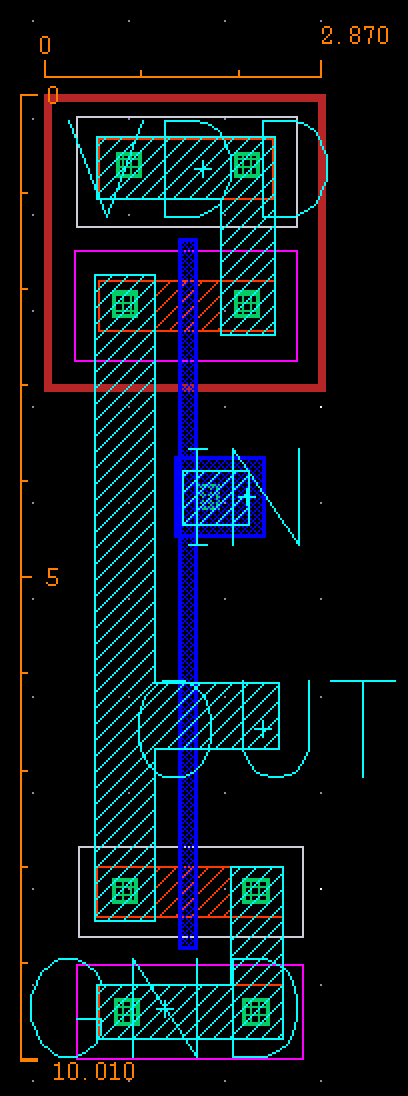
* + LVS passing message



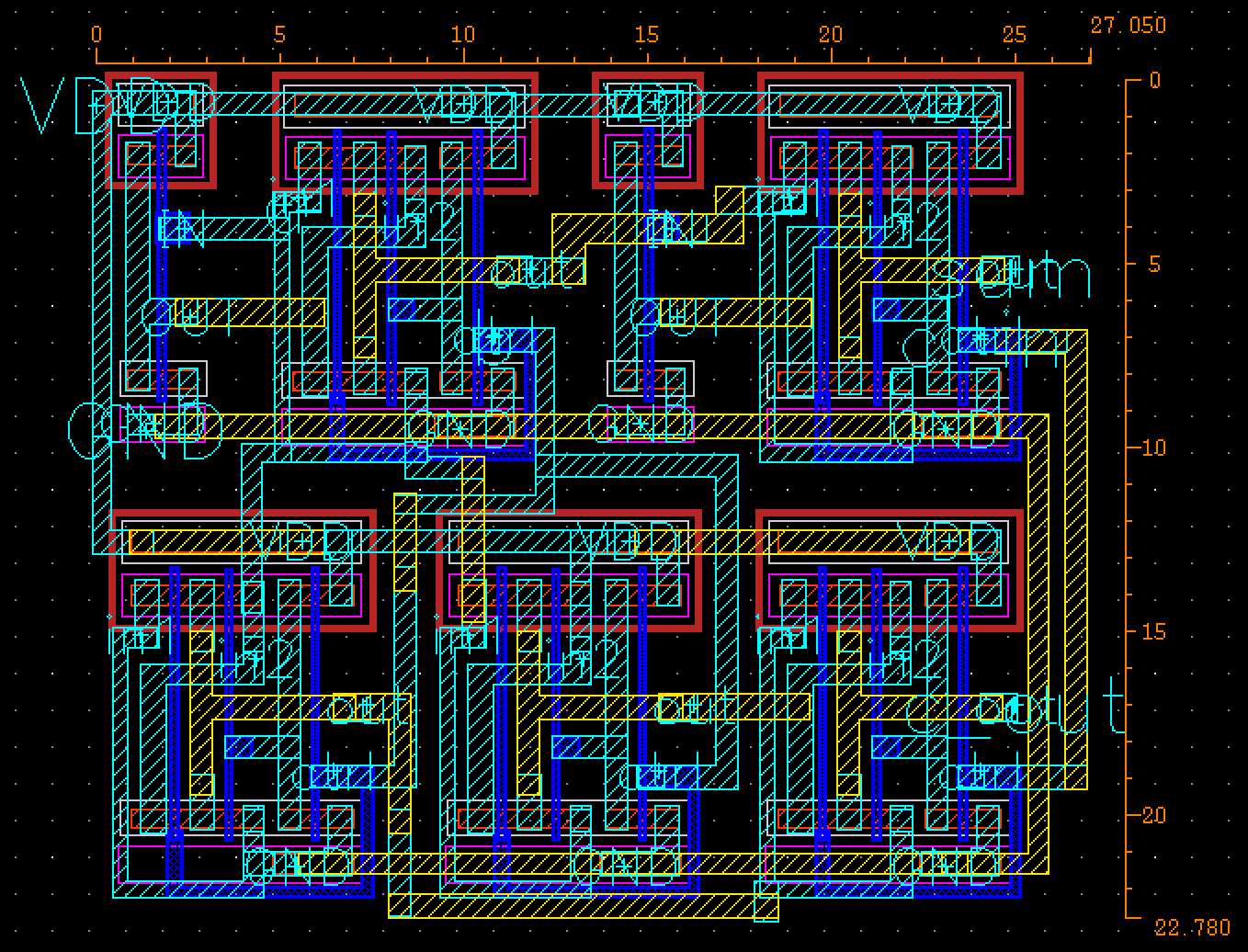
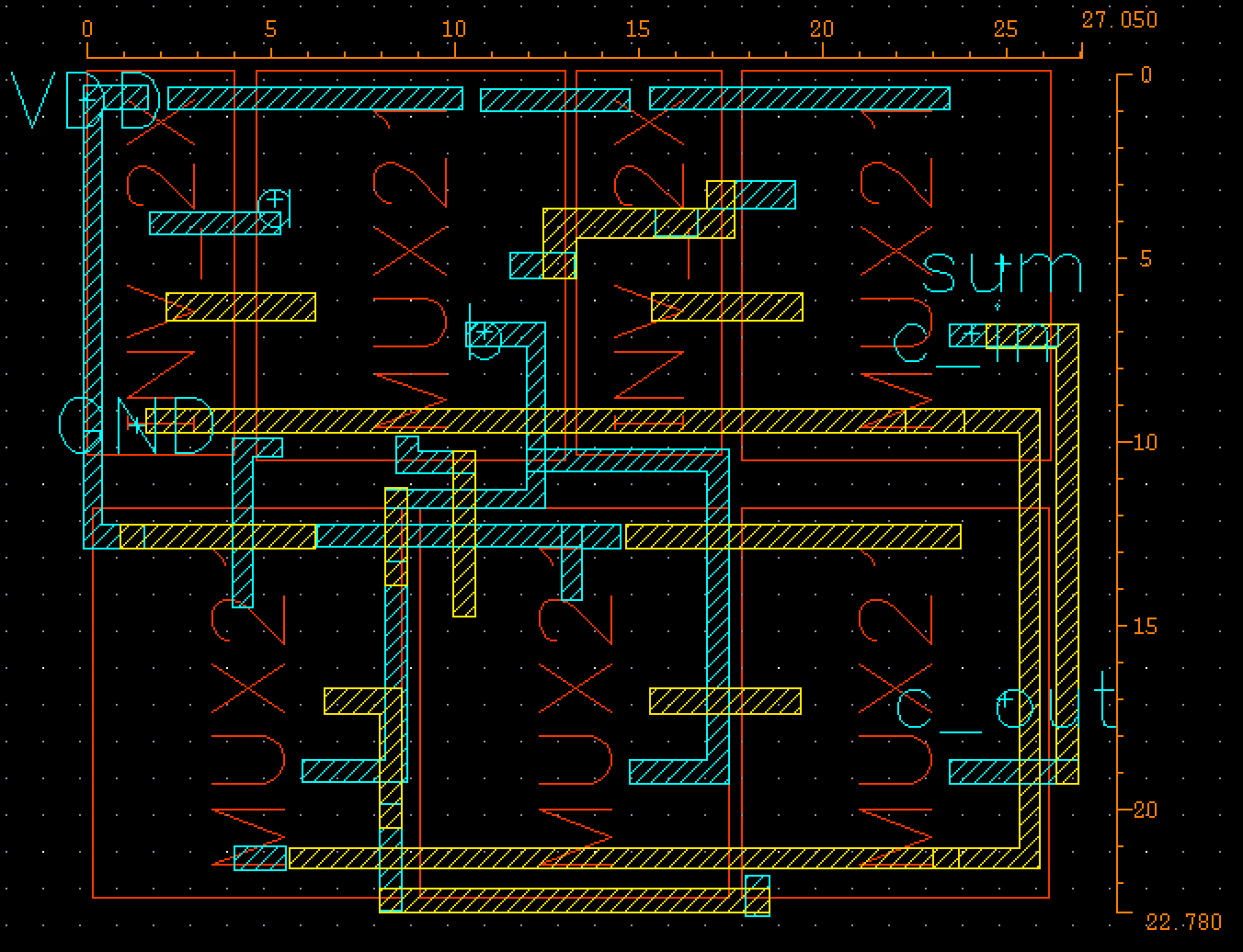
* + LVS schematic

1. Other discussion

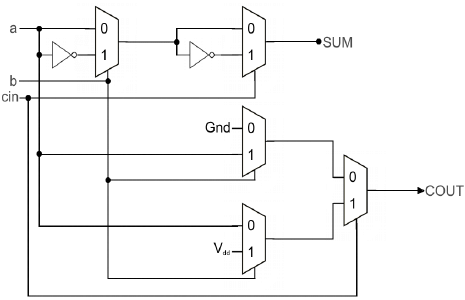
在這次的作業中我沒有使用standard cell library裡面的cell，因為library裡面的cell其實比較大，改成自己繪製了inverter，再用來它和transmission gate組合成2-to-1的MUX，之後再組合成full adder，最後形成ADDER3。以下分別是inverter、MUX、full adder的layout圖，還有參考的電路圖（LVS檔案的話其實有包含在ADDER3裡面了，所以不再附上）。



1. inverter
2. 2-to-1 MUX



1. 1-bit full adder



1. 參考的full adder圖

我覺得project2和project1的規模差非常多，在inverter、MUX、FA每一層級都要檢查沒問題才能繼續做下去，等到畫到最後ADDER3時layout已經變得非常複雜！一開始LVS一直不過，慢慢檢查才發現在很多小地方不小心漏掉一些，比如我漏畫很多via等，最後也覺得有debug出了一些條理，感覺更熟悉畫layout了！這次也自己畫了cell來使用，讓area減少不少，蠻有成就感的。