

Sistema de adquisición basado en FPGA

Revisión 1: Especificaciones del sistema

Entrada del sistema

La señal analógica, procedente de un detector logarítmico, es la envolvente de la señal pulsada de 3,3GHz (Figura 1). Mediante el conversor analógico-digital AD9467 (Figura 2) se digitalizara la señal para transferir el valor de la muestras a la placa de desarrollo mediante el conector FMC que disponen tanto ADC como placa.

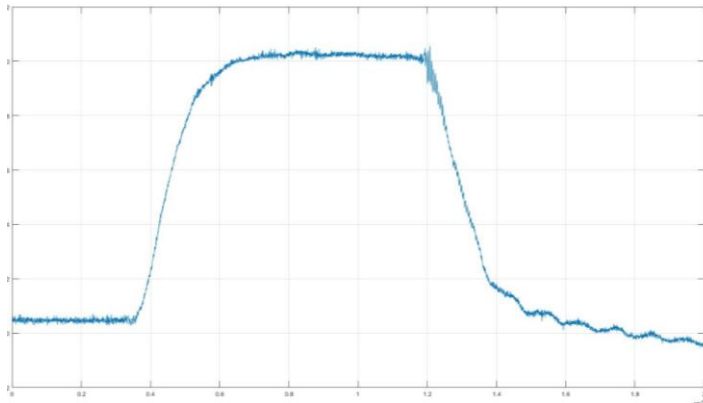


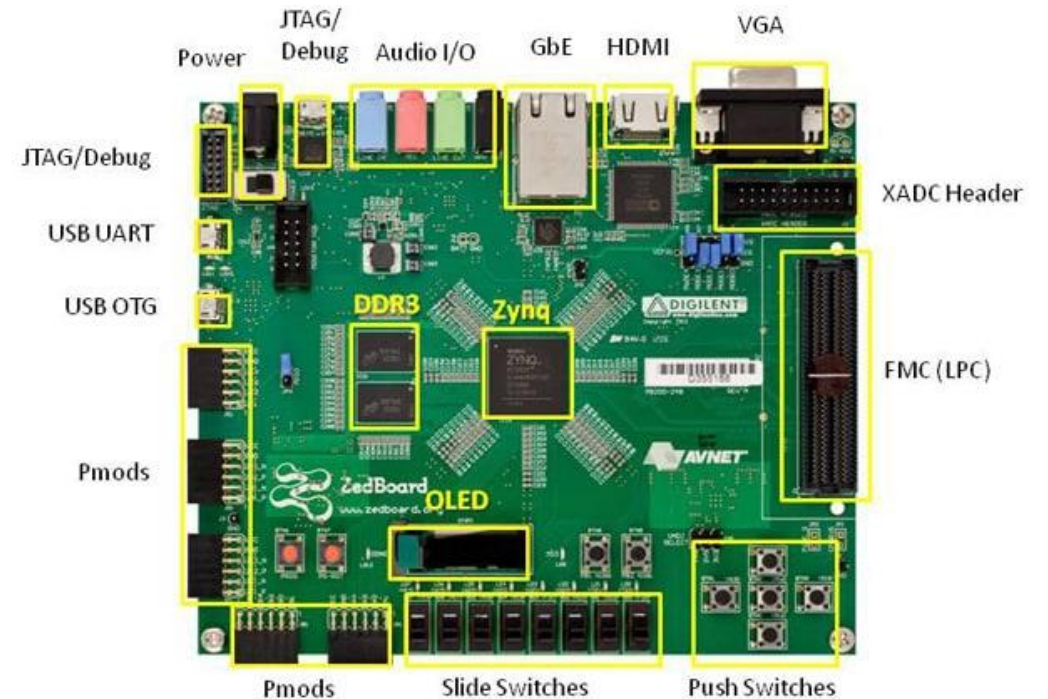
Figura 1



Figura 2

Placa de desarrollo: Zedboard

Una vez estén almacenadas las muestras en la memoria de la placa, el objetivo será procesar los datos recibidos del ADC para sacar el nivel de *flat-top* y *base-line*, pudiendo obtener la amplitud de la señal. Otros parámetros a obtener del procesado son el tiempo de subida y el tiempo de bajada en los cambios en la señal pulsada.



* SD card cage and QSPI Flash reside on backside of board

Placa de desarrollo: Zedboard

El procesamiento será realizado por el chip Zynq 7000 basado en la arquitectura SoC (*System on Chip*) de Xilinx que cuenta con dos procesadores ARM Cortex-A9 con la FPGA 28nm Artix®-7 based programmable logic. El procesador ejecutará los protocolos de Internet y los datos serán procesados en la lógica reprogramable. Los paquetes enviados por los procesadores mediante TCP, protocolo de control de transmisión, serán visualizados en Matlab.

