

Gebze Technical University  
Computer Engineering

CSE 331

2019 Fall

HOMEWORK 2 REPORT

Ebru KARDAŞ

141044049

Aşağıdaki tasarımların yapılması istenmiştir:

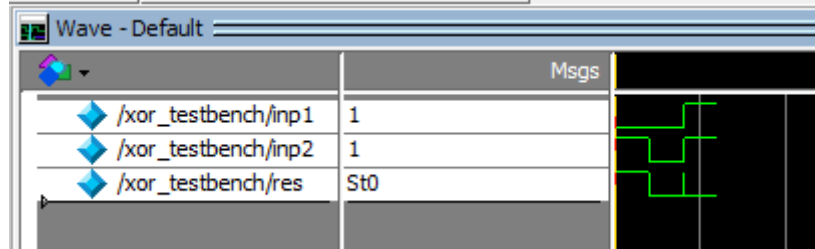
1. 4x1 MUX modül
2. 1-bit modül
3. 32-bit ALU modül

32 bitlik ALU tasarımı için 1 bitlik ALU'ların kullanılması istenmiştir. 1 bitlik ALU için de 4x1 MUX tasarımı gereklidir. And, Or ve Not haricinde herhangi bir kapı kullanılması yasak.

4x1 MUX tasarımı için aşağıda bulunan formül kullanılarak Xor kapısı yazıldı, bu Xor kapısının tasarımı *xor\_1.v* dosyasındadır.

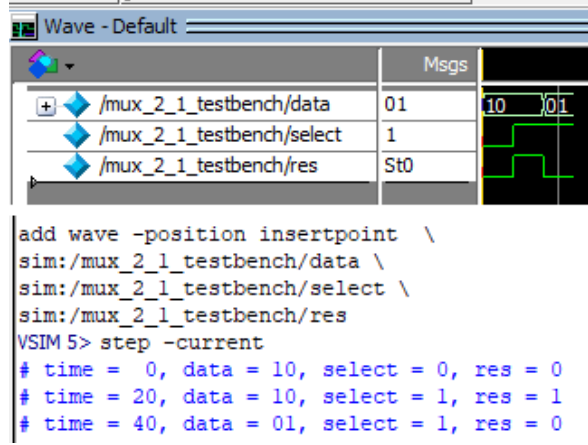
$$A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B$$

Xor kapısı *xor\_testbench.v* dosyasıyla test edilmiştir. Sonuçlar aşağıdadır.

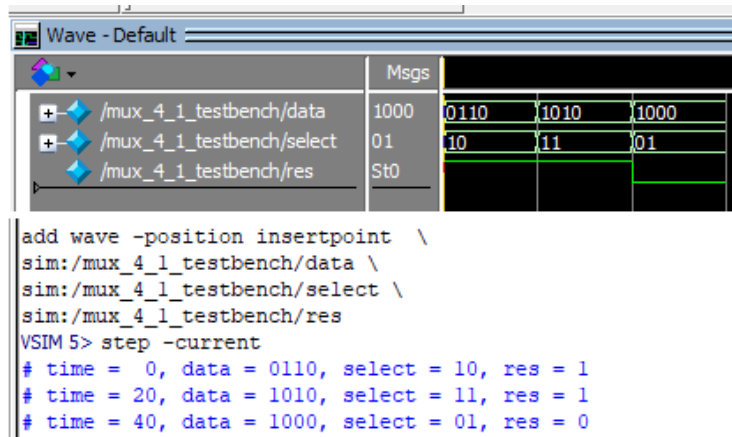
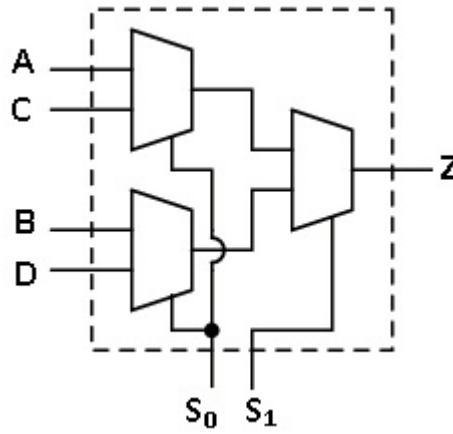


Hiyerarşiyi sağlamak için önce 2x1 MUX modülü tasarlandı. Tasarım, mux\_2\_1.v dosyasının içindedir. Testi ise mux\_2\_1\_testbench.v içindedir. Kullanılan formül ve çıktı aşağıdadır.

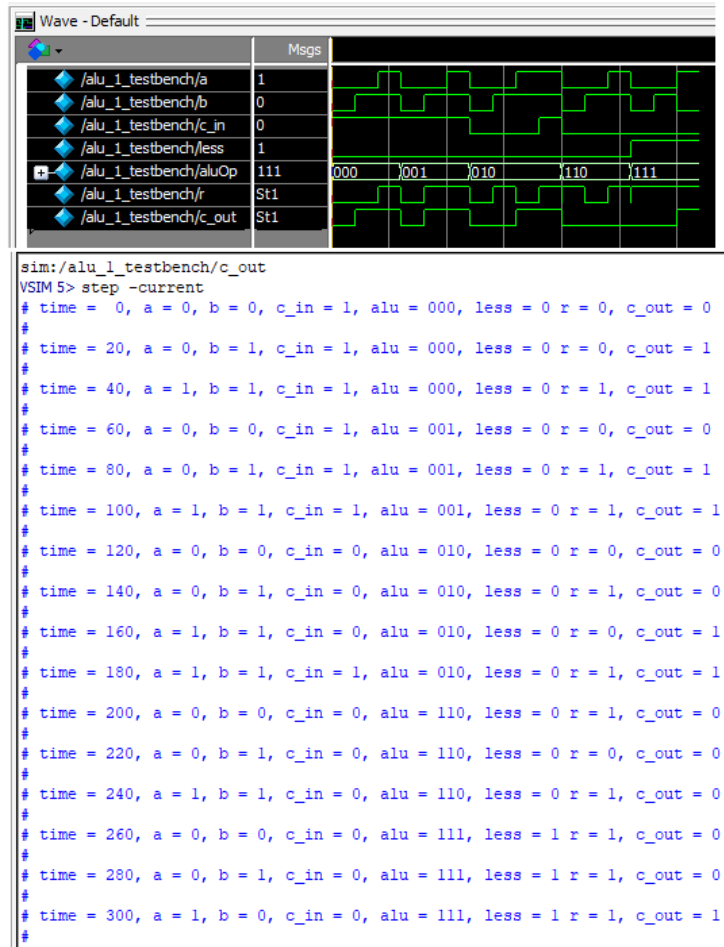
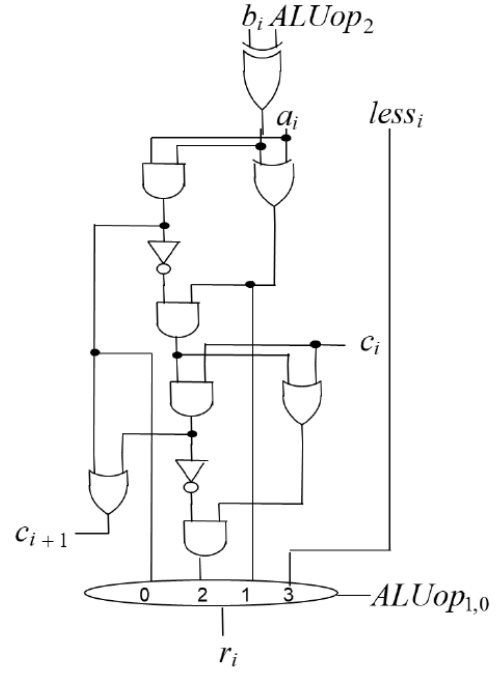
$$Z = (A\bar{S}) + (B.S)$$



4x1 MUX modülü 2x1 MUX kullanarak tasarlandı. Şekil olarak aşağıda gösterilmiştir. Testleri de mux\_4\_1\_testbench.v dosyasındadır. Sonuçlar da aşağıdadır.



1 bit ALU için ödev PDF'inde istenen aşağıdaki tasarım kullanıldı. 1 bit ALU tasarımı *alu\_1.v* dosyası içindedir. Testi de testbench dosyası altında olup çıktılar aşağıdadır.





## FPGA

FPGA'de çalışması için gerekli düzenlemeler projede bulunmaktadır. Demo dosya adı *alu\_32\_FPGA\_demo.v*.

Pin düzenleri aşağıdaki gibidir.

Kısıtlı sayıda giriş(10), çıkış(10) pini olduğu için şu şekilde düzenlendi; girişte 3'er pin a ve b için, 3 pin ALU işlemi için ve 1 pin c\_in için, çıkışta 9 pin sonuç, 1 pin de c\_out için kullanıldı.

in	a[4]	Input			
in	a[3]	Input			
in	a[2]	Input	PIN_H6	1	B1_N0
in	a[1]	Input	PIN_H5	1	B1_N0
in	a[0]	Input	PIN_J6	1	B1_N0
in	aluOp[2]	Input	PIN_E4	1	B1_N0
in	aluOp[1]	Input	PIN_E3	1	B1_N0
in	aluOp[0]	Input	PIN_H7	1	B1_N0

in	b[3]	Input			
in	b[2]	Input	PIN_J7	1	B1_N1
in	b[1]	Input	PIN_G5	1	B1_N0
in	b[0]	Input	PIN_G4	1	B1_N0
in	c_in	Input	PIN_D2	1	B1_N0
out	c_out	Output	PIN_B1	1	B1_N0
in	less	Input			

out	r[9]	Output			
out	r[8]	Output	PIN_B2	1	B1_N0
out	r[7]	Output	PIN_C2	1	B1_N0
out	r[6]	Output	PIN_C1	1	B1_N0
out	r[5]	Output	PIN_E1	1	B1_N0
out	r[4]	Output	PIN_F2	1	B1_N0
out	r[3]	Output	PIN_H1	1	B1_N1
out	r[2]	Output	PIN_J3	1	B1_N1
out	r[1]	Output	PIN_J2	1	B1_N1
out	r[0]	Output	PIN_J1	1	B1_N1