ΤΕΛΙΚΗ ΕΡΓΑΣΙΑ ΕΞΑΜΗΝΟΥ ΑΠΟ ΤΟΥΣ
ΓΕΩΡΓΙΟΣ ΜΑΝΤΟΝΙΤΣΑΣ 21183
ΙΩΑΝΝΗΣ ΒΡΑΧΝΙΣ 20088
ΓΙΑ ΤΗΝ ΕΡΓΑΣΙΑ 6

ΠΕΡΙΛΗΨΗ: Χρησιμοποιώντας τον κώδικα με hardwired λογική που είχαμε γράψει για την άσκηση 5, κάναμε τις απαραίτητες προσθέσεις και αλλαγές ώστε η ΚΜΕ να υλοποιείται σωστά μαζί με την πρόσθεση του 16-bit καταχωρητή SP (stack pointer) και τις εντολές LDSP και CALL και στο τέλος πήγαμε να κάνουμε testbench και να βγάλουμε την κατάλληλη κυματομορφή. (οι κώδικες είναι όλοι σε φάκελο στο github για να μην χαλάσει η ροή των εξηγήσεων)

ΑΣΚΗΣΗ

Στην άσκηση μας ζητείται να προσθεθει ο 16-bit SP ο οποίος χρησιμοποιείται για να δείχνει την κορυφή της στοίβας και χρησιμοποιείται στις εντολές CALL και έμμεσα στην RET αργότερα καθώς ο SP συνδέεται με την μνήμη και με το PC. Οι 2 νέες εντολές που ζητούνται να προστεθούν είναι οι εντολές:

LDSP: opcode = 80H, Instruction Code = 10000000, operation SP ← IR
Οπου η λειτουργια της ειναι να φορτωνει τον καταχωρητη SP με την τιμη που βρισκεται στον καταχωρητη IR(ή και στο data bus, αναλογα με την υλοποιηση)

CALL: opcode 82H, Instruction Code = 10000010, operation M[SP]←PC, και μετα PC← IR
Η εντολη CALL χρησιμοποιειται για κληση υπορουτινας

Πρωτου προχωρησουμε σε αλλαγες αυτα ειναι τα στοιχεια των παρων μας ALU,Control unit και Data path

ALU: 1)Δεν υπολογιζει απευθειας
2) Παραγει κωδικο alus(6 downto 0) οπου παει σε αλλο κυκλωμα (ALU core)
3) Ελεγχεται αποκλειστικα απο control signals

Data path: 1) ολοι οι καταχωρητες οδηγουν ενα κοινο 8-bit bus
2) Ενας μονο driver καθε φορα

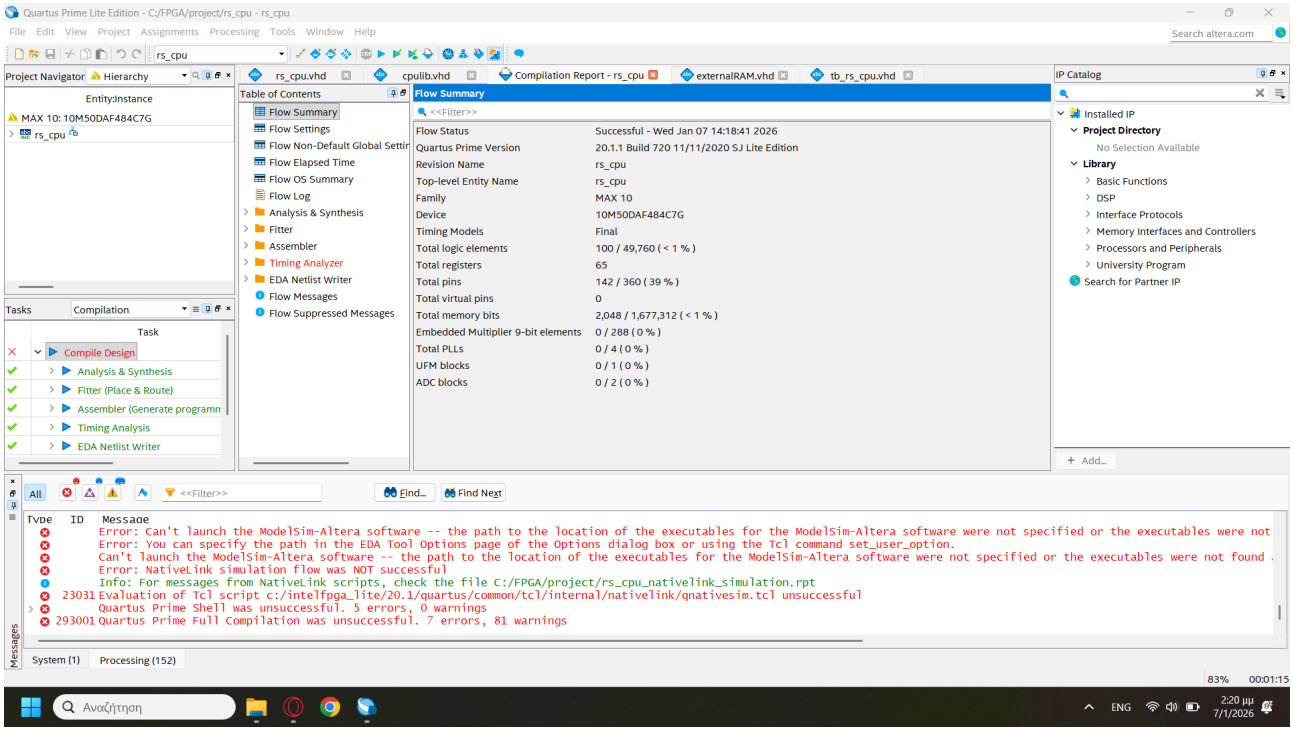
Control Unit: 1) FSM(RESET, FETCH1, FETCH2)
2) Ολα τα σηματα ελεγχου παραγονται απο την κατασταση και οχι απο ROM.

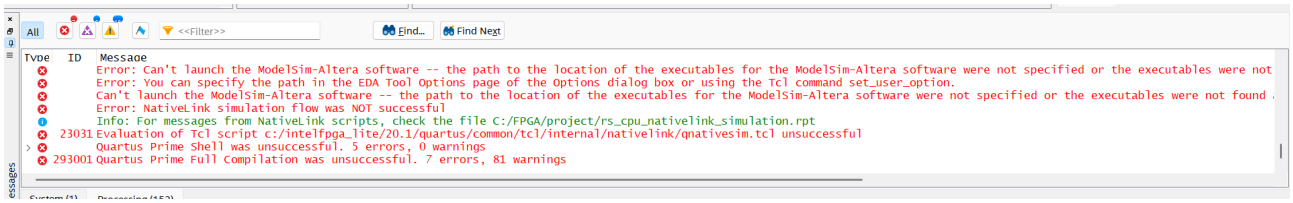
Τωρα οσον αφορα τον SP, αυτο δεν ειναι ενας ALU register τυπου AC αλλα ενας address register οπως ο PC και ο AR. Αρα αρχιτεκτονικα ανηκει στο address path και οχι στο data path και θα γινει
PC → AR → RAM
SP → AR → RAM
Αρα η συμβαση που ακολουθηθηκε ειναι πως ο SP δειχνει παντα στην τρεχουσα κορυφη της στοιβας και κατα την εντολη CALL :
1) Αποθηκευεται το PC στη μνημη στη διευθυνση SP
2) Ο SP ενημερωνεται καταλληλα
3) Το PC φορτωνεται με τη διευθυνση της υπορουτινας.

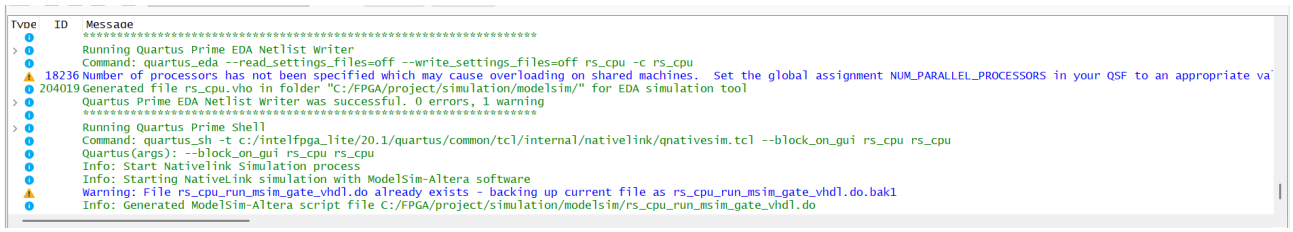
Τωρα οσον αφορα τις τροποποιησεις που εγιναν στην αρχιτεκτονικη της ΚΜΕ ειναι στην Data path οπου εγιναν οι εξης αλλαγες:
1) Προσθηκη του καταχωρητη SP
2) Δυνατοτητα συνδεσης του SP στον address bus και data bus
3) Χρηση της υπαρχουσας RAM για την υλοποιηση της στοιβας

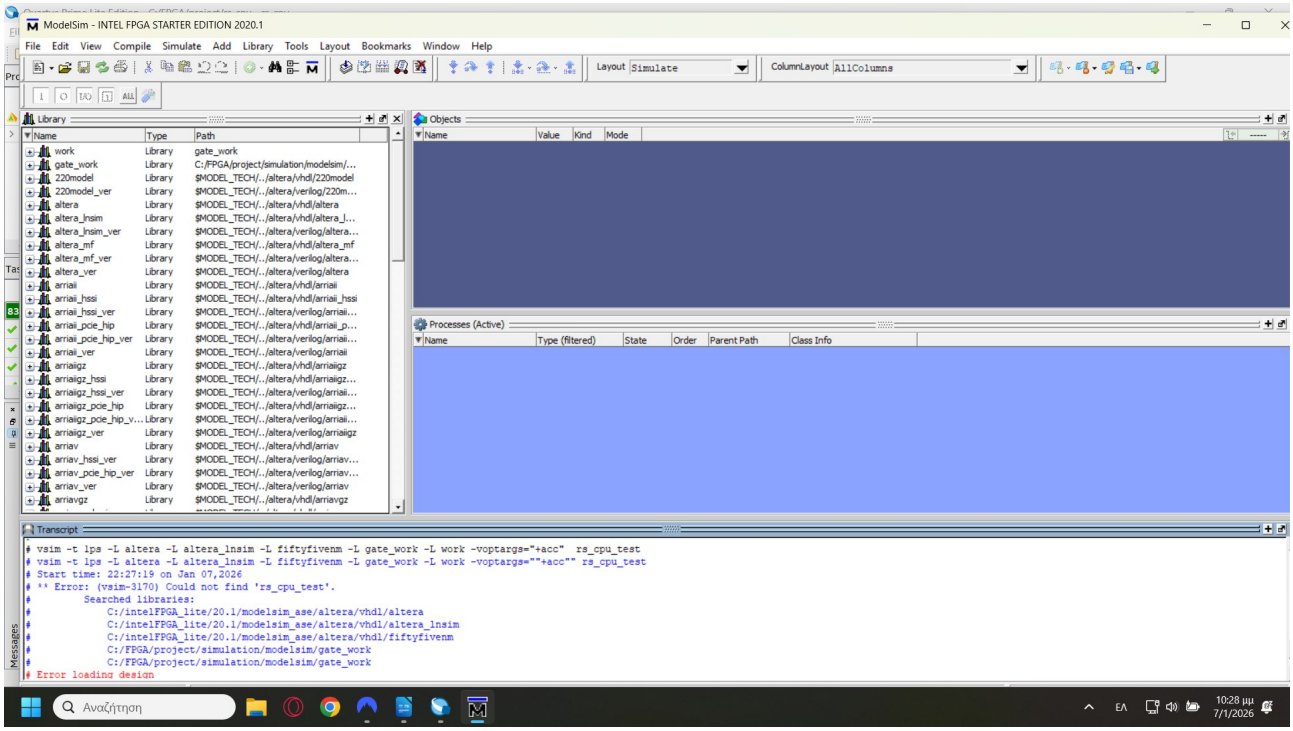
Φροντισαμε να υλοποιησουμε την μοναδα ελεγχου αποκλειστικα με hardwired λογικη, χρησιμοποιωντας FSM, η καθε κατασταση να αντιστοιχει σε μικροεντολη, τα σηματα ελεγχου (pcbus, membus κλπ) παραγονται απο τη λογικη της FSM και δεν χρησιμοποιηθηκε microprogrammed contol

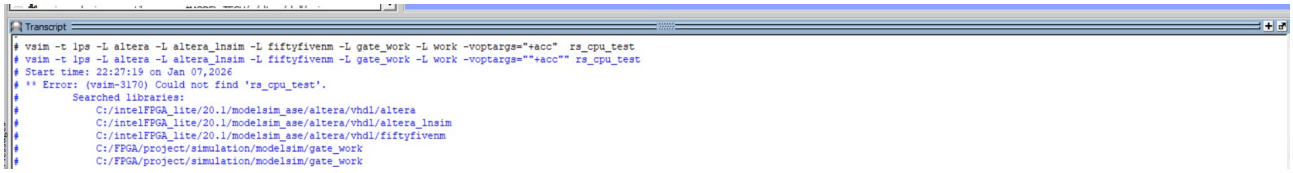
Οσο αφορα την υλοποιηση testbench εδω δεν ημασταν επιτυχεις στην πληρη υλοποιηση της καθως ενω γραψαμε κωδικα με 0 errors οταν γινεται compile και δημιουργησαμε νεο αρχειο test για του καταλληλους χρονους και οσα αλλα χρειαζεται ωστε να γινει σωστο simulation, το quartus και modelsim μας δημιουργουσαν πολλα προβληματα που δημιουργηθηκαν στο installation proccess και δεν επιλυθηκαν ακομα και οταν το εκανα reinstall οποτε ψαχνοντας το Internet ειτε μεσο google ή βιντεο στο youtube στο τελος αναγκαστηκαμε να ρωτησουμε το chatgpt πως να το επιλησουμε και ενω φαινεται να εφτιαξε ως ενα σημειο στο τελος modelsim δεν φορτωνοταν το testbench (τα ιδια και περισσοτερα θεματα υπηρχαν και κατα την υλοποιησει της ασκησης 5) και στο τελος δεν καταφεραμε να το υλοποιησουμε (θα παραδωθουν εικονες παρακατω με το τι προβληματα γινοταν). Ωστόσο άμα δεν υπηρχαν προβληματάκια αυτο που θα γινοταν στο testbench ήταν να: δημιουργήσει clock και reset, να εκτελεί κύκλους fetch, να επιτρέπει την παρακολούθηση των καταχωρητών PC,SP,AR,IR , να επιβεβαιώνει τη σωστή λειτουργια των εντολών CALL και LDSP


Quartus Prime Lite Edition - C:/FPGA/project/rs_cpu - rs_cpu
File Edit View Project Assignments Processing Tools Window Help
Search altera.com
Project Navigator Hierarchy
Entity:Instance
MAX 10: 10M50DAF484C7G
rs_cpu
rs_cpu.vhd
cpulib.vhd
Compilation Report - rs_cpu
externalRAM.vhd
tb_rs_cpu.vhd
Table of Contents
Flow Summary
Flow Settings
Flow Non-Default Global Settir
Flow Elapsed Time
Flow OS Summary
Flow Log
Analysis & Synthesis
Fitter
Assembler
Timing Analyzer
EDA Netlist Writer
Flow Messages
Flow Suppressed Messages
Flow Summary
<<Filter>>
Flow Status Successful - Wed Jan 07 14:18:41 2026
Quartus Prime Version 20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name rs_cpu
Top-level Entity Name rs_cpu
Family MAX 10
Device 10M50DAF484C7G
Timing Models Final
Total logic elements 100 / 49,760 (< 1 %)
Total registers 65
Total pins 142 / 360 (39 %)
Total virtual pins 0
Total memory bits 2,048 / 1,677,312 (< 1 %)
Embedded Multiplier 9-bit elements 0 / 288 (0 %)
Total PLLs 0 / 4 (0 %)
UFM blocks 0 / 1 (0 %)
ADC blocks 0 / 2 (0 %)
IP Catalog
Installed IP
Project Directory
No Selection Available
Library
Basic Functions
DSP
Interface Protocols
Memory Interfaces and Controllers
Processors and Peripherals
University Program
Search for Partner IP
Add...
Tasks Compilation
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programn
Timing Analysis
EDA Netlist Writer
All
<<Filter>>
Find...
Find Next
Type ID Message
Error: Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not
Error: You can specify the path in the EDA Tool Options page of the Options dialog box or using the Tcl command set_user_option.
Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not found
Error: NativeLink simulation flow was NOT successful
Info: For messages from NativeLink scripts, check the file C:/FPGA/project/rs_cpu_nativelink_simulation.rpt
23031 Evaluation of Tcl script c:/intelfpga_lite/20.1/quartus/common/tcl/internal/nativelink/qnativesim.tcl unsuccessful
Quartus Prime Shell was unsuccessful. 5 errors, 0 warnings
293001 Quartus Prime Full Compilation was unsuccessful. 7 errors, 81 warnings
Messages
System (1)
Processing (152)
83%
00:01:15
Αναζήτηση
ENG
2:20 μμ
7/1/2026


All
<<Filter>>
Find...
Find Next
Type ID Message
Error: Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not
Error: You can specify the path in the EDA Tool Options page of the Options dialog box or using the Tcl command set_user_option.
Can't launch the ModelSim-Altera software -- the path to the location of the executables for the ModelSim-Altera software were not specified or the executables were not found
Error: NativeLink simulation flow was NOT successful
Info: For messages from NativeLink scripts, check the file C:/FPGA/project/rs_cpu_nativelink_simulation.rpt
23031 Evaluation of Tcl script c:/intelfpga_lite/20.1/quartus/common/tcl/internal/nativelink/qnativesim.tcl unsuccessful
Quartus Prime Shell was unsuccessful. 5 errors, 0 warnings
293001 Quartus Prime Full Compilation was unsuccessful. 7 errors, 81 warnings


Type ID Message
Running Quartus Prime EDA Netlist Writer
Command: quartus_eda --read_settings_files=off --write_settings_files=off rs_cpu -c rs_cpu
18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate va
204019 Generated file rs_cpu.vho in folder "C:/FPGA/project/simulation/modelsim/" for EDA simulation tool
Quartus Prime EDA Netlist Writer was successful. 0 errors, 1 warning
Running Quartus Prime Shell
Command: quartus_sh -t c:/intelfpga_lite/20.1/quartus/common/tcl/internal/nativelink/qnativesim.tcl --block_on_gui rs_cpu rs_cpu
Quartus(args): --block_on_gui rs_cpu rs_cpu
Info: Start Nativelink Simulation process
Info: Starting NativeLink simulation with ModelSim-Altera software
Warning: File rs_cpu_run_msim_gate_vhdl.do already exists - backing up current file as rs_cpu_run_msim_gate_vhdl.do.bak1
Info: Generated ModelSim-Altera script file C:/FPGA/project/simulation/modelsim/rs_cpu_run_msim_gate_vhdl.do


ModelSim - INTEL FPGA STARTER EDITION 2020.1
File Edit View Compile Simulate Add Library Tools Layout Bookmarks Window Help
Library
Objects
Processes (Active)
Transcript
vsim -t 1ps -L altera -L altera_lnsim -L fiftyfivenm -L gate_work -L work -voptargs="+acc" rs_cpu_test
vsim -t 1ps -L altera -L altera_lnsim -L fiftyfivenm -L gate_work -L work -voptargs=""+acc"" rs_cpu_test
Start time: 22:27:19 on Jan 07,2026
** Error: (vsim-3170) Could not find 'rs_cpu_test'.
Searched libraries:
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/altera
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/altera_lnsim
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/fiftyfivenm
C:/FPGA/project/simulation/modelsim/gate_work
C:/FPGA/project/simulation/modelsim/gate_work
Error loading design
Αναζήτηση
10:28 μμ
7/1/2026


Transcript
vsim -t 1ps -L altera -L altera_lnsim -L fiftyfivenm -L gate_work -L work -voptargs="+acc" rs_cpu_test
vsim -t 1ps -L altera -L altera_lnsim -L fiftyfivenm -L gate_work -L work -voptargs=""+acc"" rs_cpu_test
Start time: 22:27:19 on Jan 07,2026
** Error: (vsim-3170) Could not find 'rs_cpu_test'.
Searched libraries:
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/altera
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/altera_lnsim
C:/intelFPGA_lite/20.1/modelsim_ase/altera/vhdl/fiftyfivenm
C:/FPGA/project/simulation/modelsim/gate_work
C:/FPGA/project/simulation/modelsim/gate_work


C:/FPGA/project/simulation/modelsim/gate_work
Error loading design
Error: Error loading design
Pausing macro execution
MACRO ./rs_cpu_run_msim_gate_vhdl.do PAUSED at line 12
VSIM(paused)>