

2024 IC Design Contest

Cell-Based IC Design Category for Undergraduate Level

Bicubic Resize Engine

1. 問題描述

請完成 *Bicubic Resize Engine*(後文以 **Bicubic** 表示)功能的電路設計，本電路可將選取的 2 維矩陣資料放大到要求的尺寸大小，常應用在影像圖片的選取區域放大功能。

有關 Bicubic 詳細規格將描述於後。表一為本電路各輸入、輸出信號的功能說明。各參賽隊伍必須依照下一節所指定的設計規格及附錄 C 中的測試樣本完成設計驗證。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，本題會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 C 與附錄 D 中所列的要求，附上評分所需要的檔案。

2. 設計規格

2.1 系統方塊圖

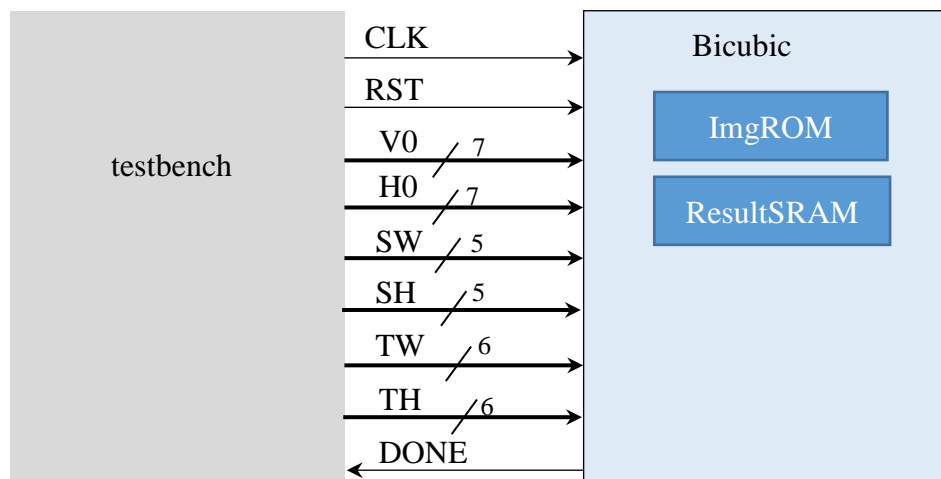


圖 1、系統方塊圖

2.2 輸入/輸出介面

表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
CLK	I	1	系統工作時脈，本系統為同步於時脈正緣之同步設計。
RST	I	1	系統重置訊號 reset signal (active high)。由 testbench 提供，拉高 2 cycle 後恢復為 low。
H0	I	7	Bicubic 電路欲處理區域的左上角座標的 H 座標值，介於 0 到 99。
V0	I	7	Bicubic 電路欲處理區域的左上角座標的 V 座標值，介於 0 到 99。
SW	I	5	Bicubic 電路欲處理區域的水平方向寬度。該值加上 H0 不會超出原圖範圍。 $H0+SW < 99$
SH	I	5	Bicubic 電路欲處理區域的垂直方向高度。該值加上 V0 不會超出原圖範圍。 $V0+SH < 99$
TW	I	6	Bicubic 電路處理區域放大後的水平方向寬度，TW 不會超過 2 倍 SW 大小。 $SW < TW < 2*SW$
TH	I	6	Bicubic 電路處理區域放大後的垂直方向高度，TH 不會超過 2 倍 SH 大小。 $SH < TH < 2*SH$
DONE	O	1	當 Bicubic 電路完成所要求工作，將該訊號拉高 1 周期，請 testbench 開始進行評分。

2.3 系統描述

本 Bicubic 電路設計的目的是對從原始圖像指定區域(左上角(H0,V0)，大小 SW x SH)，放大成 TW x TH 大小圖像。

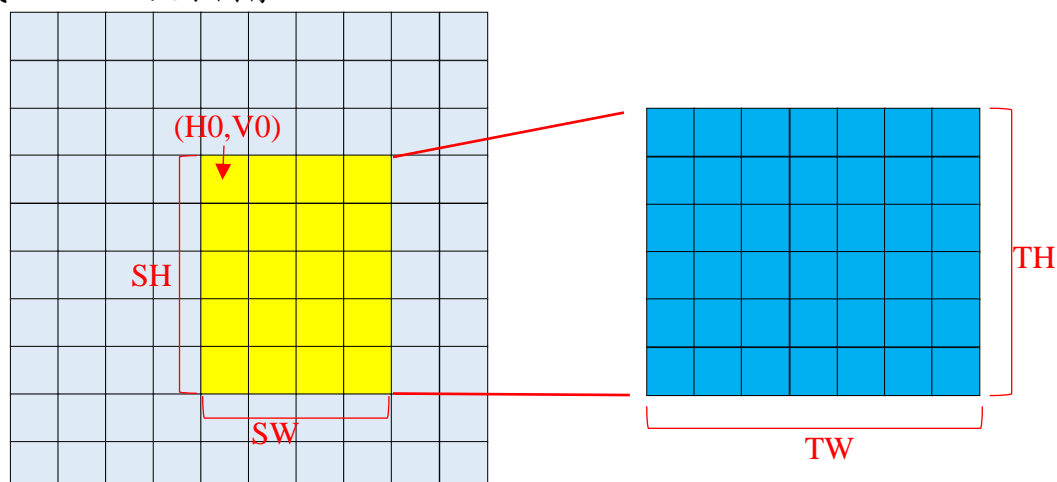


圖 2、Bicubic Resize Engine 工作原理示意圖

原始圖像資料為固定大小 100x100 之圖像，圖像資料存在 ImgROM 內。自系統 reset 後，從輸入 port 取得要進行放大區域的左上角座標(H0,V0)以及尺寸 SW x SH 等資訊，Bicubic 電路將該範圍圖像放大到要求的 TW x TH 尺寸，並將結果內容寫到 ResultSRAM 內。寫入完成後，將 DONE 訊號拉為 High 一個週期，testbench 平台會直接讀取 ResultSRAM 內容進行評分。

2.3.1 圖像資料取得

Bicubic 電路所要處理的**原始資料**是一張 100x100 大小的圖像，每個像素資料為 8bits 正整數，並以一維的方式**儲存在 ImgROM**。儲存方式從第一條水平列(對應到 V 座標為 0)依序儲存到第 100 條水平列(對應到 V 座標為 99)。

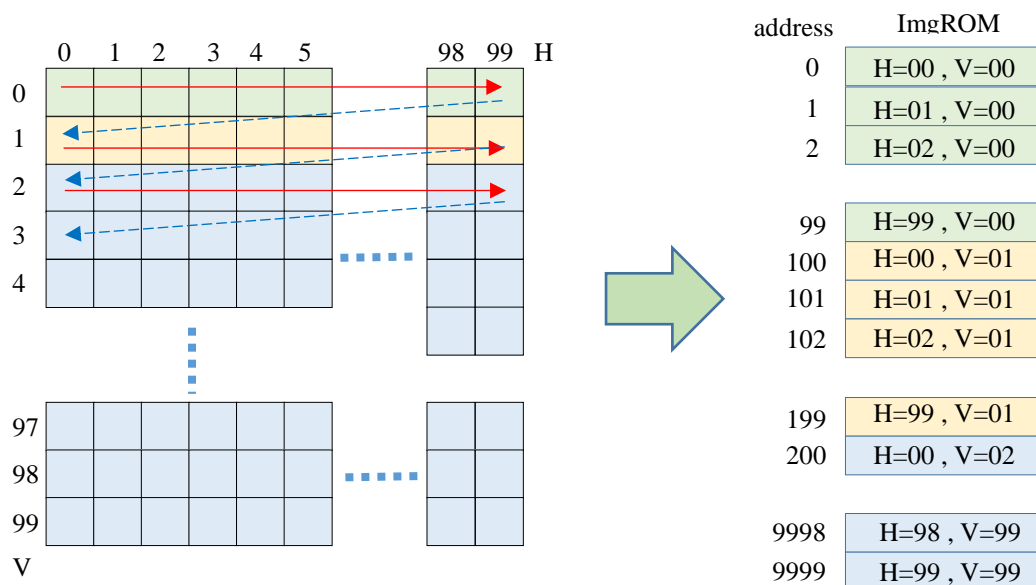


圖 3、二維原始資料儲存於 ImgROM 的方式

2.3.2 決定內插端點

考慮將在 1D(一維空間)上將一 1x7 圖像 P 放大在到 1x10 圖像 Q 的案例，目標是找出 Q 圖所有數值。想像將 Q 圖壓縮到與 P 圖相同長度時，兩圖最前端點重合，最後端點也重合，因此 $Q(0)=P(0)$ ， $Q(9)=P(6)$ 。

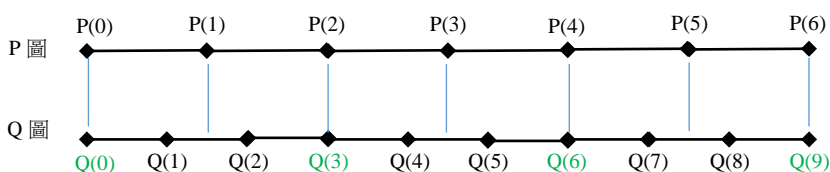


圖 4、尋找內插端點

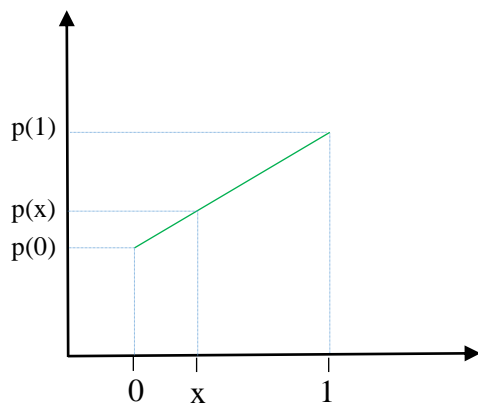
部分中間點可能互相重合，可直接套用數值，在本案例， $Q(3)=P(2)$ ， $Q(6)=P(4)$ 。其餘未重合點無法直接取得數值，必須從 P 圖尋找最接近端點，再用內插方法找出該點數值。在本案例， $Q(1)$ 的內插端點為 $P(0)$ 與 $P(1)$ ， $Q(2)$ 的內插端點為 $P(1)$ 與 $P(2)$ ， $Q(4)$ 的內插端點為 $P(2)$ 與 $P(3)$ ，其餘類推。

2.3.3 一維內插

首先介紹在一維做 linear interpolation 及 cubic interpolation，以方便後續延伸到二維 Bicubic interpolation 的說明。

2.3.3.1 linear interpolation (線性內插)

已知 $p(0)$ 及 $p(1)$ 兩點數值，求兩點之間的點 $p(x)$ ， $0 \leq x \leq 1$ ， $p(x)$ 線性內插公式為



$$\begin{aligned} p(x) &= p(0) + \frac{x-0}{1-0}(p(1) - p(0)) \\ &= p(0) + x(p(1) - p(0)) \end{aligned}$$

由於 $p(0)$ 和 $p(1)$ 水平方向相差 1，
 x 剛好代表在 0 和 1 間的位置比例

圖 5、線性內插

以圖 4 為例， $Q(2)$ 落在 $P(1)$ 與 $P(2)$ 間 $1/3$ 的位置，可得 $Q(2) = P(1) + \frac{1}{3}(P(2) - P(1))$

2.3.3.2 cubic interpolation (三次內插)

線性內插因只考慮兩點間的線性，使用線性內插放大曲線容易有不平滑現象(圖 6 綠線)，此問題可以用三次內插(圖 6 紅線)改善。

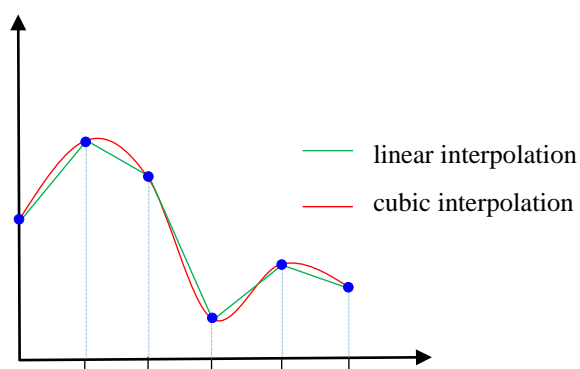


圖 6、線性內插對比三次內插

請見圖 7，假設已知 $p(0)$ 和 $p(1)$ 數值，以及 $p(-1)$ 和 $p(2)$ 的數值， $p(-1)$ 指的是 $p(0)$ 前一點， $p(2)$ 指的是 $p(1)$ 後一點，求 $p(0)$ 和 $p(1)$ 之間的點 $p(x)$ 數值。

cubic interpolation 的做法是假設 $p(0)$ 到 $p(1)$ 兩點之間的曲線是 3 階多項式，如圖 7 紅色曲線

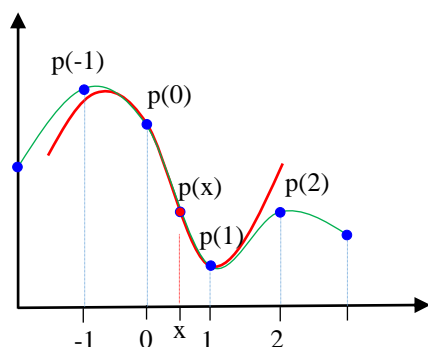


圖 7、三次內插

假設 $p(x) = ax^3 + bx^2 + cx + d$, $0 \leq x \leq 1$

$p(0)$ 與 $p(1)$ 為已知數值，因此

$$p(0) = d \quad \text{---- 式 1}$$

$$p(1) = a + b + c + d \quad \text{---- 式 2}$$

本題定義 $p(0)$ 位置的斜率為 $\frac{p(1)-p(-1)}{2}$, $p(1)$ 位置的斜率為 $\frac{p(2)-p(0)}{2}$

$p'(x) = 3ax^2 + 2bx + c$, 因此

$$p'(0) = c = \frac{p(1)-p(-1)}{2} \quad \text{---- 式 3}$$

$$p'(1) = 3a + 2b + c = \frac{p(2)-p(0)}{2} \quad \text{---- 式 4}$$

由式 1 到式 4 解聯立方程式，可得

$$a = -\frac{1}{2}p(-1) + \frac{3}{2}p(0) - \frac{3}{2}p(1) + \frac{1}{2}p(2)$$

$$b = p(-1) - \frac{5}{2}p(0) + 2p(1) - \frac{1}{2}p(2)$$

$$c = -\frac{1}{2}p(-1) + \frac{1}{2}p(1)$$

$$d = p(0)$$

將 a 、 b 、 c 、 d 代回原方程式可得 $p(x)$ 數值。

2.3.4 二維 Bicubic interpolation (雙三次內插)

一維 cubic interpolation 是用 4 個點的數值求得內插數值，二維 Bicubic interpolation 則是用 16 個點求得圖像內插數值。以下圖為例，要取得 $abcd$ 四點間的內插值，共需要周圍共 16 點數值；做法是將 4 橫排(紅線)各自算出一維 cubic 內插結果，再使用這 4 個結果算出直行(綠線)的一維 cubic 內插。

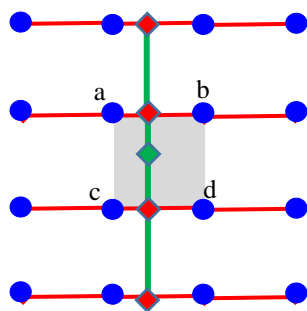


圖 8、二維雙三次內插

若直行或橫排剛好和原圖重合，則直接使用原圖數值。

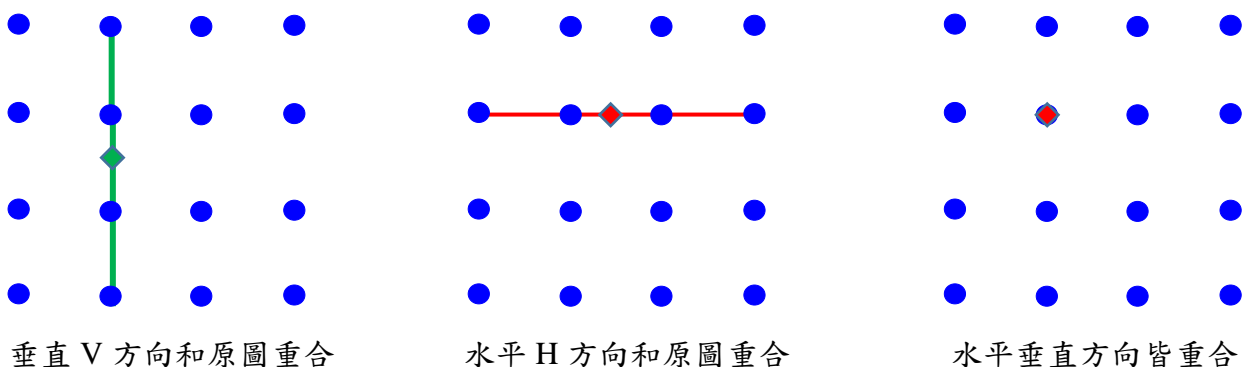


圖 9、水平方向或垂直方向重合

◇注意事項◇

1. 本題指定放大區域不會在原始圖像最邊界，可以不必處理邊界問題。
2. **Cubic 每次運算結果請以 4 捨 5 入取整數** (包含 4 個水平內插以及 1 個垂直內插)。
3. Cubic 內插結果可能會超出 8bit 值域範圍，若**內插結果大於 255**，請將結果設為 255；**若小於 0**，請將結果設為 0 (包含 4 個水平內插以及 1 個垂直內插)。
4. 若先做垂直內插再做水平內插也可以得到結果，但因取概數原因結果可能會略為不同，testbench 已設計成兩種順序做法都可接受。

2.3.5 結果存放 ResultSRAM

Bicubic 處理完的結果是一張 $TW \times TH$ 大小的圖像，每個像素資料為 8bits 正整數，結果需儲存在一維的 ResultSRAM。由第一條水平列開始 (對應到 V 座標為 0)，依序存放在 ResultSRAM，ResultSRAM 大小 16384x8，testbench 只會判斷 ResultSRAM 內位址 0 到 $(TW \times TH - 1)$ 的資料正確性，因此 ResultSRAM 內未使用到的空間可不必要處理。

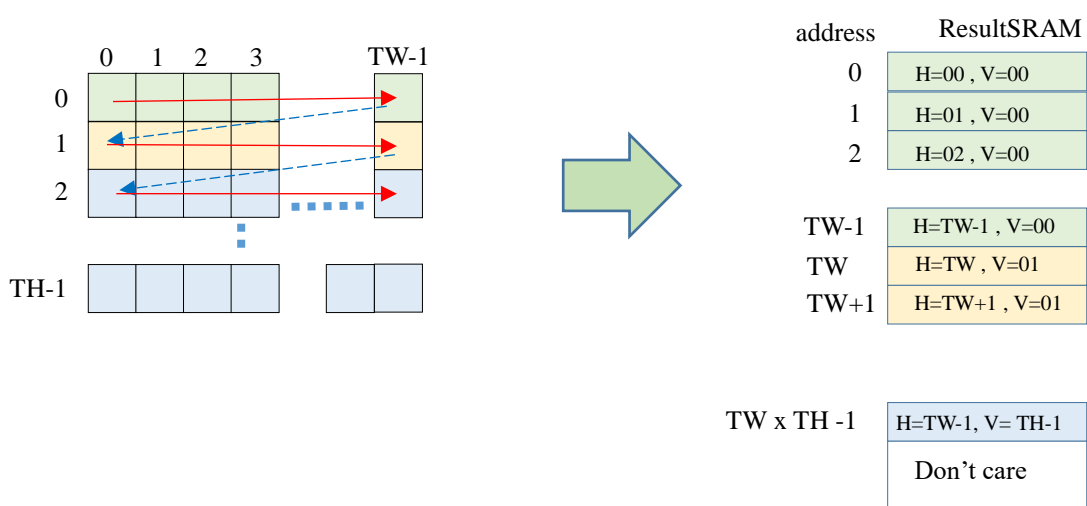


圖 10、影像存放在 ResultSRAM 的方式

2.4 Bicubic 電路時序規格

2.4.1 Bicubic 電路之時序圖

輸出對應的時序波形圖如圖 所示，並請對照下面說明閱讀。

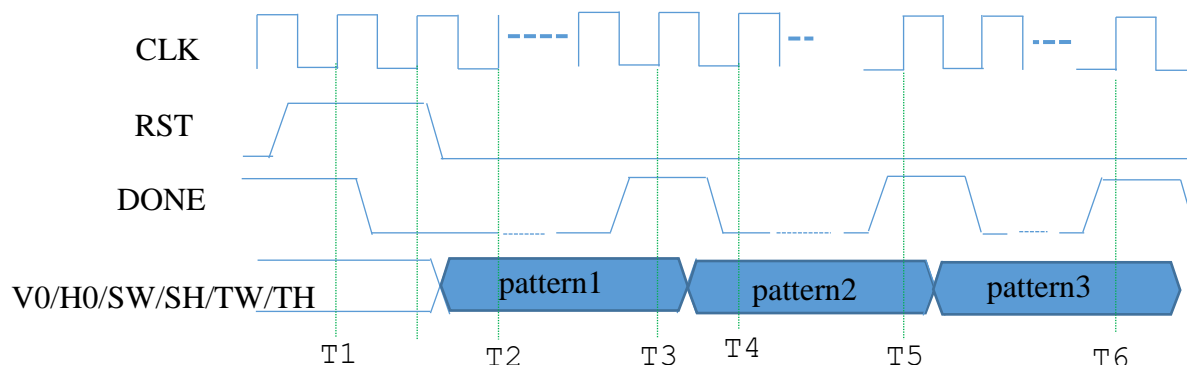


圖 11、Bicubic 電路時序圖

1. T1 時間點，進行起 2 週期 RST，Bicubic 必須把 DONE 拉為 low。
2. T2 時間點，開始輸入 V0、H0、SW、SH、TW、TH 等資料，並持續到 DONE 訊號拉高。
3. T3 時間點，Bicubic 完成運算，將結果儲存於 ResultSRAM，並將 DONE 訊號拉高，此時 testbench 開始比對 ResultSRAM 內資料正確，並送入第二個 pattern。
4. T4 時間點，Bicubic 必須把 DONE 再拉為 low。
5. T5 時間點，Bicubic 完成第二個 pattern，將 DONE 訊號拉高並在下一 cycle 再拉為 low。
6. T6 時間點，Bicubic 完成最後一個 pattern 運算，結果同樣存在 ResultSRAM 內，並將 DONE 訊號拉高。
7. 當 testbench 收到最後一個 pattern 的 DONE 訊號，模擬結束

testbench 預設單一 pattern simulation 最多耗費 50000 週期，會在 50000 週期處發出\$finish 強制停止 simulation。若有需要更多的周期進行 simulation，請自行修改 tb.v 的 MAX_CYCLE_PER_PATTERN 值，並將所使用的 MAX_CYCLE_PER_PATTERN 值填寫到評分表(附錄 C，report.txt)內。

2.4.2 ROM、SRAM 之時序圖

ImgROM (Address 14bit , Data 8bits) 、ResultSRAM (Address 14bit , Data 8bits) ，底下提供記憶體讀寫時序圖，細節部分請自行參考記憶體文件 ImgROM.pdf 、ResultSRAM.pdf 。

由於 Reset 期間，記憶體的輸入訊號可能尚未初始化，模擬時可能會出現 timing violation ，因此在 Reset 期間出現的 timing violation 可忽略不管。

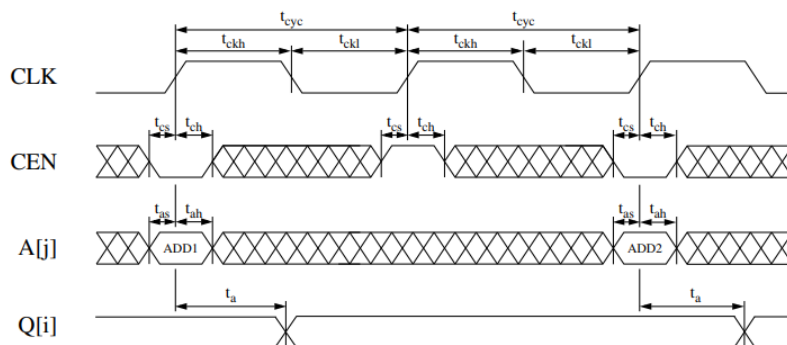


圖 12、Synchronous ROM single read-cycle timing

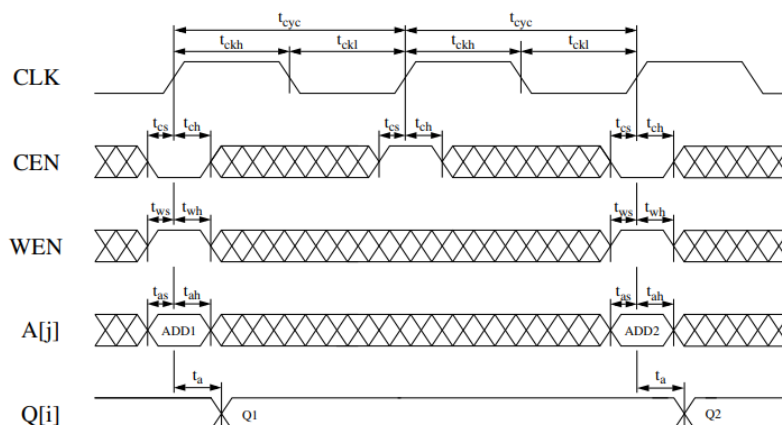


圖 13、Synchronous single-port SRAM read-cycle timing

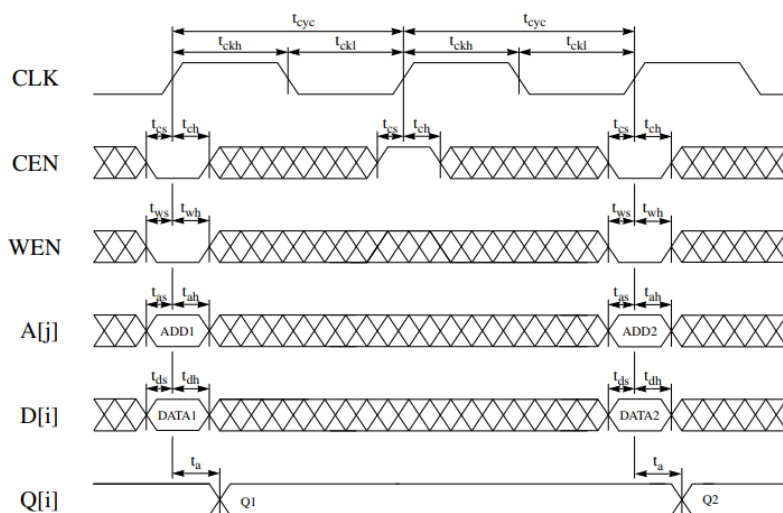


圖 14、Synchronous single-port SRAM write-cycle timing

3. 評分標準

本題使用同一張原始圖像，進行三組不同參數(指處理區域與目標大小)的測試，參賽者必須完成 Bicubic 電路功能，且結果完全正確。

本題評分使用 CBDK_IC_Constest_v2.5 版本，slow case library，請勿使用錯誤的 cell library 或是 corner，以免造成無法評分。

參賽者可調整 tb.sv 內 CYCLE_TIME 數值，並在 Report File(見附錄 C)裏提供可正確模擬的週期時間(CYCLE TIME)給評分人員驗證電路之正確性。

```
`timescale 1ns/10ps
`define CYCLE_TIME 8.0
`define SDFFILE      "./Bicubic_syn.sdf"
```

✧ 評分項目一：模擬時間 (Time)

使用 testbench 進行模擬，模擬結束會顯示模擬時間

```
*****
**      Finish Simulation
**      Error pixels:      0
**      Simulation time: 333333.00 ns
*****
```

✧ 評分項目二：面積(Area)

以 Design compile report area 範例: dc_shell> report_area

```
Net Interconnect area:      411111.111111
Total cell area:            33333.333333
Total area:                 444444.444444
```

評分方式依設計完成程度，分成 A、B、C、D 四種等級，排名順序為 A>B>C>D。

設計完成度分四種等級，各等級中，皆以 **Score 越小者** 名次越佳。

✧ 等級 A：

- 在使用者指定的週期時間(CYCLE TIME)下， Gate--Level 與 RTL 模擬結果正確。

等級 A 之評分方法：**Score = Time x Area**

✧ 等級 B：

- RTL 模擬結果正確。
- 已完成合成，Gate-Level 可模擬但有部分錯誤。

等級 B 之評分方法：**Score = Gate-Level 模擬錯誤點數**

✧ 等級 C：

- RTL 模擬結果正確。
- 未完成合成或 Gate-Level 無法模擬

等級 C 之評分方法：**Score = RTL simulation cycle**

✧ 等級 D：

- RTL 模擬有部分錯誤

等級 D 之評分方法：**Score = RTL 模擬錯誤點數**

附錄

附錄 A 為主辦單位所提供各參賽者的設計檔案說明

附錄 B 為主辦單位提供的測試樣本說明

附錄 C 為評分用檔案，亦即參賽者必須繳交的檔案資料

附錄 D 則為設計檔案壓縮整理步驟說明

附錄 A、設計檔

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名	說明
Bicubic.v	本題之設計檔 template，已包含系統 Input/Output Port 之宣告，請以此檔案作為 Bicubic 電路之設計。
tb.sv	testbench 檔案，參賽者可自行調整 CYCLE_TIME 數值
Bicubic.sdc	合成之 constraint 檔案，參賽者可自行調整 cycle_time 數值
ImgROM.rcf	圖像檔資料
pattern1 pattern2 pattern3	Bicubic 電路模擬時的輸出 golden pattern。
dc_syn.tcl	dc 合成參考指令
.synopsys_dc.setup synopsys_dc.setup	Design Compiler 設定初始化範例檔案。參賽者請依 Library 實際擺放位置，自行修改 Search Path 設定 注意：合成請使用 worst case library
xrun.cmd	xrun 模擬參考指令
vcs.cmd	vcs 模擬參考指令
vsim.cmd	vsim 模擬參考指令

2. 請使用 Bicubic.v，進行本題電路之設計。其 Verilog 模組名稱、輸出/入埠宣告如下所示：
若有需要，參賽者可自行移除 output 的 reg 宣告。
Bicubic.v 中已將 ImgROM 及 ResultSRAM 加入，參賽者必須自行連接訊號，但請勿更改其元件名稱(u_ImgROM，u_ResultSRAM)及所在階層，以免 testbench 無法讀取結果。

```

module Bicubic (
input  CLK,
input  RST,
input  [6:0]  V0,
input  [6:0]  H0,
input  [4:0]  SW,
input  [4:0]  SH,
input  [5:0]  TW,
input  [5:0]  TH,
output reg  DONE);

ImgROM  u_ImgROM  (.Q(), .CLK(), .CEN(), .A());
ResultSRAM  u_ResultSRAM  (.Q(), .CLK(), .CEN(), .WEN(), .A(), .D());

endmodule

```

3. 本題所提供之 testbench 檔，有增加數行 define 描述如下

```

`define SDFFILE "./Bicubic_syn.sdf"

`ifdef SDF

    initial $sdf_annotate(`SDFFILE , u_Bicubic);

`endif

```

3.1 SDF 檔之檔名，請自行依 SDF 實際檔名及路徑進行修改後再模擬。

3.2 參賽者在進行 gate-level 模擬時，需於模擬命令上多加一個 +define+SDF 參數方可順利模擬，範例如下

```

xrun tb.sv Bicubic_syn.v -v ImgROM.v -v ResultSRAM.v -v tsmc13_neg.v
+define+P1 +define+SDF

```

4. 主辦單位提供三組測試樣本供參賽者驗證設計的正確性，請自行使用+define+P1、+define+P2、+define+P3 參數作切換。

若不使用+define+P1 等定義，則會對全部的測試樣本做模擬。

5. testbench 模擬完會顯示來源圖像及結果圖像內容(如附錄 B)，藍色的數字為區塊內相對座標，並會將結果錯誤的點以紅色標示

```

---- orgin ( 10 , 68), size 13 x 13
  0 1 2 3 4 5 6 7 8 9 10 11 12
0 3f 4c 4c 4f 4f 3a 36 4f 4e 4c 4b 4a
1 4c 0f 1c 4e 4f 4f 38 35 4e 4d 4d 4b 4a
2 4a 3a 49 4a 4e 4e 38 35 4d 4c 4c 4b 4a
3 49 4a 0c 02 45 46 32 2f 45 44 43 43 42

```

如果您的模擬環境無法顯示顏色造成排版錯亂，請將 tb.sv 內 USECOLOR 定義移除。如下

```

`define MAX_CYCLE_PER_PATTERN 50000
`define PLOT_IMG
//`define USECOLOR
//`define P1

```

6. SRAM 及 ROM verilog 模型帶有 timing check，RTL 模擬時可加 notimingcheck 參數忽略 setup 和 hold time 檢查，合成時請記得修正 hold time，以免 gate-level 無法正確模擬
7. 請勿針對這三組測試樣本的內容作設計，比如判斷第 n 個 pattern 直接設定某些結果等。如經發現一律不予計分。評分時會增加其它測試樣本來過濾取巧的設計。

8. 請勿抄襲或提供非同組人員設計結果，評分人員會交叉比對所有同屬本題的設計結果，若有相同設計必定會發現。

9. RTL 及 Gate-level 模擬的指令說明如下

使用 P1 測試樣本之 RTL simulation 之指令：

➤ 使用 xrun 模擬指令(**xrun.cmd**)

```
xrun tb.sv Bicubic.v -v ImgROM.v -v ResultSRAM.v +define+P1 +access+r -  
clean
```

➤ 使用 vcs 模擬指令(**vcs.cmd**)

```
vcs -R -sverilog tb.sv Bicubic.v -v ImgROM.v -v ResultSRAM.v +define+P1  
+access+r +vcs+fsdbon +fsdb+mda +fsdbfile+Bicubic.fsdb
```

➤ 使用 modelsim 模擬，請參考 **vsim.cmd** 內指令：

```
vsim -c -do vsim.cmd
```

vsim.cmd 內容：

```
vlib work  
vlog tb.sv Bicubic.v -v ImgROM.v -v ResultSRAM.v +define+P1  
vsim work.tb  
run -All
```

使用 P1 測試樣本之 Gate-level simulation 之指令：

➤ 使用 xrun 模擬指令(**xrun.cmd**)

```
xrun -sv tb.sv Bicubic_syn.v -v ImgROM.v -v ResultSRAM.v -v tsmc13_neg.v  
+define+P1+SDF +access+r -clean -maxdelays
```

➤ 使用 vcs 模擬指令(**vcs.cmd**)

```
vcs -R -sverilog tb.sv Bicubic_syn.v -v ImgROM.v -v ResultSRAM.v -v  
tsmc13_neg.v +define+P1+SDF +access+r +vcs+fsdbon +fsdb+mda  
+fsdbfile+Bicubic.fsdb +maxdelays +neg_tchk
```

➤ 使用 modelsim 模擬，請參考 **vsim.cmd** 內指令：

(請將 vsim.cmd 內，RTL sim 指令註解，Gate-level sim 指令取消註解)

```
vsim -c -do vsim.cmd
```

vsim.cmd 內容：

```
vlib work  
vlog tb.sv Bicubic_syn.v -v ImgROM.v -v ResultSRAM.v -v tsmc13_neg.v  
+define+SDF  
vsim work.tb  
run -All
```

10. 以 dc_shell 進行 synthesis 參考指令下法說明如下

```
dc_shell -f dc_syn.tcl
```

附錄 B、測試樣本

以下提供 3 組測試樣本內容，source 資料指的是從原始圖像選取的範圍，灰色部分表示選取範圍外圍的點，像素數值以 16 進位表示。target 資料表示放大後的結果。

pattern1 : (H0 V0) = (10 68) , (SW SH) = (13 13) , (TW TH)=(19 19)

source

```
4d  6 17 4f 50 51 50 3a 37 4f 4e 4c 4b 49 48
4c 3f 4c 4c 4f 4f 4f 3a 36 4f 4e 4c 4b 4a 48
4b 4c  f 1c 4e 4f 4f 38 35 4e 4d 4d 4b 4a 48
49 4a 3a 49 4a 4e 4e 38 35 4d 4c 4c 4b 4a 49
48 49 4a  c  2 45 46 32 2f 45 44 43 43 42 41
3e 48 4a 3b 76  6 22 19 19 22 20 20 20 1f 1c
12 46 49 49 1c 22 4b 36 34 4c 4c 4b 4b 4a 49
ad 2a 46 49 4a 26 16 35 32 4c 4c 4b 4b 4a 49
bb 46 44 46 49 40 50 16 32 4b 4b 4b 4b 4a 49
90 bb  6 46 46 48 2c 5c 27 4b 4a 4a 4b 4a 4a
40 ab 99 2a 46 46 48 13 3e 48 4a 4a 4a 4a 4a
24 51 bc 5e 3c 46 46 46 1a 13 4a 4a 4a 4a 4a
1e 1a 7c bd 27 45 46 46 46 1c  1 4a 4a 49 49
1c 1c 30 b0 bc  6 46 46 46 44 32  6 4a 49 49
1f 2d 2e 34 a6 bb  6 46 46 46 43 25 10 46 49
```

target

```
3f 48 4d 4c 4e 4f 4f 51 49 3a 35 3d 4f 4f 4d 4c 4b 4b 4a
4a 2c 1d 27 43 52 4f 51 48 39 34 3c 4e 4e 4d 4d 4c 4b 4a
4c 25 16 28 45 52 4f 51 48 38 33 3c 4e 4e 4d 4d 4c 4b 4a
4a 3e 3d 49 4a 4b 4e 50 48 38 33 3c 4d 4d 4c 4c 4b 4b 4a
49 4b 3a 1c  e 20 4c 50 45 36 31 39 4a 4a 49 48 48 48 47
49 4e 3b 15 1d 27 31 39 35 29 26 2c 38 38 37 36 36 36 35
48 4b 44 3b 6c 58  6 16 21 19 18 1c 22 21 20 20 20 20 1f
49 4b 4a 47 3e 2b 17 35 3e 2d 29 31 3e 3f 3e 3d 3d 3d 3c
3d 45 4b 4a 2f 20 24 36 3d 39 34 3d 4f 50 4f 4e 4e 4e 4d
2a 39 49 49 4c 40 26 17 1e 35 32 39 4c 4d 4c 4b 4b 4b 4a
34 3e 4a 47 4b 46 38 3f 34 1a 28 3b 4b 4c 4b 4b 4b 4b 4a
6b 3a 2f 47 49 47 44 49 40 2b 2a 36 4b 4c 4b 4b 4b 4b 4a
bb 38  c 46 48 48 48 31 3a 5c 36 2e 4b 4c 4a 4a 4b 4b 4a
bb 89 51 2e 3e 49 47 43 36 27 32 41 4d 4c 4a 4a 4a 4a 4a
91 b5 8d 34 3b 45 46 4b 3c 1d 2b 36 38 47 4d 4a 4a 4a 4a
51 a5 a9 5e 42 3c 46 46 48 46 28 13 13 39 4e 4a 4a 4a 4a
27 74 a7 a4 46 24 4a 49 47 48 3f 2d 14  d 25 4f 4e 4a 49
16 43 88 c5 7b 3e 2c 3f 4a 46 4a 41 28  e 13 35 47 4d 49
1c 21 57 b0 cb 85  6 2c 4b 46 46 46 44 3b 21  6 34 4f 49
```

pattern2 : (H0 V0) = (81 18) , (SW SH) = (17 15) , (TW TH)=(22 28)

source

39 38 37 25 78 cb 96 6a 6d 72 73 71 73 76 79 7a 7c 83 8a
29 3a 39 38 1f 8d ca 8f 6a 6c 6e 6e 71 75 77 78 7f 80 81
61 27 3a 39 38 16 a4 bc 7c 69 6b 6d 6e 72 76 7c 7b 7a 7c
1e 5c 2d 3a 3a 39 6 c8 b6 6e 69 6b 6d 72 7a 78 76 78 7a
3e 17 55 2b 3b 3a 39 22 c7 ac 68 69 6e 79 75 72 73 75 77
40 3f 6 71 3a 3b 3a 34 57 c7 8f 6b 77 72 6e 6e 71 73 7b
40 40 3f 57 12 3d 3c 3b 26 95 bc 7d 6e 6a 6b 6d 70 7b 81
41 41 40 6 44 16 3d 3d 3b 6 d1 af 66 67 69 6b 78 7e 78
41 41 41 e 2e 60 2f 3e 3d 38 58 c6 82 66 67 6e 74 71 70
41 41 41 e 41 11 30 3f 3e 3d 1c c3 b1 67 66 6b 6b 6c 6e
25 25 25 6 25 25 53 1 3f 3e 3d 24 c4 8e 64 67 68 6a 6c
2e 2f 2e c 2e 2e 14 65 3c 3f 3e 2c a9 b1 65 64 66 68 6e
42 43 43 10 43 43 43 6 5 41 40 3f 22 c2 89 63 65 6b 7c
42 43 43 11 43 43 43 3c 5e 3a 41 40 2c ac b7 62 68 78 73
42 43 43 11 44 45 44 43 6 1 41 41 3f 2a c1 85 75 72 69
42 43 43 11 44 45 45 45 3b 5d 3c 41 40 1c c0 af 6b 64 64
42 42 43 11 44 45 45 45 45 c d 43 42 40 63 b5 67 60 62

target

3a 3a 3a 2f 21 79 bb be 8a 6d 69 6d 6e 6e 70 73 76 77 77 7b 80 80
2d 37 3c 34 27 3c 95 c6 a3 75 69 6a 6c 6d 6e 71 74 76 79 7c 7e 7d
28 35 3b 3a 37 11 63 b5 ba 86 6e 68 6b 6d 6d 70 73 76 7b 7c 7b 7a
49 34 34 3c 3a 24 2c 72 d3 a6 78 64 6a 6c 6c 6f 72 79 7a 7a 78 79
5a 37 31 3a 3a 3d c 37 c8 bf 8b 69 69 6b 6c 6f 73 7a 79 77 76 78
31 48 3a 2d 3b 3d 25 2b 6b c4 af 7e 63 69 6c 71 77 78 76 74 74 76
17 47 41 30 3b 3a 3d 2c 25 b0 c3 97 66 68 6c 73 79 74 72 72 73 75
2e 1c 3f 58 3d 3a 3d 32 2a 75 b6 b1 78 69 70 76 74 70 70 70 71 73
41 b 41 6b 34 3a 3c 38 36 43 9e bf 8f 6e 72 75 70 6d 6e 6f 71 74
41 2b 4f 58 1a 39 3f 3b 38 29 82 bb a9 78 70 6f 6c 6c 6d 6e 71 78
40 42 4a 3e 17 31 3c 3d 3a 23 59 a0 c1 8a 71 69 69 6b 6c 6e 73 7c
41 44 2a 1e 38 1d 2e 40 3c 36 1d 65 db a8 75 62 68 6a 6a 70 78 7e
41 45 1b e 44 26 2f 3d 3e 40 b 42 c8 bb 80 63 66 69 6a 71 7a 7c
41 45 21 f 34 52 42 33 3f 3e 2a 40 83 c1 92 6c 65 67 6c 72 76 74
42 46 25 13 33 52 3e 30 41 3d 3c 38 50 c5 a8 79 62 67 6c 70 72 6f
43 47 24 18 3f 23 24 35 44 3e 3f 2c 32 c5 bf 89 60 66 6b 6c 6d 6d
3a 3d 1f 15 3b 15 28 39 2d 3c 41 2e 2a 91 bb 9e 6a 66 69 6a 6a 6b
28 2b 15 c 29 20 43 3c 4 38 41 3c 36 34 a0 b6 7e 65 66 69 68 6a
25 27 13 c 26 27 3a 37 1f 3d 40 41 3a 15 92 c1 91 64 63 67 67 69
2d 2e 19 11 2d 2e 1c 2d 60 43 3d 40 3b 24 8a be a2 65 62 65 66 68
37 39 1e 15 37 38 26 2c 49 28 35 42 3d 31 5f 9d b4 72 64 64 66 68
42 45 24 19 43 43 44 30 8 2 2c 45 40 3e 26 6b c3 87 69 61 66 6a
44 48 26 19 45 45 49 37 13 23 39 43 41 42 1a 5f c7 a0 6d 5e 68 71
43 46 25 19 44 44 43 3f 3b 5a 49 3c 41 41 27 61 bb b7 74 5d 6b 78
43 46 25 19 44 45 44 44 42 3d 26 27 43 41 33 4a 83 be 84 69 71 77
43 46 25 1a 45 46 45 46 3f d 0 17 44 41 40 2f 42 be 98 79 74 72
43 46 25 1a 45 46 45 46 41 1c 26 37 42 41 44 27 2f c3 ae 85 6e 6b
43 46 25 1a 45 46 45 45 44 3a 53 54 3b 41 43 29 31 bc bd 8e 65 64

pattern3 : (H0 V0) = (45 45) , (SW SH) = (16 29) , (TW TH)=(26 37)

source

```

45 46 49 4b 4c 45 25 4e 4c 4b 49 46 4e bc c0 c3 c7 76
2e 4b 4d 4f 50 48 27 51 51 50 4e 4b 4a b9 be c0 c4 74
9f 13 39 52 53 4d 2c 54 54 52 50 4e 48 b5 ba be c2 72
b1 ae ac 1f 39 4f 2f 58 57 55 54 51 45 b3 b7 bb bf 73
ae ac a9 a7 a6 25 13 5a 5a 57 56 53 42 b0 b4 b9 bd c2
ad aa a8 a6 a4 a3 8c 15 4c 4b 48 45 4f af b2 b7 bb c0
ac a9 a7 a4 a3 a0 a0 93 c 3e 3c 3a 5a ad b2 b5 ba c0
4c a9 a6 a4 a1 a0 a0 9f 52 57 5a 57 3e ac b1 b4 b9 bf
50 1c 5c a4 a1 a0 9f 9e 9f 2b 5b 58 3e ac b1 b5 b9 75
52 55 45 45 a2 a1 a0 9f a0 4 5a 58 3f ad b1 b5 b9 6b
50 54 56 30 a4 a2 a1 a1 a2 10 59 57 40 ae b1 b6 ba 6c
4f 52 54 38 a5 a4 a3 a3 a3 4 57 55 42 af b3 b7 bc 6d
4d 4f 50 17 a7 a7 a6 a6 a6 f 54 52 44 b2 b5 ba be 6e
1c 6 49 ad ab aa a9 a9 a9 3b 51 4f 46 b5 b8 bc c1 71
b7 b4 b1 b0 ae ad ac ad 1c 4f 4e 4c 4a b8 bb bf c4 74
bb b8 b5 b3 b2 b1 b0 43 44 4c 4b 48 4e bc bf c3 c7 78
c0 bc ba b8 b5 a9 4e 32 3d 3b 3a 38 5d c0 c4 c7 cb 81
c3 c1 8b 63 32 1 c 20 1f 1e 1c 1a 45 59 5c 5f 5f 64
2c 32 3b 3d 3e 36 17 3f 3f 3d 3b 3a 37 35 32 2f 29 4
32 34 35 37 38 31 12 3a 39 38 36 35 32 30 2d 2c 26 6
2f 30 32 32 32 2b c 34 34 32 31 2f 2e 2c 2a 27 22 6
2c 2d 2d 2e 30 27 6 2e 2e 2d 2d 2b 2a 29 27 25 20 c
29 2a 2a 2b 2b 22 2 2b 2a 29 29 29 27 25 24 22 1f e
27 27 27 27 27 1f 1 27 27 25 26 25 22 22 20 20 1c f
26 26 25 25 25 1c 4 24 24 22 22 20 20 20 20 20 1c f
24 24 24 24 22 1a 5 22 22 20 20 20 1f 1f 1f 1e 1a f
22 22 22 22 22 1a 6 20 20 20 20 1f 1f 1f 1f 1f 1a 10
1c 1a 1a 17 18 11 c 18 18 18 17 16 16 16 16 16 11 15
6 6 6 c f 18 25 1f 22 27 2c 30 30 32 34 37 3a 3a
24 22 22 22 20 19 6 20 20 1f 20 1f 1a 19 16 16 15 11
25 25 24 22 22 1a 6 20 20 20 20 20 20 20 20 20 c

```

target

```

4b 4d 4d 4f 50 50 4d 42 29 34 51 53 51 50 4f 4e 4c 49 43 73 b9 c1 bf c0 c5 c4
12 20 3c 51 57 54 52 46 2d 38 53 55 53 52 50 4f 4e 4b 42 71 b6 be bc be c4 c2
68 75 6e 37 2c 3d 4d 4d 33 3c 56 58 56 54 53 52 51 4c 41 6e b4 bb b9 bb c2 c0
b9 be a2 53 45 57 4a 37 23 36 5b 5c 59 57 56 55 54 4e 3f 6c b2 b9 b7 b9 be be
ac a9 aa ac b3 ab 5d 21 17 2e 54 5b 5a 57 56 55 54 4d 3e 6b b0 b7 b5 b8 bb bd
aa a9 a8 a7 a6 a5 a0 97 8c 54 14 35 53 4e 4b 4a 47 46 46 73 af b5 b3 b6 b9 bb
a9 a8 a7 a5 a4 a3 a5 a5 a3 8f 6a 33 1a 38 41 3d 39 3e 4f 7b ae b4 b3 b5 b8 ba
b1 b0 a9 a4 a3 a2 a0 a0 a1 a8 a1 4f 20 42 4d 48 46 45 48 72 ac b4 b3 b3 b6 ba
8f 98 9d a4 a5 a1 a0 a0 a0 a2 a0 7c 5e 53 55 5c 5d 53 3a 64 ac b4 b2 b3 b7 b9
1c 3c 6b 9a a8 a1 a0 a0 9f 9f 9e a7 8d 3a 35 5b 5d 52 3b 65 ac b4 b2 b4 ba b9
48 45 47 50 74 a2 a5 a1 a0 a0 9f ab 89 1b 1d 5a 5f 52 3c 66 ad b4 b2 b4 bb b9
58 53 47 30 5c a3 a7 a1 a0 a0 a0 ac 89 1c 1d 5a 5e 52 3c 67 ae b5 b2 b5 bc b9
53 58 4f 30 5a a4 a9 a3 a2 a2 a2 ad 8b 1f 1f 58 5c 51 3d 68 ae b5 b3 b5 bc bb
52 55 4d 32 5d a5 aa a4 a3 a3 a3 ae 8a 17 18 57 5b 50 3e 69 af b6 b4 b6 bd bc
52 56 45 12 46 a7 ae a7 a6 a6 a6 b1 8d 1f 1c 54 58 4e 3f 6c b2 b9 b6 b9 c0 be
f 2b 4f 74 93 aa ab a9 a8 a7 a8 b8 9f 3f 31 52 53 4d 40 6e b4 bb b8 ba c1 c0
4c 60 83 b0 b8 ac ab ab aa b0 b1 88 60 4a 47 50 4f 4b 41 71 b6 bd ba bc c3 c2
c0 bc b7 b2 af af ae af b0 ad 9b 46 19 46 53 4e 4c 4a 44 74 b9 c0 bd bf c6 c5
b8 b6 b5 b3 b3 b2 b1 b3 b7 87 43 3e 45 4b 4c 4b 49 47 46 78 bc c3 c0 c2 c9 c7
bb bc bd bc bd bd bf aa 73 4b 34 3a 41 41 40 3f 3b 40 50 86 c6 ce cb cc d3 d2
c9 b4 9f 90 7e 6a 54 3e 27 20 25 28 29 28 27 26 22 2a 47 69 88 8d 8d 8f 91 91
97 81 69 58 43 2c 11 3 7 16 28 28 26 25 24 23 20 26 3a 44 47 48 48 4a 49 47
2c 33 38 3b 3d 3e 3d 32 19 24 40 42 40 3e 3d 3c 3b 3b 37 35 33 31 2f 2e 2c 26
33 35 35 37 39 39 37 2c 15 20 3b 3c 3a 39 38 37 36 36 34 31 30 2e 2d 2c 2b 26
31 32 33 34 34 34 32 27 10 1b 36 38 36 34 34 33 32 31 30 2e 2d 2c 2a 29 28 23
2f 2f 30 30 30 31 2f 23 b 16 31 33 31 30 30 2f 2e 2d 2c 2c 2b 2a 28 27 25 21
2c 2c 2c 2d 2e 2f 2c 20 7 12 2d 2f 2d 2c 2c 2c 2b 2a 29 29 28 27 26 25 24 20
2a 2a 2a 2b 2c 2b 28 1c 4 f 2b 2c 2a 29 29 29 29 29 27 26 25 24 24 22 22 1f
28 28 28 28 28 28 25 1a 3 d 28 2a 28 26 26 27 27 25 23 23 23 22 21 20 1f 1d
26 26 26 26 26 26 22 18 4 d 25 27 25 23 23 24 23 21 21 21 21 20 20 20 1f 1c
25 25 25 25 25 24 20 17 5 e 23 25 23 21 21 21 20 20 20 20 20 20 1f 1f 1f 1e 1b
24 24 24 24 24 22 1e 16 6 e 22 24 22 20 20 20 20 20 20 1f 1f 1f 1f 1f 1e 1d 1a
22 22 22 23 23 22 1e 16 7 e 20 22 20 20 20 20 20 1f 1f 1f 1f 1f 1f 1f 1e 1a
1e 1e 1e 1b 1b 1c 17 11 9 e 1a 1b 19 19 19 18 17 17 17 17 17 17 16 16 14 11
f f 10 10 11 13 13 15 18 1a 1a 1b 1c 1e 1f 20 21 22 22 22 23 23 24 25 25 24
9 9 a e 10 11 16 1b 21 22 20 21 23 26 28 2b 2e 2f 2e 2e 2f 30 31 32 34 36
22 22 22 22 22 20 1d 15 7 e 20 21 20 1f 1f 20 20 1e 1b 19 19 17 16 16 16 15

```


附錄 C、評分用檔案

評分所須檔案可以下幾個部份：

- (1) RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必一併繳交，以免評審進行評分時，無法進行模擬。
若設計中使用 designwell，也請一併繳交使用到的 DW function model (DW*.v)，以免評審進行評分時，無法進行模擬。
- (2) Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔。
- (3) report file，參賽隊伍必須依照自己的設計內容，撰寫 report.txt 檔，以方便主辦單位進行評分。

表三、繳交檔案

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	report.txt	Design Report Form
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout	*_syn.v	Verilog gate-level netlist
Gate-level Simulation	*_syn.sdf	Pre-layout gate-level sdf

report.txt

```

FTP account:          E24xxx，FTP 帳號
Level:                A/B/C/D 設計完成等級
CYCLE_TIME:           8，模擬時，testbench 使用的 CYCLE_TIME 值
Time:                 3 個 pattern 全部模擬時間
Area:                 合成面積
MAX_CYCLE_PER_PATTERN: 50000，tb.sv 內定義單一 pattern 週期數上限

--- RTL category ---
HDL simulator :       xrun/vcs/vsim，使用之 HDL 模擬器名稱
RTL filename :        Bicubic.v，RTL 檔案、子模組檔案、DW 模擬檔案...

--- Pre-layout gate-level ---
gate_level filename:   Bicubic_syn.v，gate-level 檔案名稱
gate-level sdf filename: Bicubic_syn.sdf，sdf 檔案名稱

----- (annotation) -----
(其餘注意事項，非必須，依各參賽隊伍的需求填寫)

```

附錄 D、檔案壓縮整理步驟

當所有的文件準備齊全如表三所列，均需要提交至 TSRI。請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下壓縮，步驟如下：

1. 建立一個 result_xxx 資料夾。其中“xxx”表示繳交版本。例如“000”表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推...

> **mkdir result_000**

2. 將附錄 C 要求的檔案複製到 result_xxx 這個目錄。例如：

> **cp Bicubic.v result_000**

> **cp Bicubic_syn.v result_000**

> **cp Bicubic_syn.sdf result_000**

> **cp report.000 result_000**

請將所有檔案集中放在 result_000 目錄下，勿再增加其它子目錄。

3. 執行 tar 指令將 result_xxx 資料夾包裝起來，tar 的指令範例如下：

> **tar cvf result_000.tar result_000**

執行完後應該會得到 result_000.tar 的檔案

若使用 windows 系統可用 zip 格式壓縮，除 tar 及 zip 格式外，請勿使用其它壓縮格式。

4. 使用 ftp 將 result_xxx.tar 上傳至 TSRI 提供的 ftp server，評審將以最後上傳的設計檔編號進行評分作業。

上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21 (port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡主辦單位

新竹半導體中心：iccf.ftp.tsri.org.tw (140.126.24.18)

EDA Cloud: 請見EDA Cloud內terminal公告

5. 若需要繳交更新版本，請重覆以上步驟，並記得修改 tar/zip 檔的版本編號，因為您無法修改或刪除或覆蓋之前上傳的資料