

O processador CELL

Flávio Preto, Luís Maranesi, Taísa Cristina

9 de novembro de 2006

1 Introdução

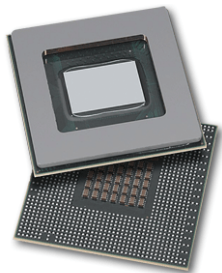
- A história
- A arquitetura
- Aplicações

2 Arquitetura

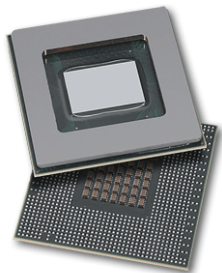
- Visão geral
- PPE
- SPE
- EIB
- DMAC
- Memória

3 Conclusão

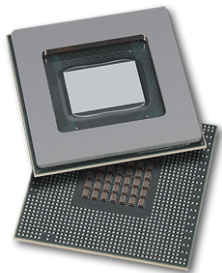
- Comparações
- Resumo e perspectivas
- Perguntas



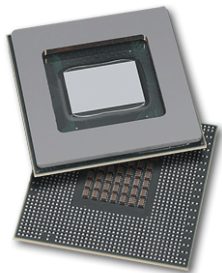
- Aliança entre Sony, Toshiba e IBM
(STI)



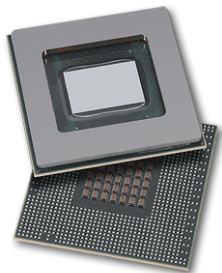
- Aliança entre Sony, Toshiba e IBM (STI)
- Processador **100x** mais poderoso que o do Playstation 2



- Aliança entre Sony, Toshiba e IBM (**STI**)
- Processador **100x** mais poderoso que o do Playstation 2
- Superar o efeito de **Memory Wall**



- Aliança entre Sony, Toshiba e IBM (**STI**)
- Processador **100x** mais poderoso que o do Playstation 2
- Superar o efeito de **Memory Wall**
- Computação Distribuída



- Aliança entre Sony, Toshiba e IBM (**STI**)
- Processador **100x** mais poderoso que o do Playstation 2
- Superar o efeito de **Memory Wall**
- Computação Distribuída
- Baixo custo, baixo consumo de energia, alta *performance*

Grupo dos PowerPC Processor Elements - PPEs

Composto por um conjunto de processadores PowerPC (PPEs) de 64 bits

Grupo dos PowerPC Processor Elements - PPEs

Composto por um conjunto de processadores PowerPC (PPEs) de 64 bits

Grupo dos Sinergetic Processor Elements - SPEs

Composto por um conjunto de processadores multimedia com memória dedicada.

A arquitetura

Grupo dos PowerPC Processor Elements - PPEs

Composto por um conjunto de processadores PowerPC (PPEs) de 64 bits

Grupo dos Sinergetic Processor Elements - SPEs

Composto por um conjunto de processadores multimedia com memória dedicada.

Element Interconnect Bus - EIB

Um barramento de alta velocidade que conecta os elementos processadores

A arquitetura

Grupo dos PowerPC Processor Elements - PPEs

Composto por um conjunto de processadores PowerPC (PPEs) de 64 bits

Grupo dos Sinergetic Processor Elements - SPEs

Composto por um conjunto de processadores multimedia com memória dedicada.

Element Interconnect Bus - EIB

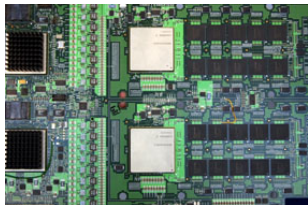
Um barramento de alta velocidade que conecta os elementos processadores

RAMBUS FlexIO

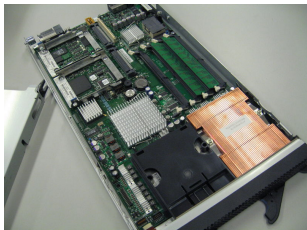
Tecnologia de memória rápida



- Playstation 3



- Playstation 3
- Servidores Dual Cell



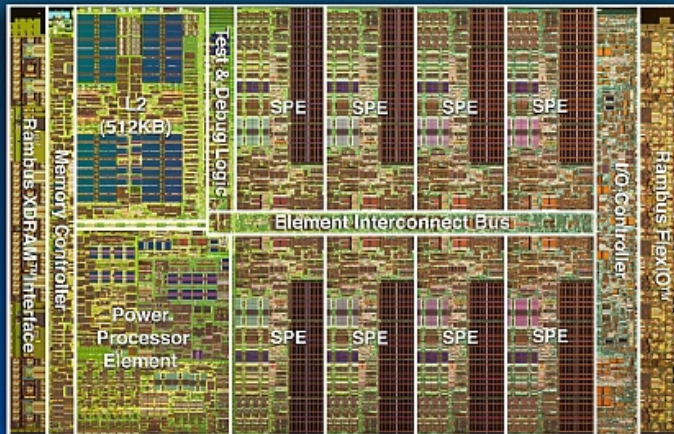
- Playstation 3
- Servidores Dual Cell
- Servidores Blade



- Playstation 3
- Servidores Dual Cell
- Servidores Blade
- High-Definition TVs

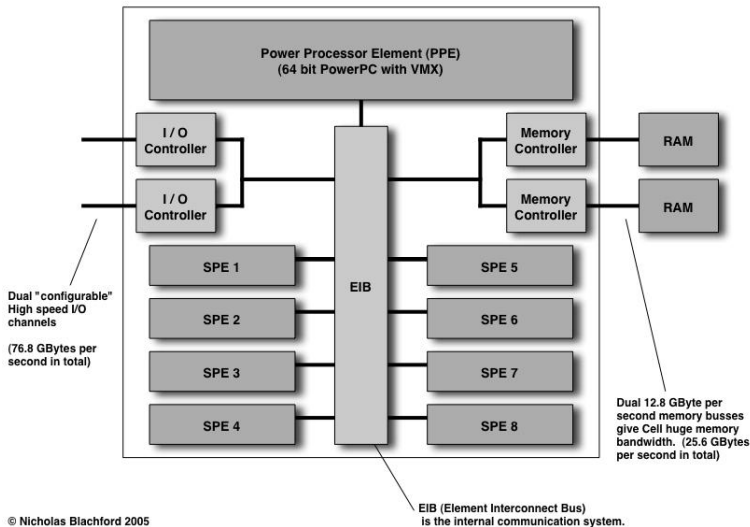
Visão geral

Cell Broadband Engine Processor



IBM

Cell Processor Architecture



- PowerPC de 64 bits, in-order, dual thread, de até 4 GHz

- PowerPC de 64 bits, in-order, dual thread, de até 4 GHz
- L1s de 32 KiB para instrução e 32KiB para dados e L2 512KiB

- PowerPC de 64 bits, in-order, dual thread, de até 4 GHz
- L1s de 32 KiB para instrução e 32KiB para dados e L2 512KiB
- O CBEA pode conter vários PPEs

- PowerPC de 64 bits, in-order, dual thread, de até 4 GHz
- L1s de 32 KiB para instrução e 32KiB para dados e L2 512KiB
- O CBEA pode conter vários PPEs
- Unidade VMX (AltiVec)

- PowerPC de 64 bits, in-order, dual thread, de até 4 GHz
- L1s de 32 KiB para instrução e 32KiB para dados e L2 512KiB
- O CBEA pode conter vários PPEs
- Unidade VMX (Altivec)
- Simplicidade, trabalho no compilador

- Arquitetura requer no mínimo um SPE

Sinergetic Processor Element - SPE

- Arquitetura requer no mínimo um SPE
- Projeto atual possui 8 SPE

Sinergetic Processor Element - SPE

- Arquitetura requer no mínimo um SPE
- Projeto atual possui 8 SPE
- Meio termo entre processador dedicado e processador específico

Sinergetic Processor Element - SPE

- Arquitetura requer no mínimo um SPE
- Projeto atual possui 8 SPE
- Meio termo entre processador dedicado e processador específico
- 128 registradores de 128 bits

Sinergetic Processor Element - SPE

- Arquitetura requer no mínimo um SPE
- Projeto atual possui 8 SPE
- Meio termo entre processador dedicado e processador específico
- 128 registradores de 128 bits
- Possui memória local independente da principal

Sinergetic Processor Element - SPE

- Arquitetura requer no mínimo um SPE
- Projeto atual possui 8 SPE
- Meio termo entre processador dedicado e processador específico
- 128 registradores de 128 bits
- Possui memória local independente da principal
- Memory Flow Controller - MFC

- Substitui o barramento do projeto inicial de 1024 bits

- Substitui o barramento do projeto inicial de 1024 bits
- Composto por 4 anéis de 16 bytes

- Substitui o barramento do projeto inicial de 1024 bits
- Composto por 4 anéis de 16 bytes
- Suporta 3 transferências simultâneas

- Substitui o barramento do projeto inicial de 1024 bits
- Composto por 4 anéis de 16 bytes
- Suporta 3 transferências simultâneas
- Velocidade teórica de pico de 96 bytes por ciclo

- Substitui o barramento do projeto inicial de 1024 bits
- Composto por 4 anéis de 16 bytes
- Suporta 3 transferências simultâneas
- Velocidade teórica de pico de 96 bytes por ciclo
- Previsão de $\frac{2}{3}$ dessa velocidade

- Substitui o barramento do projeto inicial de 1024 bits
- Composto por 4 anéis de 16 bytes
- Suporta 3 transferências simultâneas
- Velocidade teórica de pico de 96 bytes por ciclo
- Previsão de $\frac{2}{3}$ dessa velocidade
- Alta velocidade garante *Streaming Process*

Data Memory Access Controller - DMAC

- Inicialmente Responsável por acessos à memória e proteção de memória

Data Memory Access Controller - DMAC

- Inicialmente Responsável por acessos à memória e proteção de memória
- Com evolução do projeto cada SPE passa a possuir seu DMA e MMU formando o MFC (*Memory Flow Controller*)

Data Memory Access Controller - DMAC

- Inicialmente Responsável por acessos à memória e proteção de memória
- Com evolução do projeto cada SPE passa a possuir seu DMA e MMU formando o MFC (*Memory Flow Controller*)
- *Memory Management Unit*(MMU) - Responsável por proteção à memória

- O Cell possui endereçamento de 64 bits

- O Cell possui endereçamento de 64 bits
- Possui sistema de paginação e memória virtual

- O Cell possui endereçamento de 64 bits
- Possui sistema de paginação e memória virtual
- Cada SPE possui uma memória local de 256KiB expansível até 4 GB

- O Cell possui endereçamento de 64 bits
- Possui sistema de paginação e memória virtual
- Cada SPE possui uma memória local de 256KiB expansível até 4 GB
- A memória local do SPE é 1 ciclo de clock

- O Cell possui endereçamento de 64 bits
- Possui sistema de paginação e memória virtual
- Cada SPE possui uma memória local de 256KiB expansível até 4 GB
- A memória local do SPE é 1 ciclo de clock
- Para o SPE acessar a memória real deve fazer DMA

- O Cell possui endereçamento de 64 bits
- Possui sistema de paginação e memória virtual
- Cada SPE possui uma memória local de 256KiB expansível até 4 GB
- A memória local do SPE é 1 ciclo de clock
- Para o SPE acessar a memória real deve fazer DMA
- Tecnologia RAMBUX FlexIO com memória XDRAM

- In-order \times Out-of-Order processors

- In-order \times Out-of-Order processors
- *Branch prediction*

- In-order \times Out-of-Order processors
- *Branch prediction*
- *Dual threading*

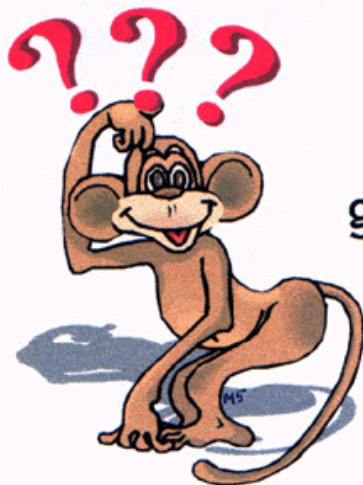
- In-order \times Out-of-Order processors
- *Branch prediction*
- *Dual threading*
- Desempenho \times Energia

- Necessidades pesadas de processamento por aplicações multimedia

- Necessidades pesadas de processamento por aplicações multimedia
- O Cell é um pequeno passo na escala evolutiva dos processadores

- Necessidades pesadas de processamento por aplicações multimedia
- O Cell é um pequeno passo na escala evolutiva dos processadores
- Problemas de Memory Wall

- Necessidades pesadas de processamento por aplicações multimedia
- O Cell é um pequeno passo na escala evolutiva dos processadores
- Problemas de Memory Wall
- Qual o próximo passo?



Questions
are
guaranteed in
life;
Answers
aren't.