

DECODIFICADORES Y DEMULTIPLEXORES

Grupo 4: Walid Zakkour
 David Ibáñez
 David Rojo

DECODIFICADORES

- FUNCIONAMIENTO
- TABLA DE VERDAD DE UN DECODIFICADOR
- TIPOS DE DECODIFICADORES
- DECODIFICADORES COMERCIALES
 - FUNCIONAMIENTO
 - TABLA DE VERDAD
 - CONEXIÓN DE DECODIFICADORES

FUNCIONAMIENTO

Se trata de un circuito que actua de forma inversa al codificador. Es decir, por las entradas recibira informacion codificada en binario natural y se activara una unica salida. Por tanto, si el decodificador posee n entradas, el numero de salidas vendra dado por la siguiente ecuacion:

$$\text{SALIDAS} \leq 2^n$$

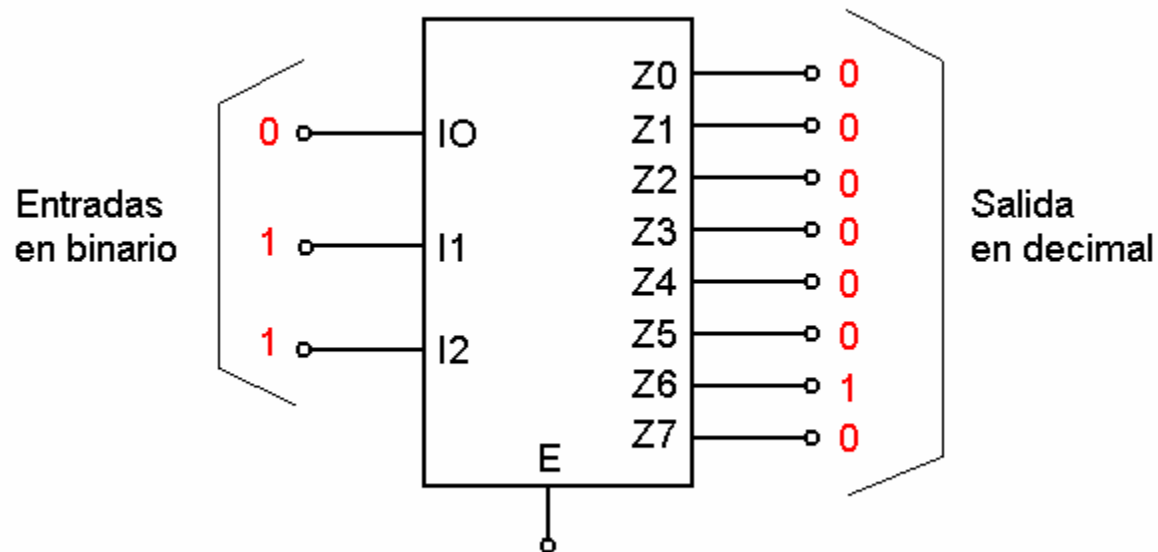


TABLA DE VERDAD DEL DECODIFICADOR

VALIDACION	ENTRADAS			SALIDAS							
N											
E	I2	I1	I0	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0
1	1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

DESCRIPCION VHDL

```
library ieee;
use ieee.std_logic_1164.all;

entity dec2to4 is
Port(A: in std_logic_vector(1 downto 0);
      E: in std_logic;
      O: out std_logic_vector(3 downto 0));

end dec2to4 ;

architecture DEC of dec2to4 is
begin
process(A,E)
begin
    if E = '0' then
        O <= "0000";
    else
        case A is
            when "00" => O <= "0001";
            when "01" => O <= "0010";
            when "10" => O <= "0100";
            when "11" => O <= "1000";
            when others => O <= "0000";
        end case;
    end if;
end process;
end DEC;
```

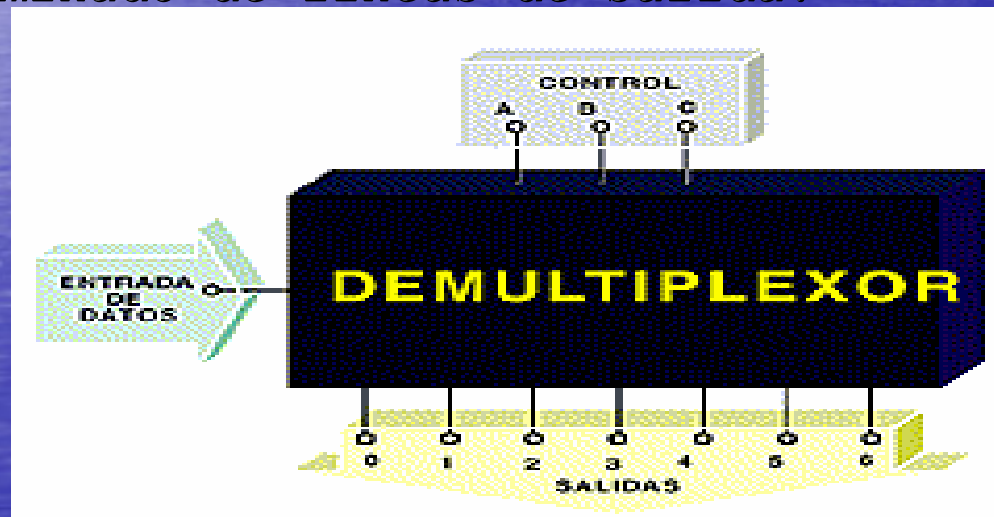
DEMULTIPLEXORES

Grupo 4

Electronica Digital I

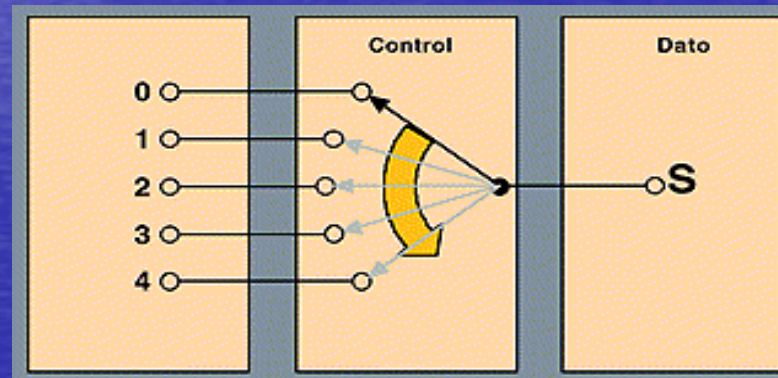
INTRODUCCIÓN

- Los demultiplexores (Demux) realizan básicamente la función contraria a la del multiplexor. Recogen los datos de una línea y las distribuye a un número determinado de líneas de salida.



ANALOGÍA

- El demultiplexor es un circuito destinado a transmitir una señal binaria a una determinada línea, elegida mediante un seleccionador, de entre las diversas líneas existentes .

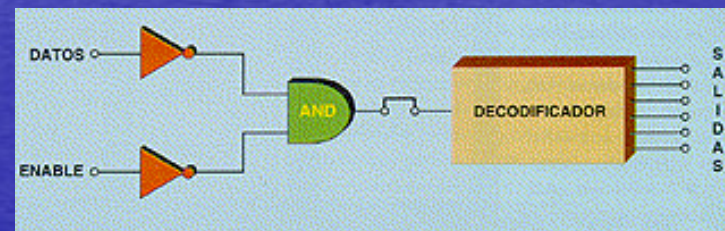


- La analogía mecánica de un demultiplexor es un selector con una entrada y varias posiciones de salida.



DECODIFICADOR → DEMUX

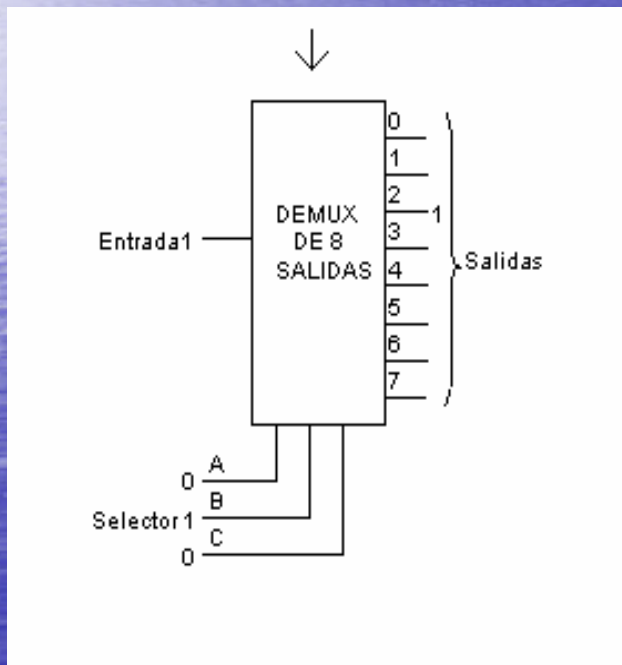
- Un decodificador se convierte en un demultiplexor añadiéndole una señal más a su circuitería interna. Si se aplica esta señal, la salida será el complemento de dicha señal, ya que la salida es 0 si todas las entradas son 1, y aparecerá únicamente en la línea seleccionada.



- Se puede aplicar a un demultiplexor una señal de habilitación o "enable", conectándose en cascada el decodificador con el circuito compuesto de una puerta AND y dos puertas NOT cuyas entradas son la señal de habilitación y el dato que queremos transmitir.
- Si la entrada de habilitación es 0, la salida será el complemento del dato, es decir, que el dato aparecerá en la línea con el código deseado. Si la entrada de "enable" es 1, la salida será 0, se inhiben los datos en cualquier línea y todas las entradas permanecen en 1.

RELACION: SELECTORES/SALIDAS

- La relación selectores/salidas es:
(Siendo q entradas y p las salidas)



$$p=2^q$$

DESCRIPCION VHDL

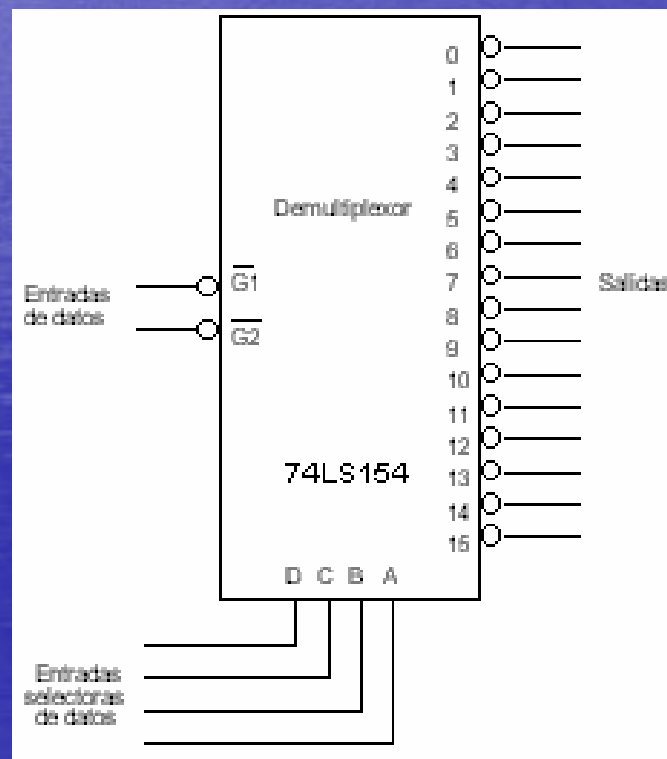
```
library ieee;
use ieee.std_logic_1164.all;

entity dec2to4 is
Port(A: in std_logic_vector(1 downto 0);
      E: in std_logic;
      O: out std_logic_vector(3 downto 0));
end dec2to4;
architecture DEMUX of dec2to4 is
begin
process (A,E)
begin
case A is
when "00" => O(0) <= E; O(1) <= '0'; O(2) <= '0'; O(3) <= '0';
when "01" => O(0) <= '0'; O(1) <= E; O(2) <= '0'; O(3) <= '0';
when "10" => O(0) <= '0'; O(1) <= '0'; O(2) <= E; O(3) <= '0';
when "11" => O(0) <= '0'; O(1) <= '0'; O(2) <= '0'; O(3) <= E;
when others "00" => O(0) <= '0'; O(1) <= '0'; O(2) <= '0'; O(3) <= '0';
end case;
end process;
end DEMUX;
```


Ejercicio nº1 demultiplexores

- Implementar un decodificador de cuatro a dos mediante el uso de puertas lógicas AND y NOT.
- Implementar un demultiplexor de cuatro a uno canales mediante el uso de puertas lógicas AND, OR y NOT.

FUNCIONAMIENTO DE 74LS154



FUNCIONAMIENTO DE 74LS154

- El 74LS154 es un decodificador de (4 a 16 líneas).
- Se puede utilizar en diversas aplicaciones como demultiplexor.
- Las líneas de entrada se usan como líneas de selección.
- Una de las entradas de activación se usa como línea de entrada de datos y la otra se mantiene a nivel bajo para activar la puerta interna negativa-AND (enable).

DM74LS154 4-Line to 16-Line Decoder/Demultiplexer

General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are LOW. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input LOW. When either strobe input is HIGH, all outputs are HIGH. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

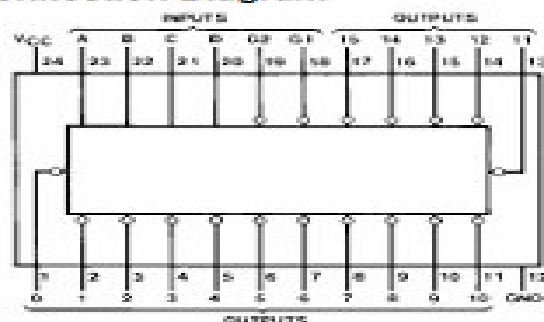
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
 - 3 levels of logic 23 ns
 - Strobe 19 ns
- Typical power dissipation 45 mW

Ordering Code:

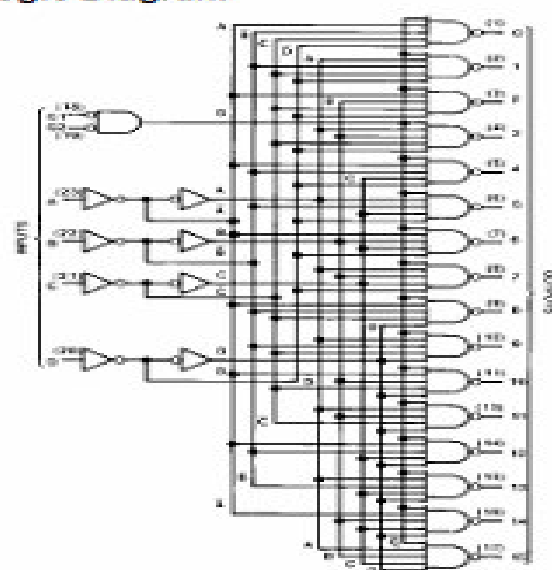
Order Number	Package Number	Package Description
DM74LS154WM	M24B	24-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.200 Wide
DM74LS154N	N24A	24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-010, 0.600 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Logic Diagram



Function Table

Inputs					Outputs																
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H – HIGH Level

L – Low Level

X – Don't Care

DM74LS154 4-Line to 16-Line Decoder/Demultiplexer

General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are LOW. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input LOW. When either strobe input is HIGH, all outputs are HIGH. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

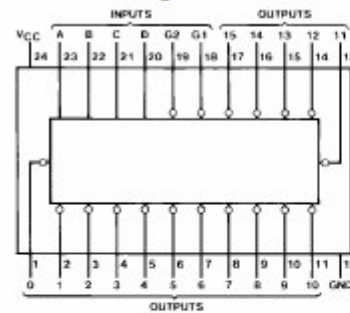
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
 - 3 levels of logic 23 ns
 - Strobe 19 ns
- Typical power dissipation 45 mW

Ordering Code:

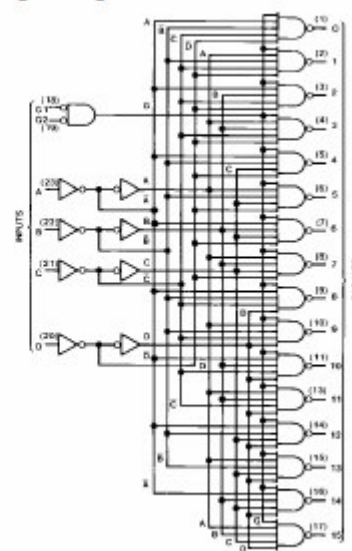
Order Number	Package Number	Package Description
DM74LS154WM	M24B	24-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS154N	N24A	24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-010, 0.600 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

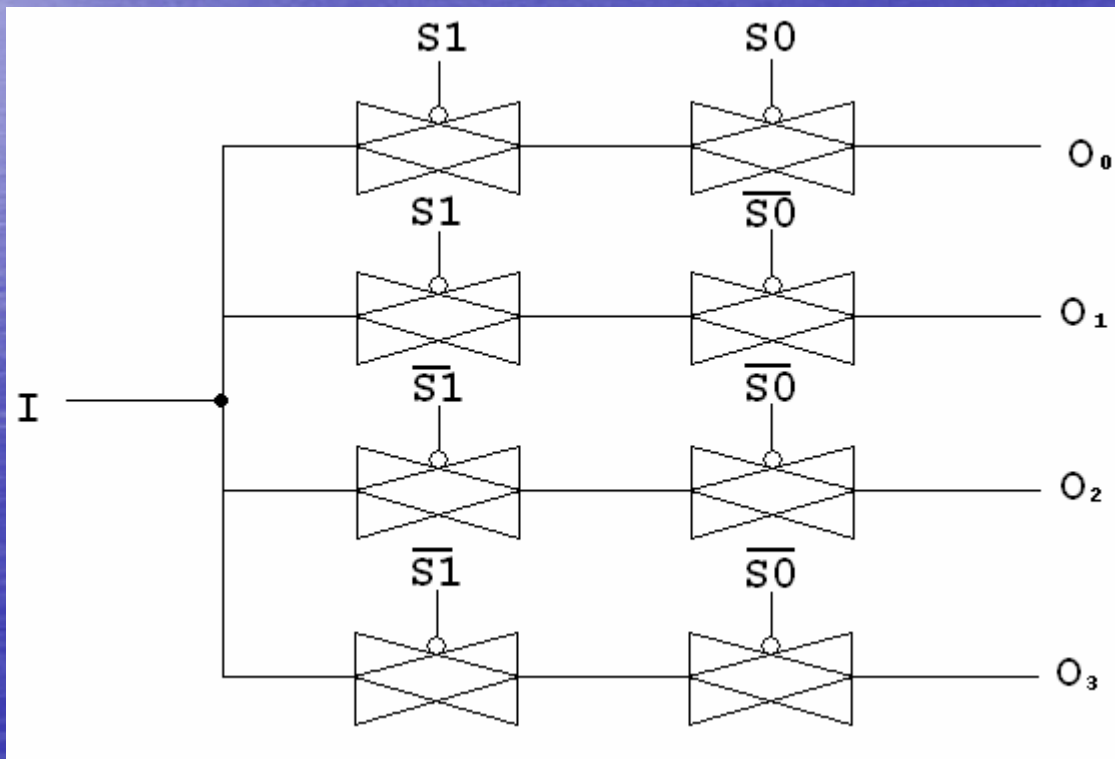


Logic Diagram



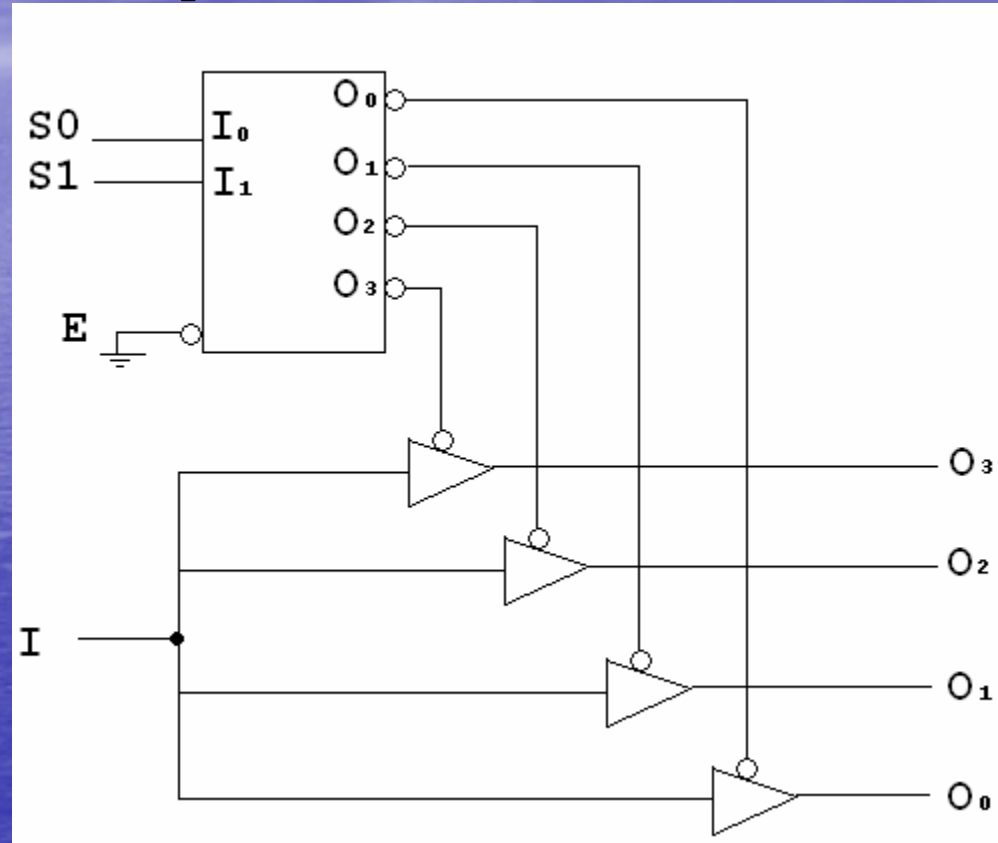
Ejemplo:

- Diseñar un demultiplexor 2_a_4 utilizando llaves de paso MOS:



Ejemplo:

- * Diseñar un demultiplexor 2a4 utilizando un decodificador y buffers de 3 estados.



Problema: Diseñar un multiplexor de 4 entradas realizando un pequeño cambio estructural en este diseño.

Ejercicio propuesto:

- Diseñar un demultiplexor 3 a 8 utilizando demultiplexores más pequeños.
- Se quiere diseñar un decodificador de 12 direcciones de 0 a 11 utilizando decodificadores binarios (2 a 4, 3 a 8, etc). Indicar cuál es el número mínimo de decodificadores binarios que hay que utilizar y realizar el diseño del decodificador utilizando los decodificadores binarios y las puertas lógicas que sean necesarias (un inversor).

Dos tipos de decodificadores:

- No excitadores

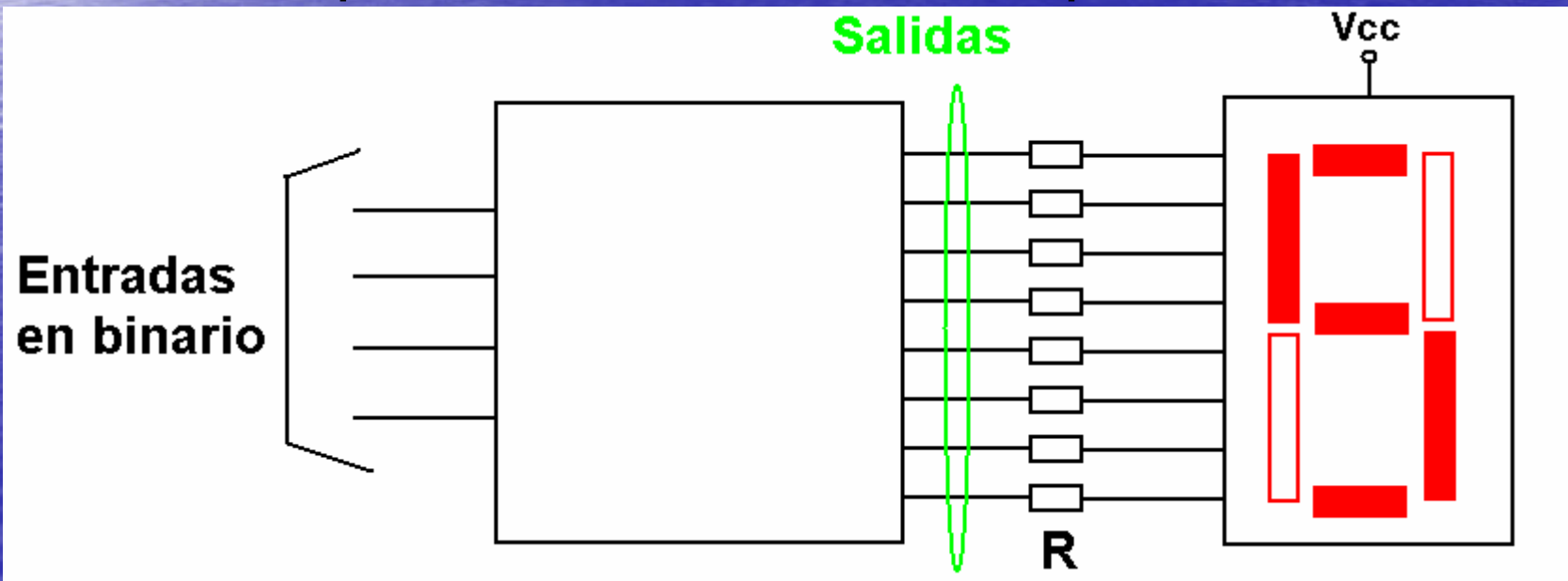
A su salida se obtiene una corriente muy pequeña, por tanto, unicamente pueden conectarse a circuitos digitales de la misma familia

- Excitadores

A su salida son capaces de suministrar la suficiente intensidad como para ser conectados a otros circuitos tales como displays, reles...

Decodificador BCD – 7 segmentos

A diferencia de los decodificadores tradicionales, estos pueden activar varias salidas al mismo tiempo y son capaces de proporcionar o absorber mas corriente para excitar unidades de presentacion

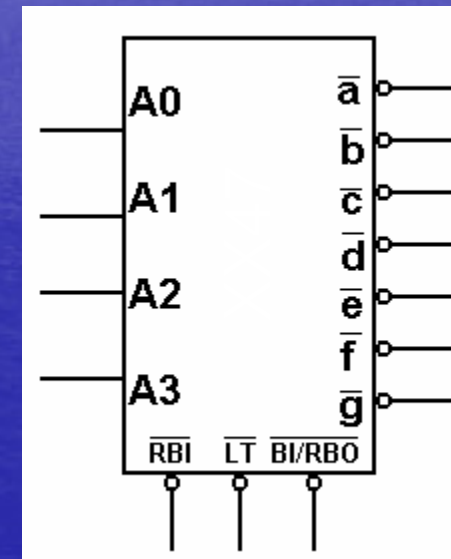


*Decodificador comercial

54/7447A – 54LS/74LS47 (BCD – 7 segmentos)

Formado por:

- 4 entradas: para los numeros bcd
- 7 salidas: activas a nivel bajo
- Entradas y salidas adicionales
 - LT.L (Lamp test input)
 - RBI.L (Ripple Blanking Input)
 - BI/RBO.L (Blanking Input/Ripple Blanking Output)



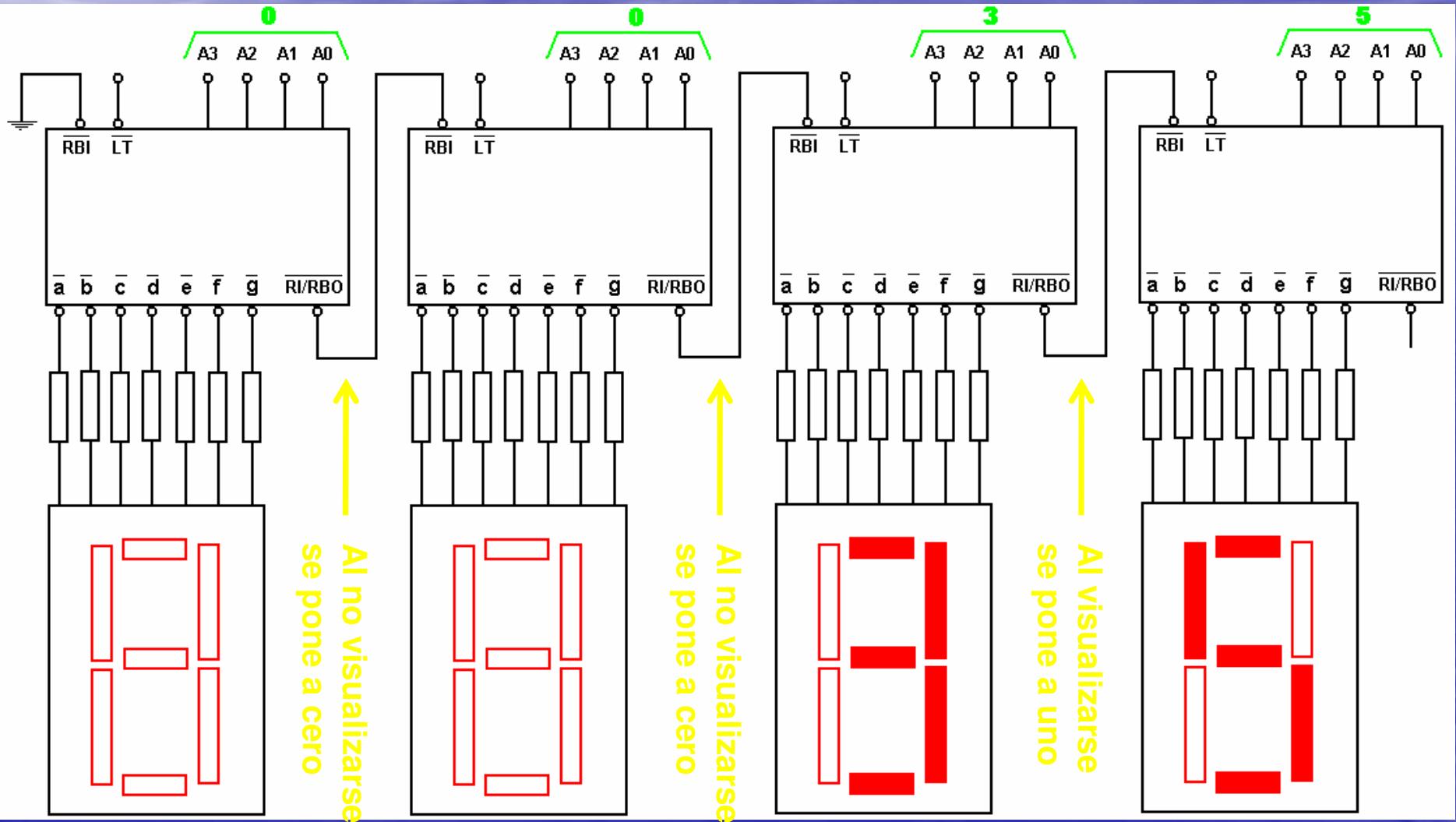
Funcionamiento de las entradas y salidas adicionales

LT.L	RBI.L	BI/RBO.L	A ₃ A ₂ A ₁ A ₀	FUNCION
0	X	1 (salida)	X	Enciende todos los segmentos
X	X	0 (entrada)	X	Se apagan todos los segmentos
1	0	0 (salida)	0 0 0 0 (cero)	Se apagan todos los segmentos
1	1	1 (salida)	0 0 0 0 (cero)	Aparece el cero
1	X	1 (salida)	Cualquier numero menos el cero	Decodificacion normal

Tabla de verdad del decodificador comercial

NUM	ENTRADAS						E/S	SALIDAS						
	LT	RBI	A ₃	A ₂	A ₁	A ₀	RI/RB O	a	b	c	d	e	f	g
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1
1	1	X	0	0	0	1	1	1	0	0	1	1	1	1
2	1	X	0	0	1	0	1	0	1	1	0	0	1	0
3	1	X	0	0	1	1	1	0	0	0	0	1	1	0
4	1	X	0	1	0	0	1	1	0	0	1	1	0	0
5	1	X	0	1	0	1	1	0	1	0	0	1	0	0
6	1	X	0	1	1	0	1	0	1	0	0	0	0	0
7	1	X	0	1	1	1	1	0	0	0	1	1	1	1
8	1	X	1	0	0	0	1	0	0	0	0	0	0	0
9	1	X	1	0	0	1	1	0	0	0	1	1	0	0
10	1	X	1	0	1	0	1	1	1	1	0	0	1	0
11	1	X	1	0	1	1	1	1	1	0	0	1	1	0
12	1	X	1	1	0	0	1	1	0	1	1	1	0	0
13	1	X	1	1	0	1	1	0	1	1	0	1	0	0
14	1	X	1	1	1	0	1	1	1	1	0	0	0	0
15	1	X	1	1	1	1	1	1	1	1	1	1	1	1
BI	X	X	X	X	X	X	0	1	1	1	1	1	1	1
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1
LT	0	X	X	X	X	X	1	0	0	0	0	0	0	0

CONEXIÓN DECODIFICADORES

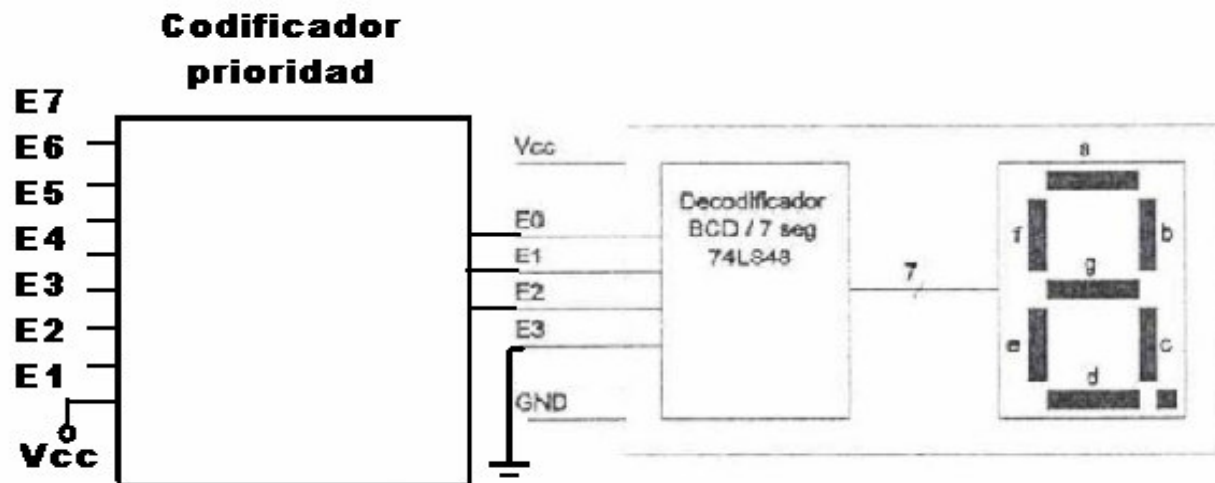


Ejercicio practico nº 1:

- * Se quiere diseñar un sistema de un ascensor que nos permita saber en que número de planta nos encontramos en un edificio de 7 plantas?

NOTA: -> Decodificador de prioridad más un decodificador BCD-7segmentos.

CONTROL DE PISO EN UN ASCENSOR



Ejercicio practico nº2:

- * Se desea saber la cantidad de combustible que hay en el deposito de una motocicleta, sabiendo que el deposito puede contener como máximo 15L?
- *NOTA* -> Este ejercicio lleva la union de varios dispositivos q veremos posteriormente en la asignatura pero es muy bueno para comprender sus verdaderas aplicaciones prácticas.

Marcador digital con 2 displays

