

## CAPITOLUL 5

### CIRCUITE INTEGRATE DIGITALE

#### 5.1. Probleme generale.

##### 5.1.1. Funcții logice elementare

Sistemul binar și funcțiile de variabile binare care mai sunt denumite funcții logice booleene (fiind introduse de matematicianul G. Boole acestea operează cu două valori, adevărat și fals) sunt larg utilizate în domenii cum sunt calculatoarele, transmisia informației, automată, sisteme de măsură și control, prin circuitele electronice denumite digitale care modelează astfel de funcții.

Sistemul binar este cel mai bine adaptat circuitelor electronice deoarece, pe de o parte, dispozitivele electronice principale pot funcționa foarte bine ca niste comutatoare cu doar două stări iar pe de alta fiindcă folosirea a doar două nivele de tensiune corespunzătoare celor două cifre, 0 și 1, se face electronic simplu, cu precizie și siguranță.

Argumentele unei funcții booleene pot lua două valori distincte, 0 sau 1. Funcția la fel, poate avea de asemenea doar două valori 0 sau 1. Definirea curentă a unei astfel de funcții se face printr-un tabel, numit de adevăr, care dă valoarea funcției pentru toate combinațiile de valori posibile ale variabilelor.

Algebra booleană arată că orice funcție de variabile binare poate fi exprimată și matematic cu ajutorul unui grup de trei funcții care reprezintă și operații între variabile sau funcții cu reprezentare grafică distinctă. Acestea sunt funcțiile SAU cu operatorul similar sumei, SI cu operatorul similar produsului și NU cu operatorul reprezentând o linie deasupra operandului, fie acesta o variabilă sau o altă funcție.

Un astfel de grup de funcții prin care se pot exprima toate celelalte funcții se numește sistem complet de funcții.

Mai există două sisteme complete de funcții în afară de SI, SAU, NU. Acestea sunt formate de fapt din câte o singură funcție și anume SI-NU și SAU-NU.

Un circuit care realizează o funcție logică se mai numește și poartă logică.

Circuitele care realizează funcții de variabile binare s-au dovedit a fi foarte potrivite realizării integrate.

##### 5.1.2. Evoluția circuitelor integrate digitale

Primele circuite digitale care modelau funcții logice au fost realizate cu relee. Intradevăr, combinația serie a contactelor unor relee poate produce funcția SI deoarece contactul total (funcția) e făcut doar dacă toate contactele (variabilele) sunt făcute. Similar, o combinație paralel de contacte reprezintă funcția SAU.

Iar sistemele construite au fost complexe. Germanul **Konrad Zuse** a imaginat în 1930 o mașină programabilă, cu relee electromecanice, care avea unitate aritmetică, memorie, unitate de control și carduri perforate pentru introducerea datelor.

Zuse, care intenționa să utilizeze apoi tuburi electronice, nu a putut, din cauza războiului, să-și ducă planurile la bun sfârșit. Sistemul construit de el, distrus în timpul războiului, a fost refăcut ca fiind istoric primul calculator digital funcțional și este azi piesa de muzeu (figura 5.1).



Fig. 5.1. Primul calculator electromecanic al lui Konrad Zuse.

Au urmat circuitele digitale cu tuburi electronice cu rezultate mai importante. În figura 5.2. este primul calculator electronic universal, **ENIAC**, care utiliza peste 17.000 de tuburi electronice, consuma aproape 200 kW și avea o memorie de 1000 de biți, construit în 1946 de **John Mauchly** și **John Adam Presper Eckert Jr.**

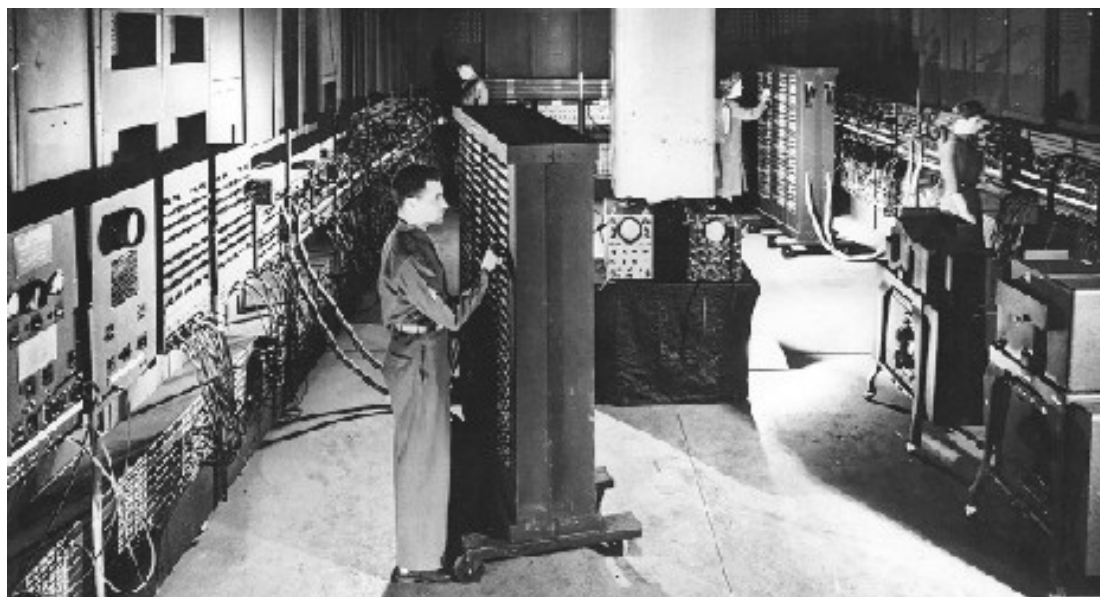


Fig. 5.2. Primul calculator electronic universal, ENIAC.

Circuitele digitale intră apoi în epoca dispozitivelor semiconductoare. Apar primele familii de circuite logice, la început tot cu elemente discrete. Acestea primesc acronime care vin în general de la dispozitivele utilizate.

O familie cuprinde circuite realizate tehnologic similar, alimentate la fel în c.c., care modelează funcții diverse și care sunt compatibile, adică ieșirile pot comanda în siguranță intrări din aceeași familie.

### DL (Diode-Logic)

Este o familie dintre cele mai utilizate în perioada discretă. Are avantajul simplității și a unor timpi reduși de tranziție. Schema pentru un circuit SI cu două intrări este prezentată în figura 5.3.

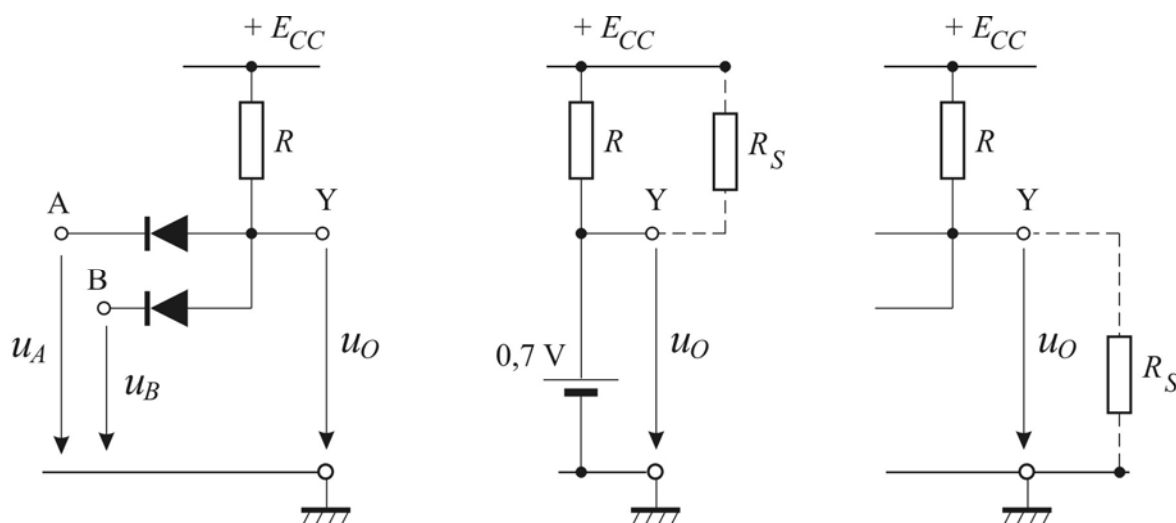


Fig. 5.3. Circuit SI cu diode, comportarea cu ieșirea la nivel coborât și ridicat și efectul unei sarcini exterioare.

Dacă una dintre intrări este la nivel zero atunci dioda este polarizată direct, este deschisă și are aproximativ 0,7 volți tensiunea anod-catod. Nivelul la ieșire este coborât și este echivalent cu cifra 0. Situația nu se schimbă dacă ambele intrări sunt la zero sau dacă există o rezistență de sarcină. Tensiunea pe o diodă deschisă depinde puțin de curent.

Rezistența de sarcină este conectată la  $+E_{CC}$  pentru a sublinia faptul că dacă nivelul la ieșire este coborât (teoretic zero, aici 0,7 volți) atunci poarta absoarbe curent de la sursă prin  $R_S$ .

Dacă ambele intrări sunt la nivelul sursei  $+E_{CC}$  atunci ambele diode sunt blocate deoarece fără  $R_S$  tensiunea pe ele este 0 iar cu  $R_S$  este cu + pe catod. Nivelul la ieșire este ridicat și este echivalent cu cifra 1.

Dacă nu există rezistența de sarcină nivelul este chiar  $+E_{CC}$

Dacă există rezistența de sarcină este conectată la masă pentru a sublinia faptul că dacă nivelul la ieșire este 1 atunci poarta generează curent de la sursă spre  $R_S$ .

Prezența  $R_S$  mai ridică o problemă generală pentru familiile de circuite integrate digitale și anume aceea a degradării nivelurilor de tensiune.

Pentru 0 aici aveam un nivel mic, aproape constant, chiar pentru sarcini mari ( $R_S$  mici).

Pentru 1 nivelul este dependent puternic de  $R_S$  care formează un divizor de tensiune cu  $R$ . În acest caz se stabilește un nivel de degradare admis care va limita  $R_S$  la o valoare minimă.

Familia DL mai are dezavantajul că funcția NU este greu de realizat fără a utiliza un tranzistor.

Cu toate acestea portile cu diode mai sunt utilizate în diverse situații unde simplitatea este esențială.

### **RTL (Rezistor Transistor Logic).**

Este o familie care rezolvă dezavantajele familiei DL și deși la început a fost realizată cu elemente discrete ea s-a impus în special ca prima familie de circuite integrate logice.

Apariția **circuitului integrat** va conduce la o evoluție foarte rapidă a sistemelor de calcul, evoluție care continuă și astăzi. Până atunci circuitele electronice ale calculatoarelor se realizau cu componente discrete. Acestea erau tranzistoare, utilizate atât ca amplificatoare cât și ca elemente de comutație, dar și diode, rezistente, condensatoare și bobine. Ele ocupau mult spațiu iar prețul pe element nu putea fi scăzut.

În 1961 apare prima familie de circuite integrate logice, RTL. Circuitele integrate astfel create au fost imediat adoptate de NASA dar și de alte companii, iar anul 1962 a fost anul începerii producției de masă de circuite integrate.

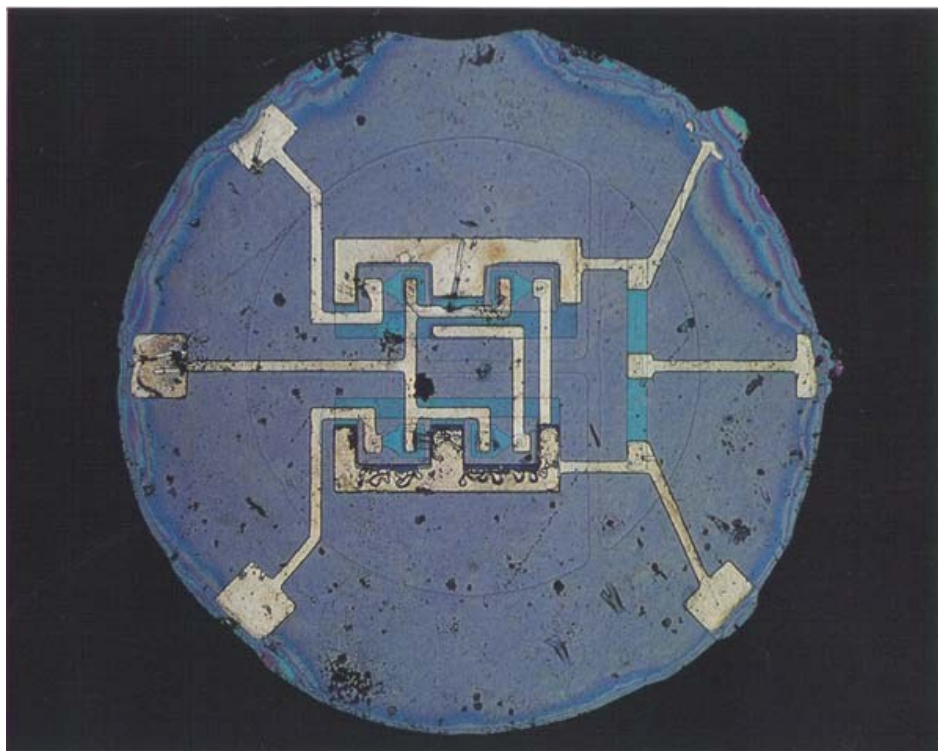


Fig. 5.4. Circuit basculant bistabil în tehnologie RTL

În figura 5.4 este un circuit basculant bistabil în tehnologie RTL, cu patru tranzistoare, formele albastru deschis cu margine triunghiulară din centru, 5 rezistente, liniile albastru deschis orizontale și verticale. Culoarea deschisă este metalizare pentru conectoare. Firele exterioare nu sunt anexate. Petele mici întunecate sunt imperfecțiuni în suprafața stratului semiconductor.

Familia RTL nu mai este utilizată, la fel ca și cea care a urmat-o, familia:

### **DTL (Diodă Tranzistor Logic)**

Aceasta a fost o perfecționare a familiei RTL dar ca și aceasta a fost înlocuită de familia TTL care a devenit cea mai răspândită pentru mai mult de două decenii.

### **TTL (Tranzistor Tranzistor Logic)**

Este o familie realizată în tehnologie bipolară, care are o variantă standard, urmată de-a lungul timpului de alte variante care îmbunătățesc fiecare unul sau mai mulți dintre parametrii principali inițiali.

### **ECL (Emitter Coupled Logic)**

Este o familie realizată tot în tehnologie bipolară, cu tranzistoare într-o structură de amplificator diferențial care nu intră în saturație și asigură astfel timpi de tranziție mai mici. Este încă destul de utilizată.

### **I<sup>2</sup>L (Integrated Injection Logic)**

Este o familie de circuite realizate doar cu tranzistoare bipolare, fără rezistențe și care au din acest motiv o densitate de integrare foarte mare (în circuitele integrate rezistențele ocupă suprafețe mult mai mari decât tranzistoarele – se poate observa și pe figura 5.4).

Următoarea tehnologie, tehnologia MOS (Metal-Oxid-Semiconductor), crește spectaculos densitatea integrării și devine dominantă în circuitele integrate. Unul din primele circuite integrate realizate doar cu tranzistoare MOS este prezentat în figura 5.5. Tranzistoarele au aici forma de halteră. (Circuitul real apare în vârful pensetei din partea stânga, sus).

Primele familii de circuite integrate digitale au utilizat tranzistoare MOS similare.

### **PMOS (MOS cu canal P)**

Familie ce utilizează doar tranzistoare MOS cu canal P

### **NMOS (MOS cu canal N)**

Familie ce utilizează doar tranzistoare MOS cu canal P

### **CMOS (MOS complementar)**

Este familia cea mai răspândită și utilizează tranzistoare MOS complementare de tip P și N.

Această familie are, ca și familia TTL numeroase subfamilii.

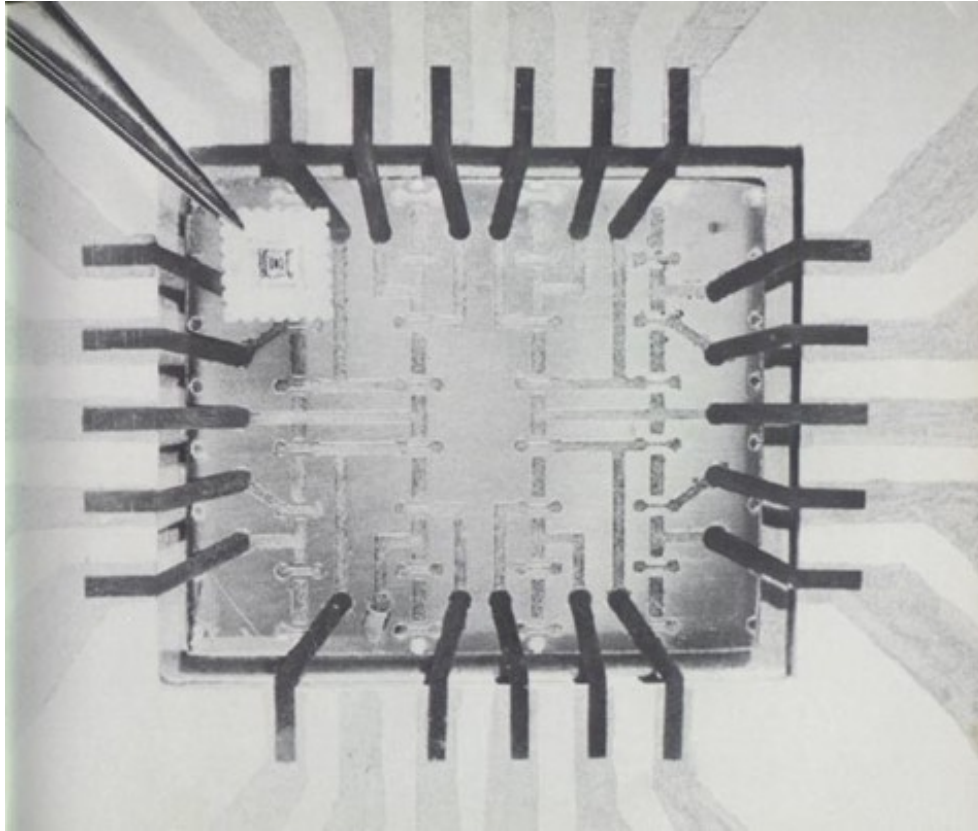


Fig. 5.5. Circuit integrat în tehnologie MOS.

Dezvoltarea circuitelor integrate a fost marcată de nivelele de integrare, de la zeci de tranzistoare pe un cip, integrare pe scară mică SSI (small scale integration) la sute, integrare pe scară medie MSI (medium scale integration) și apoi mii, integrare pe scară largă LSI (large scale integration).

A patra generație începe în jurul anului 1980 o dată cu nivelul de integrare pe scară foarte largă, VLSI (very large scale integration), cu mai mult de 10.000 de tranzistoare pe un cip.

Astăzi s-a depășit de mult un milion de tranzistoare pe cip, nivelul fiind ULSI (ultra large scale integration).

Evoluția a ramas spectaculoasă. Densitatea și viteza au crescut constant. Au apărut tehnici noi:

BiCMOS - combinație de tehnologie bipolară cu MOS;

WSI – integrare pe plăci întregi de siliciu (wafer) care au dimensiuni mari;

3D – circuite cu aranjament și conexiuni în spațiu.

Se prevede o încetinire a ritmului datorită îndeosebi limitelor siliciului.

Căi de progres mai sunt. În primul rând utilizarea unui alt substrat în locul siliciului, cum ar fi galiu-arsen. Avantajele sunt mobilitate a purtătorilor de 6 ori mai mare decât în cazul siliciului, consum mai mic de putere, rezistență la radiații. Dezavantaje, prețul mai mare dar și faptul că materialul este foarte toxic.



### 5.1.3. Capsulele utilizate pentru circuitele integrate

Tipurile capsulelor circuitelor integrate digitale pot fi clasificate după câteva criterii, dintre care principalele sunt prezentate și exemplificate.

**Dupa materialul capsulei** se împart în două categorii mari:

- cu capsula ceramică, care sunt notate obișnuit cu litera C (ceramic);
- cu capsula de plastic, care sunt notate obișnuit cu litera P (plastic).

Uneori mai există porțiuni de suprafață metalică pentru răcire (suprafețele mai întinse din figura 5.6.a și 5.6.b).

**Dupa așezarea pinilor** (figura 5.6) circuitele sunt:

- cu pinii așezați în linie (figura 5.6.a), cu notația obișnuită I sau IL (in-line);
- cu pinii așezați după două linii paralele (figura 5.6.b), cu notațiile DIL (dual in-line) sau DIP (dual in-line package);
- cu pinii așezați în careu (figura 5.6.c) cu notația Q (quad)
- cu pinii așezați în formă de matrice (figura 5.6.d) cu notația A (array)

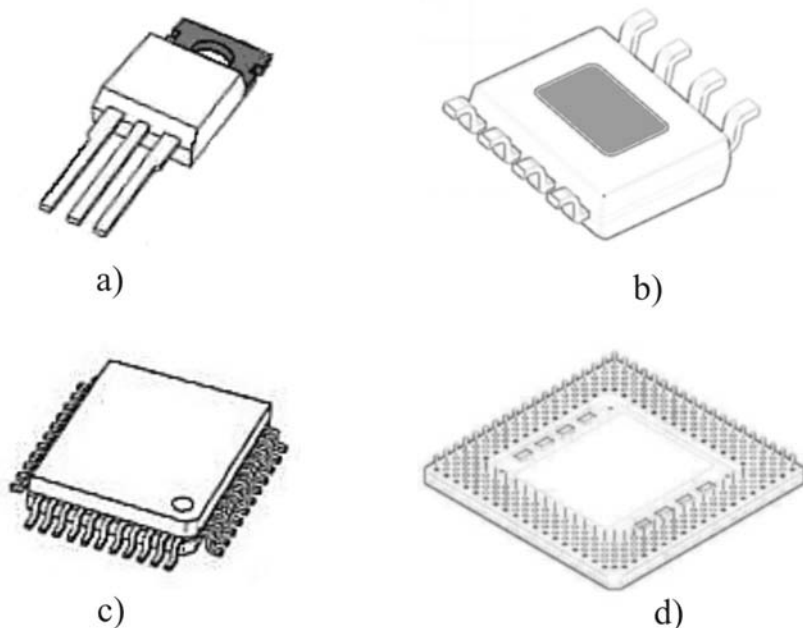


Fig. 5.6. Tipuri de capsule după așezarea pinilor

**Dupa forma pinilor** (figura 5.7) circuitele sunt:

- cu pinii drepti (figura 5.7.a), destinați fie plantării în orificii în circuitele imprimate fie fixării în socluri.
- cu pinii în forma de J, presate în socluri speciale care la randul lor aveau pini pentru plantat (figura 5.7.b);
- cu pinii cu aripioare cu lipire pe suprafața circuitului imprimat (gull-wing – aripi de pescăruș) (figura 5.7.c);
- cu pinii puncte de cositor, tot pentru lipire pe suprafața circuitului imprimat (figura 5.7.d);

- cu pini sub formă de mici suprafețe pentru contact prin presiune. (figura 5.7.e).

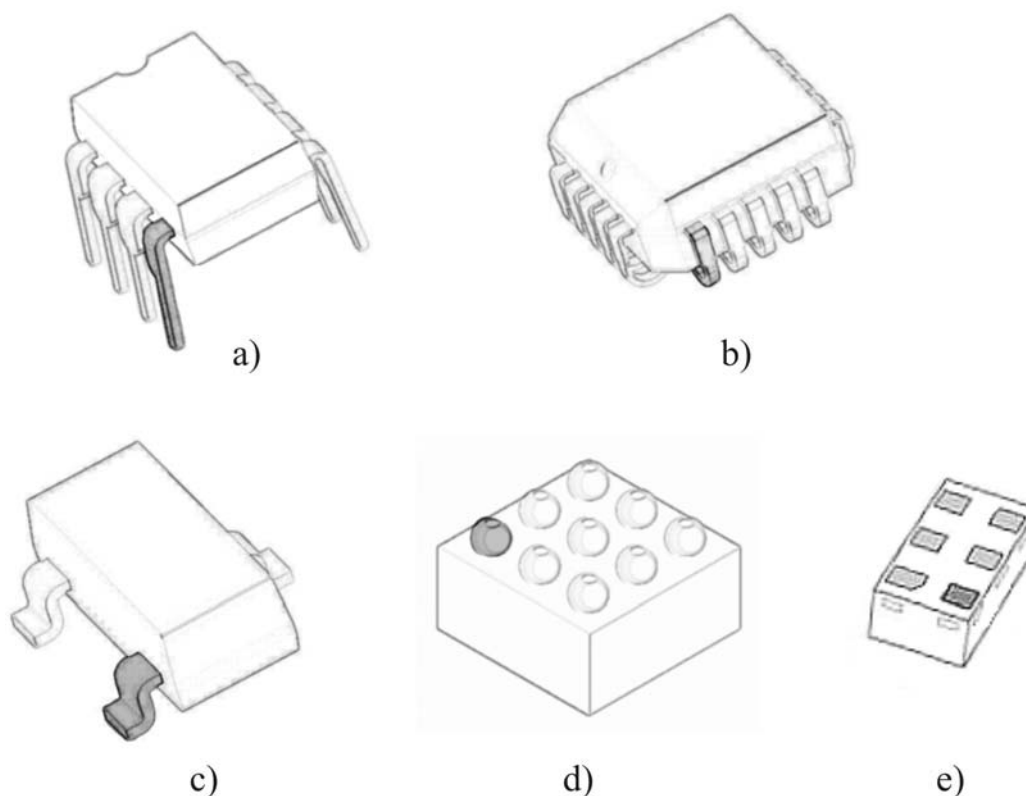


Fig. 5.7. Tipuri de capsule dupa forma pinilor

## 5.2. Parametrii unei familii de circuite logice

O familie de circuite integrate digitale are un numar de parametri mai importanți care sunt prezentați pe scurt în continuare

### 5.2.1. Fan in

**Fan in** reprezintă numărul de intrări pe care le are un circuit din familie (fan – evantai). De exemplu circuitul din figura 5.8 are un fan in de 4. Uneori fan in reprezintă numărul maxim de intrări specific unei familii (de exemplu, pentru TTL standard este 8). O creștere a fan in conduce la creșterea întârzierii pe care o produce circuitul.

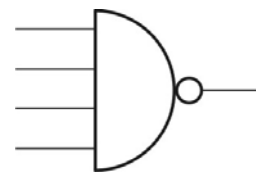


Fig. 5.8. Fan in



### 5.2.2. Fan out

**Fan out** reprezintă numărul maxim de intrări de care pot fi conectate la ieșirea unui circuit din familie fără să se producă degradări ale nivelelor de tensiune (figura 5.9. – circuit cu fan out de 8).

În esență parametrul depinde de nivelul de curent pe care o ieșire îl poate asigura atât pentru valoarea logică 0 cât și pentru 1 la ieșire și de nivelul curenților la o intrare pentru aceleași valori logice.

Dacă numărul de intrări conectate la o ieșire crește, atunci:

- Nivelul 0 logic crește ca valoare;
- Nivelul 1 logic scade ca valoare;
- Fronturile se deteriorează și cresc întârzierile.

### 5.2.3. Viteza de propagare

Viteza de propagare sau întârzierea (delay) produsă de o poartă reprezintă intervalul de timp dintre schimbarea nivelului logic de la intrare și schimbarea rezultată la ieșirea unui circuit.

Se definesc două întârzieri, una pentru schimbarea 0-1 la intrare care se mai numește și întârziere la comutație directă (turn-on delay) și una pentru schimbarea 1-0 la intrare care se mai numește și întârziere la comutație inversă (turn-off delay).

În figura 5.10. aceste mărimi sunt prezentate pentru un circuit buffer, care este un circuit care nu face operații logice ci doar realizează o adaptare sursă-sarcină similară cu aceea pe care o face un circuit repetor pe emitor și transmite nivelul logic nemodificat (dar întârziat după cum se observă).

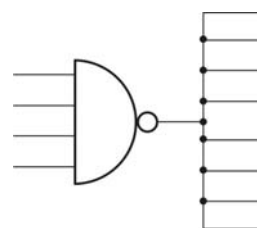


Fig. 5.9. Fan out

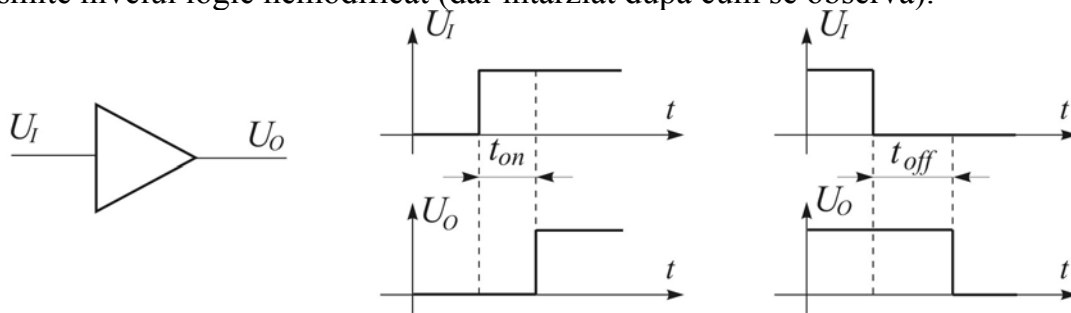


Fig. 5.10. Viteza de propagare sau întârzierea unui CI

Există în cazul circuitelor legate printr-un conductor mai lung și o întârziere pe linia de transmisie (figura 5.11)

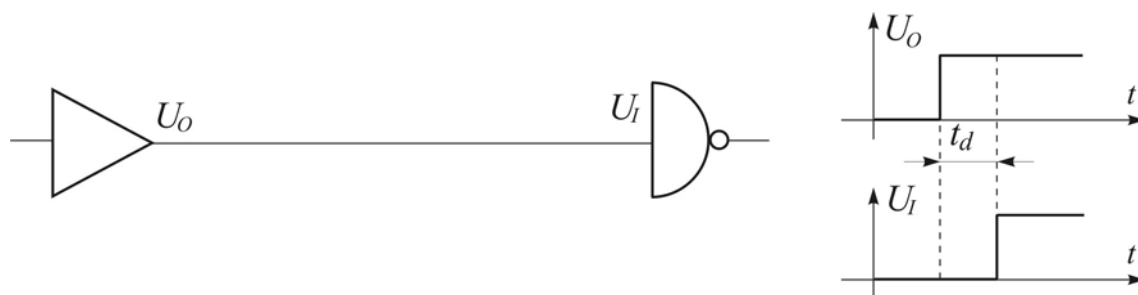


Fig. 5.11. Întârzierea pe linie

Se mai definește, legat de această întârziere pe linia de transmisie și o întârziere a unui același semnal la mai multe intrări diferite ale unor circuite (figura 5.12, un circuit ceas –ck-al cărui semnal ajunge la două intrări diferite cu întârziere diferită), numită și skew delay (skew-oblic)

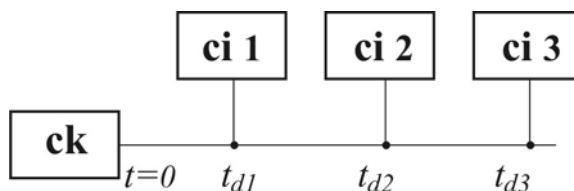


Fig. 5.12. Întârzierea la intrări diferite

Mai trebuie precizat că fronturile sunt considerate în figură ideale, dar nu acesta este cazul real, unde și tranziția se face într-un interval de timp (figura 5.13) iar în acest caz măsurarea timpilor se face la nivelul de 50% din valoarea maximă.

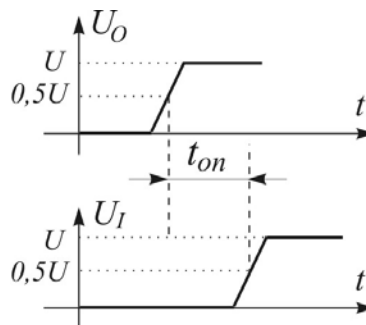


Fig. 5.13. Întârzierea la fronturi reale

#### 5.2.4. Nivele logice de tensiune

Nivelele logice de tensiune sunt valorile tensiunilor de intrare sau de ieșire care sunt garantate pentru valorile logice 1 și 0, sau, așa cum apar în foile de catalog, nivelele H (high-1) și L (low-0).

Ca o regulă generală, pentru nivelul H este important ca el să nu scadă sub o anumită valoare, astfel că pentru nivele H se definesc valori minime, iar pentru nivelul L este important ca el să nu crească peste o anumită valoare, astfel că pentru nivele L se definesc valori maxime.

Sunt definite 4 asemenea nivele, nivele de intrare, L și H și nivele de ieșire, L și H:

1.  $U_{OHmin}$  – tensiunea de ieșire minimă pentru nivelul 1(H).

Acest parametru precizează nivelul tensiunii care mai poate fi recunoscut cu siguranță drept variabila 1 la iesirea unui circuit.

2.  $U_{IHmin}$  – tensiunea de intrare minimă pentru nivelul 1(H).

Acest parametru precizează nivelul tensiunii care mai poate fi recunoscut cu siguranță drept variabila 1 de către intrarea unui circuit.

Între cele doua valori exista condiția:

$$U_{OHmin} > U_{IHmin}$$

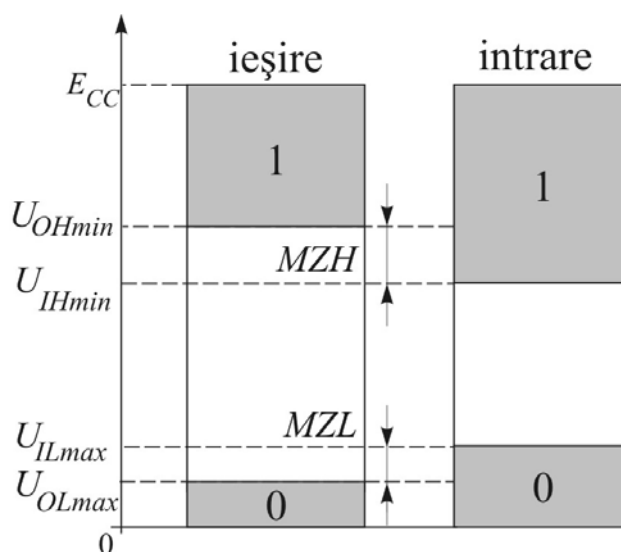


Fig. 5.14. Nivele de tensiune și margine de zgomot

3.  $U_{OLmax}$  – tensiunea de ieșire maximă pentru nivelul 0(L).

Acest parametru precizează nivelul tensiunii care mai poate fi recunoscut cu siguranță drept variabila 0 la iesirea unui circuit.

4.  $U_{ILmax}$  – tensiunea de intrare maximă pentru nivelul 0(L).

Acest parametru precizează nivelul tensiunii care mai poate fi recunoscut cu siguranță drept variabila 0 de către intrarea unui circuit.

Între cele doua valori exista condiția:

$$U_{OLmax} < U_{ILmax}$$

Se obișnuiește ca nivelele să fie reprezentate grafic (figura 5.14) pentru o mai bună înțelegere a raporturilor dintre ele. Partea umbră este zona valorilor permise, partea albă este zona valorilor interzise, valori care apar doar în timpul tranzițiilor.

### 5.2.5. Margine de zgomot

Marginea de zgomot reprezintă diferența dintre nivelele la ieșirea unui circuit și intrarea circuitului următor. Există o margine de zgomot la nivelul ridicat, MZH și una la nivelul coborât, MZL (figura 5.14).

Prin această diferență un zgomot (o variație de tensiune suprapusă peste semnal) de valoarea marginii de zgomot nu perturbă funcționarea unui sistem realizat cu circuitele familiei.

Zgomotul poate fi datorat:

- Variației  $E_{CC}$ ;
- Variației de temperatură;
- Tensiunilor induse pe linii de alimentare de c.c. sau de transmisie de semnal

### 5.2.6. Nivele ale curenților

Pe lângă nivele de tensiune există și nivele de curent pe care le furnizează sau le absorb circuitele dintr-o anumită familie. Valorile acestora sunt valori maxime, fie furnizate fie absorbite în condițiile în care nu există o degradare a nivelelor de tensiune.

Circulația curenților în circuitele logice integrate pentru toate cele 4 situații care au fost prezentate la nivelele de tensiune se face ca în figurile 5.15.a, b, c, și d. Circuitele sunt de tip buffer, și a fost reprezentată și sursa de alimentare de tensiune continuă cu legăturile la circuit.

La ieșire, pentru nivel de tensiune ridicat poarta este un generator care furnizează curent etajului următor (fig. 5.15.a), așa cum se poate vedea și pentru cazul intrării unui circuit la nivel ridicat, care absoarbe curent (fig. 5.15.b). Există deci:

$I_{OHmax}$  – curentul maxim furnizat de o ieșire care pastrează nivelul de tensiune  $U_{OHmin}$

$I_{IHmax}$  – curentul maxim absorbit de o intrare la nivelul de tensiune  $U_{IHmin}$

La ieșire, pentru nivel de tensiune coborât poarta este un consumator care absoarbe curent prin etajului următor (fig. 5.15.c), așa cum se poate vedea și pentru cazul intrării unui circuit la nivel coborât, care furnizează curent (fig. 5.15.d). Există deci:

$I_{OLmax}$  – curentul maxim absorbit de o ieșire care pastrează nivelul de tensiune  $U_{OLmax}$

$I_{ILmax}$  – curentul maxim furnizat de o intrare la nivelul de tensiune  $U_{ILmax}$

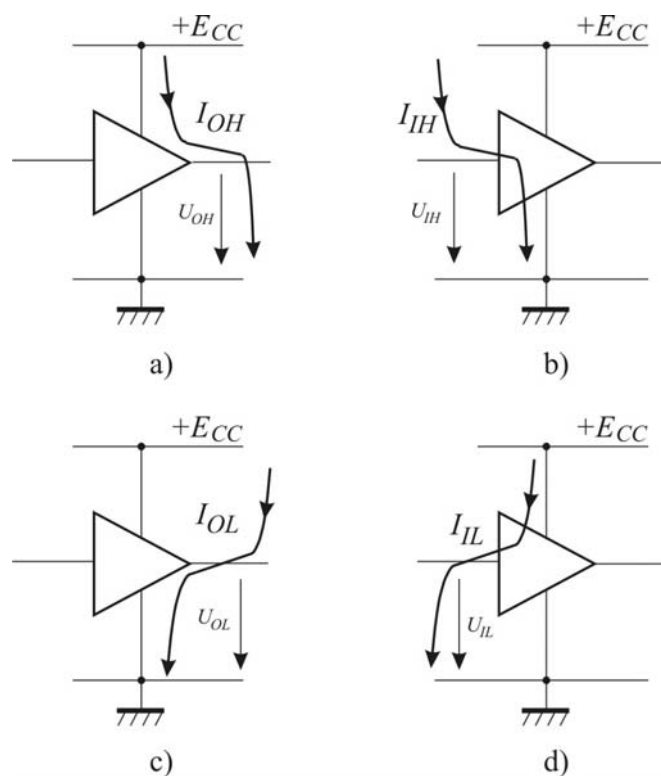


Fig. 5.15. Circulația curenților la CI logice

### 5.2.7. Timpi de comutație

În afară de timpii de întârziere mai exista și timpi de comutație, similari cu cei de la comutația dispozitivelor semiconductoare. Aceștia sunt timpul de creștere (rise),  $t_r$  și timpul de cadere (fall),  $t_f$ .

### 5.2.8. Puterea disipată

Un alt parametru important este puterea disipată pe o poartă. Acesta este o putere medie, deoarece există o putere disipată în starea 1, o altă în starea 0 și de asemenea mai sunt puterile disipate pe timpul tranzițiilor 0-1 și 1-0, care cresc puterea medie o dată cu mărirea frecvenței.

### 5.2.9. Factor de merit

Un alt parametru care da o privire globală a performanțelor de viteză și consum de putere este produsul putere-întârziere (viteză) care se mai numește și factor de merit sau factor de calitate al familiei.

### 5.3. Familia TTL

Familia TTL face parte din familia mare a circuitelor integrate în tehnică bipolară, tranzistoarele fiind tranzistoare bipolare. Deși astăzi familia standard TTL este ieseită din uz pentru motive ce vor fi discutate, este un model pentru a înțelege tehnica unei familii de circuite logice și din acest motiv rămân un obiect de studiu. Mai mult, familii derivate cu performanțe superioare sunt utilizate în continuare.

Principalul dezavantaj este puterea consumată care le face, de exemplu, improprie pentru alimentare portabilă și mai mult, tensiunea standard de alimentare de 5 V nu este proprie alimentării de la baterii care au standarde diferite. Trei baterii de 1,5 V nu asigură de exemplu limita minimă de 4,75 V necesară acestora, iar alimentarea portabilă este foarte mult utilizată în aplicațiile noi.

Au și o margine de zgomot redusă, de 0,4 volți și sunt sensibile la vârfuri de tensiune care apar pe linia de alimentare astfel că în mod curent e nevoie de condensatoare de decuplare care uneori ajung la fel de multe ca integratele TTL folosite, măbind mult suprafața totală.

#### 5.3.1. Poarta fundamentală SI-NU

Familiiile de circuite integrate digitale s-au dezvoltat pornind de la un circuit fundamental care pentru familia TTL este poarta SI-NU, figura 5.16. Alăturat este prezentat și simbolul porții cu notațiile curente pentru variabilele de intrare și de ieșire și pentru funcția realizată.

Tensiunea de alimentare a circuitelor integrate TTL este  $E_{CC} = 5V$ , fiind permis un domeniu de variație între +5%..-5%, adică între 5,25... 4,75V.

Prin convenție 1 corespunde nivelului de tensiune ridicată,  $U_H$  (High), iar 0 nivelului de tensiune coborâtă,  $U_L$  (Low). Convenția se numește logică pozitivă.

Tranzistorul  $T_1$  este un tranzistor multi-emitor, realizabil ușor prin tehnologia integrată. Dacă cel puțin una din intrări este la tensiune coborâtă, nivel logic 0, joncțiunea bază-emitor a tranzistorului  $T_1$  este polarizată în sens direct și potențialul în punctul 1,  $V_1 = 0,7V$  și are o valoare insuficientă pentru a deschide joncțiunile bază-colector a tranzistorului  $T_1$ , bază-emitor a tranzistorului  $T_2$  și bază-emitor a tranzistorului  $T_3$ . Potențialele  $V_2$ , și  $V_3$  sunt sub valorile care permit deschiderea joncțiunilor și deci tranzistorul  $T_2$  este blocat, tranzistorul  $T_3$  este blocat, iar tranzistorul  $T_4$  prin  $R_2$  este deschis la saturație. Tensiunea de ieșire  $U_O$  este ridicată, corespunzătoare nivelului logic 1.

În figura 5.17.a este desenată cu linie mai groasă zona activă a porții, cu elementele parcurse de curent pentru această stare.

Dacă toate emitoarele tranzistorului  $T_1$  sunt la tensiune ridicată, nivel logic 1, atunci joncțiunile bază-colector a tranzistorului  $T_1$  și bază-emitor a tranzistorului  $T_2$  sunt deschise, tranzistoarele  $T_2$  și  $T_3$  sunt deschise la saturație. Potențialul  $V_3$  este 0,7V, potențialul unei joncțiuni deschise iar pe  $T_2$  deschis este o cădere de aproximativ 0,2V și atunci potențialul  $V_4 = 0,9V$ , insuficient pentru a deschide joncțiunea bază-emitor a

$T_4$  și dioda D. Tensiunea de ieșire  $U_O$  este coborâtă, corespunzătoare nivelului logic 0.

În figura 5.17.b este desenată cu linie mai groasă zona activă a porții, cu elementele parcurse de curent pentru această stare.

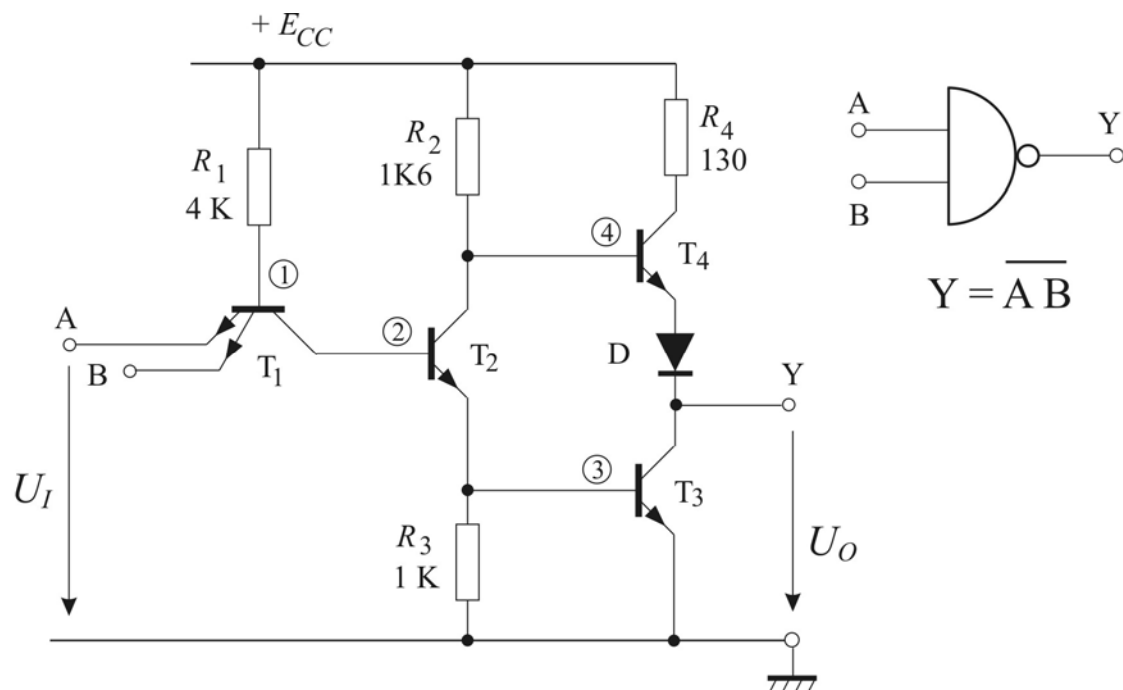


Fig. 5.16. Poarta TTL fundamentală, poarta SI-NU

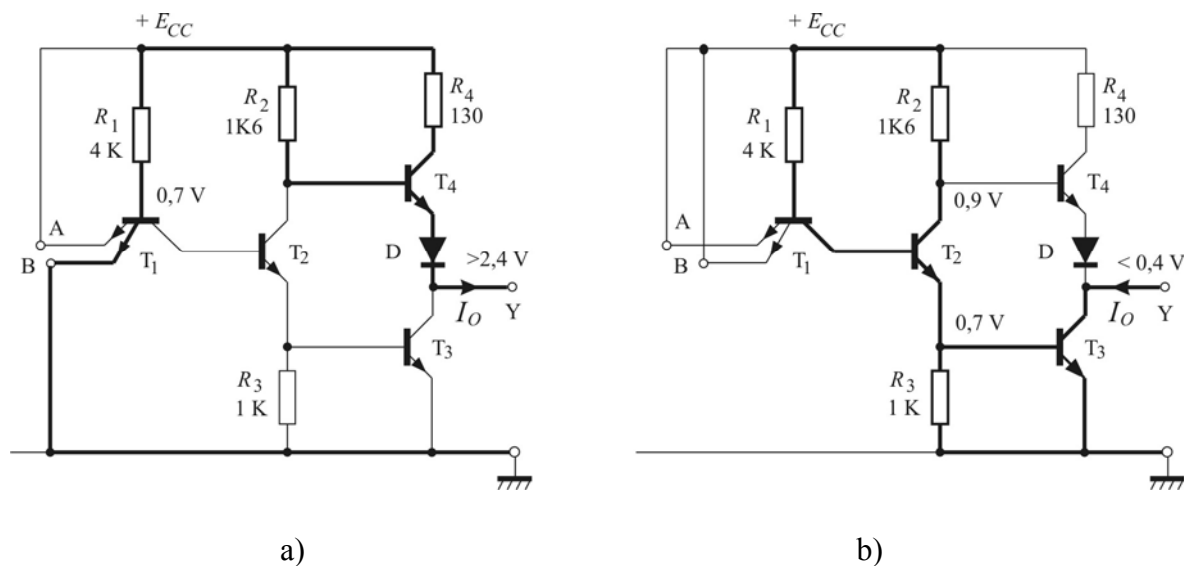


Fig. 5.17. Poarta SI-NU în starea 1 (a) și 0 (b) la ieșire



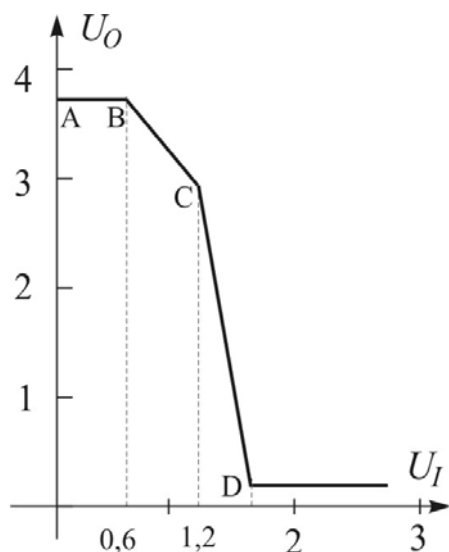


Fig. 5.18. Caracteristica de transfer a porții SI-NU

Caracteristica de transfer  $U_O(U_I)$  pentru o intrare (cealalta fiind în gol sau conectată la  $E_{CC}$ ) poate da o privire de ansamblu asupra funcționării circuitului (figura 5.18).

Dacă tensiunea de intrare este sub 0,6V suntem în cazul 5.17.a și ieșirea este la nivel ridicat, porțiunea A-B a curbei.

După aceasta valoare  $T_2$  intră în conducție și este un amplificator cu amplificare mică  $A_U \approx -R_2/R_3$  iar caracteristica are o pantă ușor descrescătoare, porțiunea B-C a curbei.

Dacă tensiunea de intrare este peste 1,2V atunci se deschide și tranzistorul  $T_3$  și variația la ieșire este mai accentuată, porțiunea C-D a curbei. Pe această porțiune exista și o creștere a curentului absorbit de la sursă.

Dacă tensiunea crește în continuare tranzistoarele 2 și 3 conduc la saturație și suntem după punctul D al curbei, la valori mici ale tensiunii de ieșire.

### 5.3.2. Parametri și caracteristici ale familiei TTL standard

Pentru seria de circuite integrate TTL **nivelele de tensiune garantate** în condiții de încărcare maximă sunt:

- pentru 0 la ieșire  $U_{OL\max} = 0,4V$
- pentru 1 la ieșire  $U_{OH\min} = 2,4V$
- pentru 0 la intrare  $U_{IL\max} = 0,8V$
- pentru 1 la intrare  $U_{IH\min} = 2,0V$

Diferențele:

$$MZ_1 = U_{OH\min} - U_{IH\min} ;$$

$$MZ_0 = U_{OL\max} - U_{IL\max} ;$$

se numesc **marginii de zgomot** de curent continuu (figura 5.19). Valorile garantate pentru ambele nivele de ieșire sunt:

$$MZ = 0,4V.$$

Astfel, o suprapunere de zgomot de 0,4V între ieșirea unui circuit și intrarea următorului nu va influența starea transmisă. În realitate marginea de zgomot este mai mare.

Pragurile de tensiune sunt garantate pentru orice circuit, în limitele tensiunilor de alimentare permise, 4,5-5,5V pentru seria militară și 4,75-5,25V pentru seria industrială, respectiv în limitele de temperaturi permise, -55...+ 125 grade Celsius,

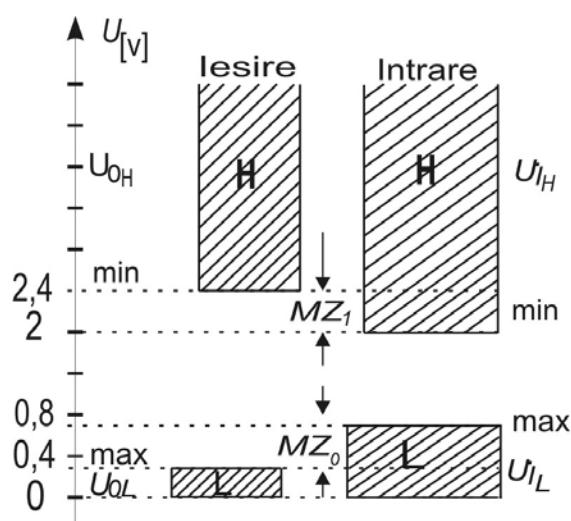


Fig. 5.19. Nivele de tensiune și margine de zgomot.

seria militara și 0...+70 grade Celsius seria industrială. Aceasta înseamnă ca valorile caracteristicii de transfer trebuie să se situeze în afara zonelor marcate (figura 5.20).

Factorul de încărcare la ieșire, **fan-out**, reprezintă numărul maxim de intrări permise să se lege la o ieșire, astfel ca nivelurile de tensiune să nu se degradeze. Seria de circuite integrate TTL are garantat fan-out-ul de 10, ceea ce înseamnă că o ieșire într-o anumită stare poate asigura în condițiile cele mai defavorabile un curent de ieșire care să fie de cel puțin de 10 ori mai mare decât curentul de intrare maxim pentru acea stare, păstrându-se pragurile de tensiune garantate.

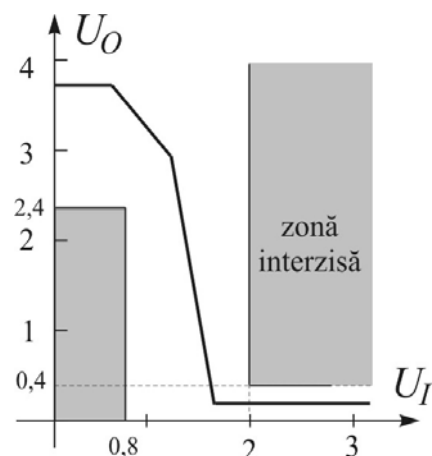


Fig. 5.20. Zona permisă în funcționarea circuitelor TTL

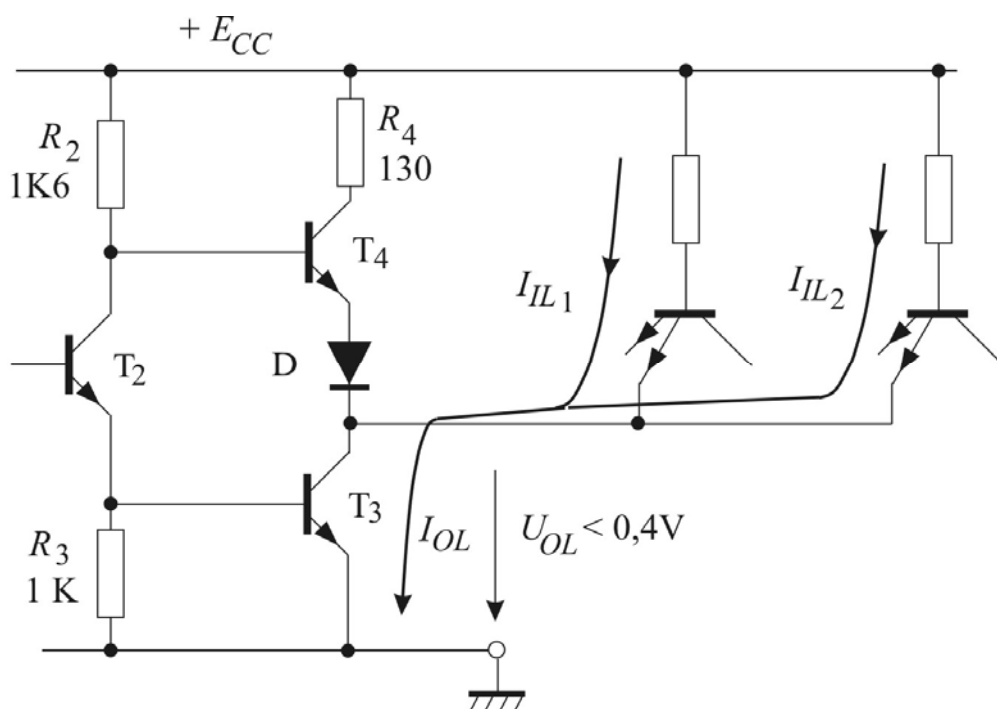


Fig. 5.21. Circulația curenților între circuite, pentru 0 logic

Deci, pe lângă nivelul de tensiune garantat circuitul trebuie să asigure și anumite nivele de curent. Circulația curenților între două circuite, pentru cele două stări, 0 sau 1 logic este prezentată în figurile 5.21 (0 logic) și 5.22 (1 logic). Se considera că o poartă comanda alte două porți.

Din caracteristica de intrare a porții TTL, figura 5.23, se poate vedea **curentul de intrare** în cele 2 stări.

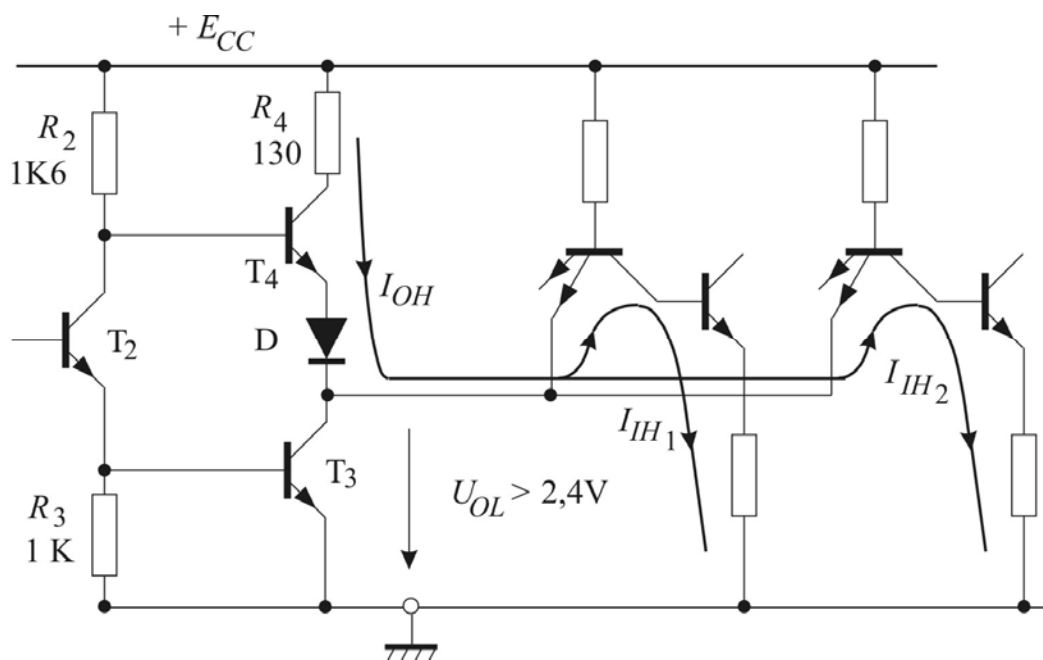


Fig. 5.22. Circulația curenților între circuite, pentru 1 logic.

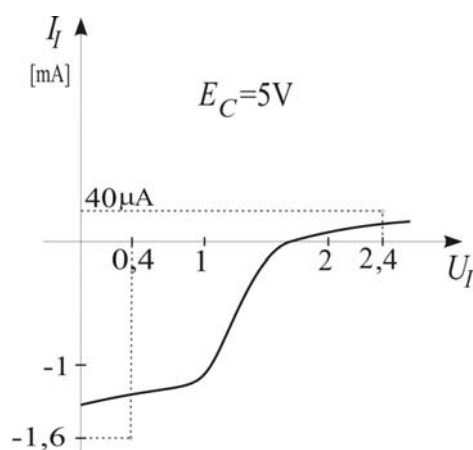


Fig. 5.23. Curent de intrare

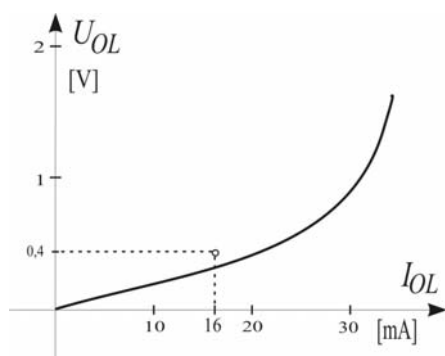


Fig. 5.24. Curent de iesire

Pentru starea de intrare 0, curentul de intrare maxim garantat este 1,6 mA la tensiunea de iesire maxima garantata 0,4V (a circuitului care comanda), iar pentru starea 1 curentul de intrare maxim garantat  $40\mu A$  la tensiunea minim garantata 2,4V.

Deci un circuit trebuie sa asigure un **curent de iesire** de minim 16 mA în strea 0 (la maxim 0,4V) și minim  $400\mu A$  în strea 1 (minim 2,4V) pentru a asigura fan-out de 10. De remarcat ca pentru starea 0 curentul de intrare este negativ, iar în strea 1 este pozitiv, lucru de care va trebui tinut cont la măsurarea acestor curenți.

Fan-out-ul real este mai mare decat cel garantat și depinde și de starea de la iesire.

Functionarea circuitului la iesire poate fi urmarita în figura 5.24, unde sunt date caracteristicile de iesire pentru cele 2 stari, 0 ( $U_{OL}$ ) și 1 ( $U_{OH}$ ). Se observa ca sunt garantati curenții de iesire pentru realizarea fan-out-ului de 10.

**Timpul de propagare** este un alt parametru important și are pentru circuitele

TTL. El este evaluat la ambele tranziții și este mai lung la tranziția 1-0 (LH). Valoarea medie este 10 ns.

**Puterea consumată pe poarta** are de asemenea valori diferite funcție de starea la ieșire dar valoarea medie este 10 mW/poarta.

Un dezavantaj major al seriei TTL standard este că ieșirile nu pot fi conectate în paralel și deci circuitul nu poate fi utilizat pentru realizarea de magistrale.

Dacă ieșirile sunt la fel, ambele 0 sau 1 conectate în paralel este posibilă, pentru 0 două tranzistoare saturate sunt conectate pe o aceeași sarcină de colector, la sursa de alimentare, iar pentru 1 două tranzistoare au conectate în emitoare o aceeași sarcină legată la masă.

Ce se întâmplă la conectarea a două porți cu stări diferite la ieșire se poate vedea în figura 5.25.

Circuitul din stânga este în starea logic 0 la ieșire, deci tranzistoarele de ieșire sunt blocat, sus, saturat, jos. Circuitul din dreapta este în starea logic 1 la ieșire, deci tranzistoarele de ieșire sunt, saturat sus, blocat, jos.

Atunci un curent de valoare mare circulă așa cum se vede în figură. Curentul este destul de mare ca să degradeze ambele nivele logice și poate conduce și la defectarea circuitului.

Acest dezavantaj este eliminat de circuitele TTL cu colectorul în gol.

### 5.3.3. Porți cu colectorul în gol

Poarta cu colectorul în gol este similară celei standard, la care tranzistorul de ieșire  $T_3$  are colectorul în gol, dioda  $D$  și tranzistorul  $T_4$  fiind eliminate. Pentru ca circuitul să funcționeze este necesar să se conecteze o rezistență exterioară între colectorul amintit și plusul sursei de alimentare (figura 5.26)

Astfel completat, circuitul realizează aceeași funcție SI-NU. Oricare intrare la 0 deschide o joncțiunea bază-emitor a tranzistorului multiemitor iar tensiunea pe baza acestuia, 0,7V, ține blocate tranzistoarele celelalte. Ieșirea este la nivel ridicat.

Doar dacă ambele intrări sunt la 1 se permite polarizarea prin  $R_1$  a tranzistorului  $T_2$  care la rândul lui îl deschide pe  $T_3$  și ieșirea este la nivel coborât.

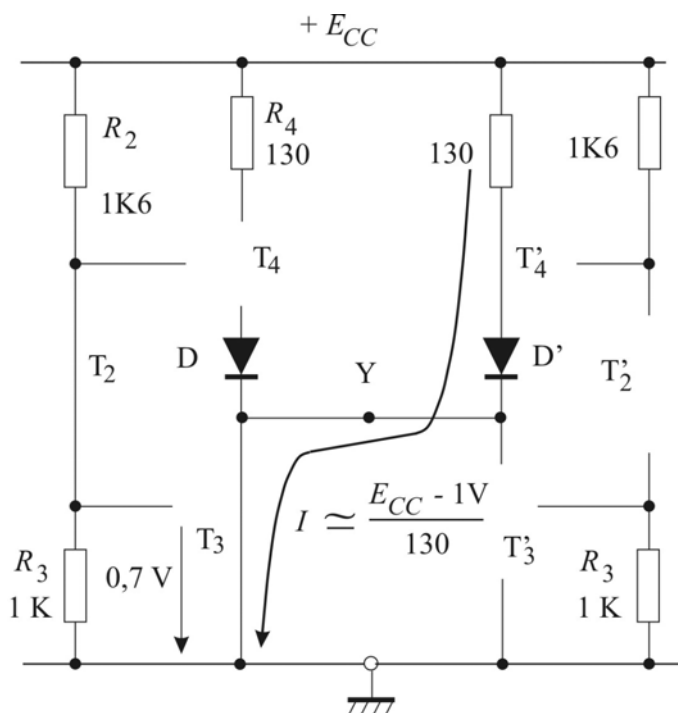


Fig. 5.25. Legatura paralel la ieșirea TTL

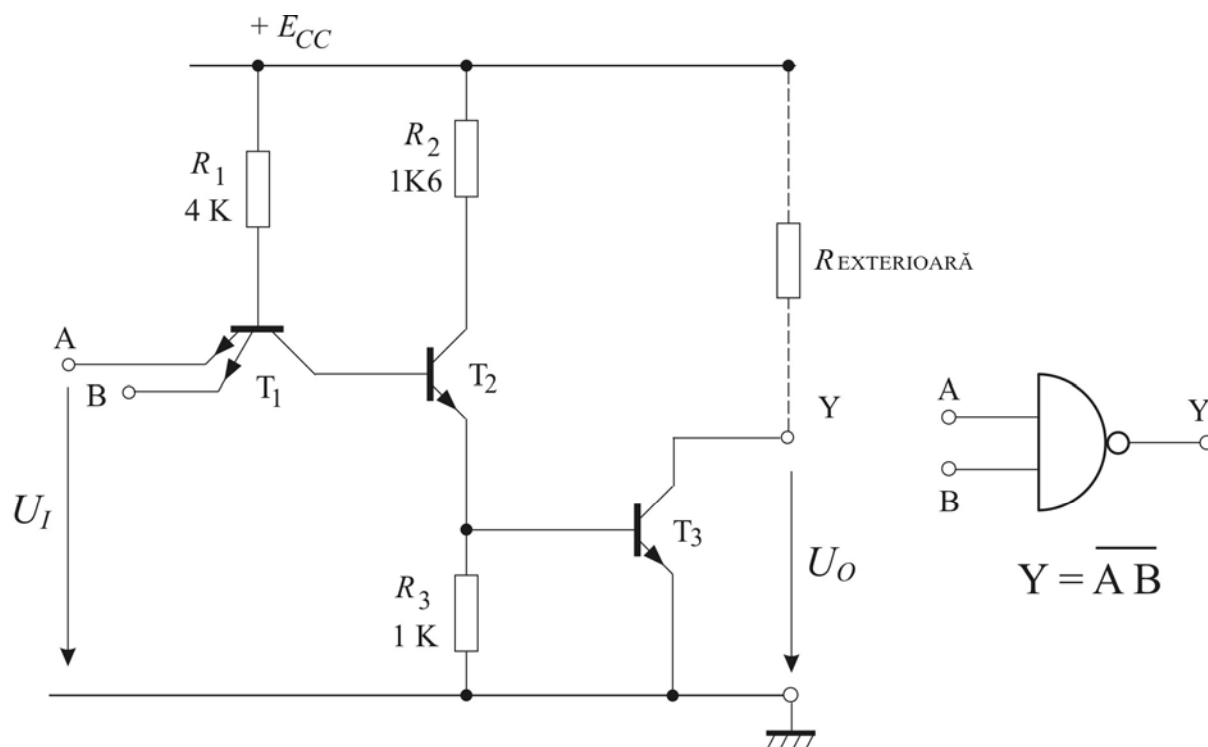


Fig. 5.26. Poartă TTL SI-NU cu colectorul în gol

Poarta are mai multe utilizări curente.

Prima este comanda directă a unor sarcini exterioare diverse, cum ar fi de exemplu rele sau elemente de semnalizare (diode luminescente, becuri). Sarcina se alege astfel ca, pentru tensiunea maxima de alimentare, curentul maxim prin tranzistorul  $T_3$  să nu depășească limita  $I_{OLmax}=16\text{mA}$  (figura 5.27). Dacă vom considera o tensiune tipică de 0,3 volți pe tranzistorul 3 saturat atunci:

$$R_{EXTmin} > (5,25-0,3)/1,6 \cdot 10^{-3} \Omega$$

Circuitul mai este utilizat pentru a realiza o funcție logică SI care se mai numește în acest caz SI cablat prin conectarea a doua sau mai multe porți pe o aceeași rezistență exterioară (figura 5.x). Intradevăr, oricare Y este 0, adică tranzistorul de ieșire e deschis, nivelul la ieșire este 0, Si nivelul la ieșire este 1 doar daca ambele Y sunt la 1. Deci funcția SI.

Circuitul astfel realizat este similar cu un circuit cu capsule standard pe două nivele cu schema prezentată în partea dreaptă a figurii 5.28.

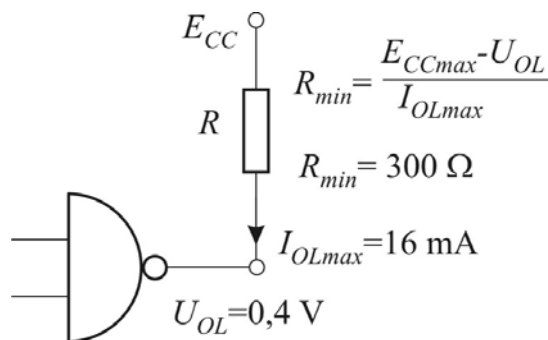


Fig. 5.27. Calculul rezistenței exterioare la poarta cu colectorul în gol

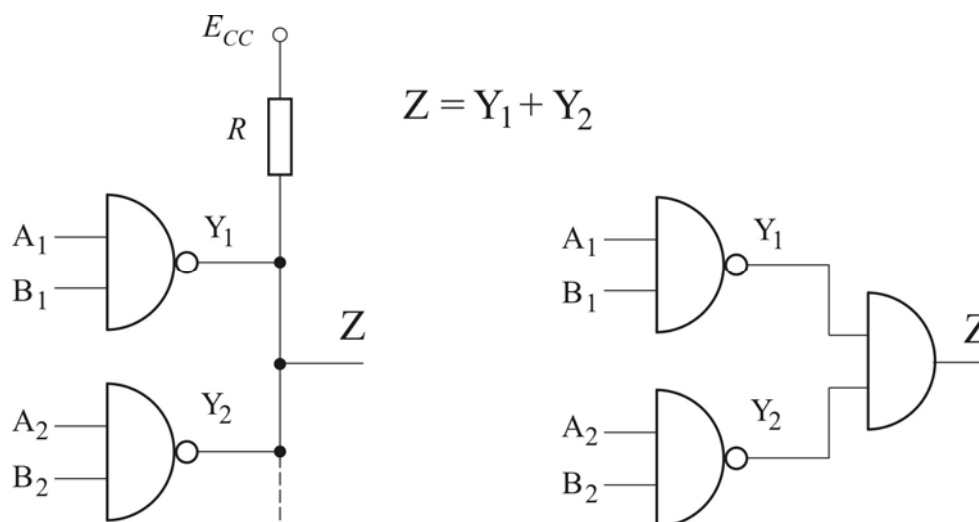


Fig. 5.28. Funcția SI cablat cu porți cu colectorul în gol

Utilizarea cea mai importantă este conectarea unor linii de date prin aceste porți la o magistrală. Schema de legare este prezentată în figura 5.29.

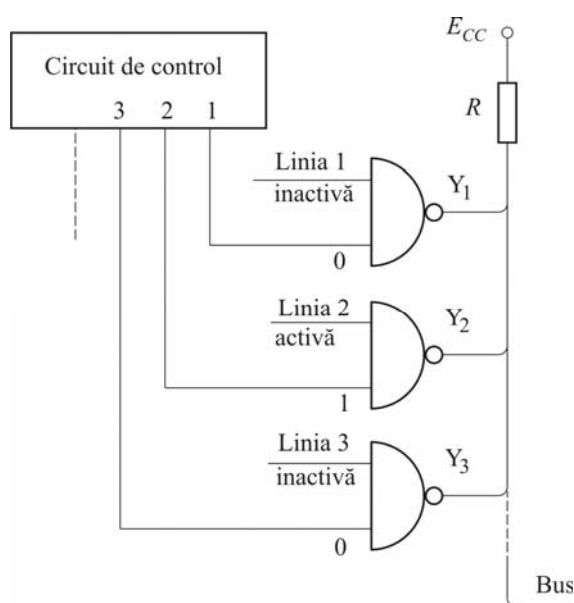


Fig. 5.29. Magistrala cu porți cu colectorul în gol

Circuitul de control asigură activarea unei singure porți la un moment dat, astfel ca semnalul unei singure linii este transmis pe magistrală (Bus). Activarea (Enable) se face cu un semnal 1, toate celelalte porți primind semnal 0.

Dacă o poartă are 0 la o intrare atunci  $T_3$  este blocat, reprezintă o rezistență echivalentă (sau o impedanță la frecvențe mai ridicate) de valoare mare și orice semnal pe linia corespunzătoare este blocat.

Dacă o poartă are 1 la o intrare atunci  $T_3$  depinde de semnalul pe intrarea de linie, care e activă pe rezistența exterioară și semnalul, inversat față de intrare,

este transmis pe magistrală.

O problemă specifică acestei aplicații este alegerea rezistenței  $R$  a magistralei. Aceasta depinde de numărul ieșirilor și al intrărilor conectate la magistrală, ceea ce reprezintă un dezavantaj al porților cu colectorul în gol.

Presupunem că avem legate la magistrală  $N$  ieșiri și  $M$  intrări. Vom avea două situații distincte:

1. Magistrala este la 0, adică o ieșire și numai una este la 0 și deci un tranzistor final  $T_3$  este deschis (figura 5.30).

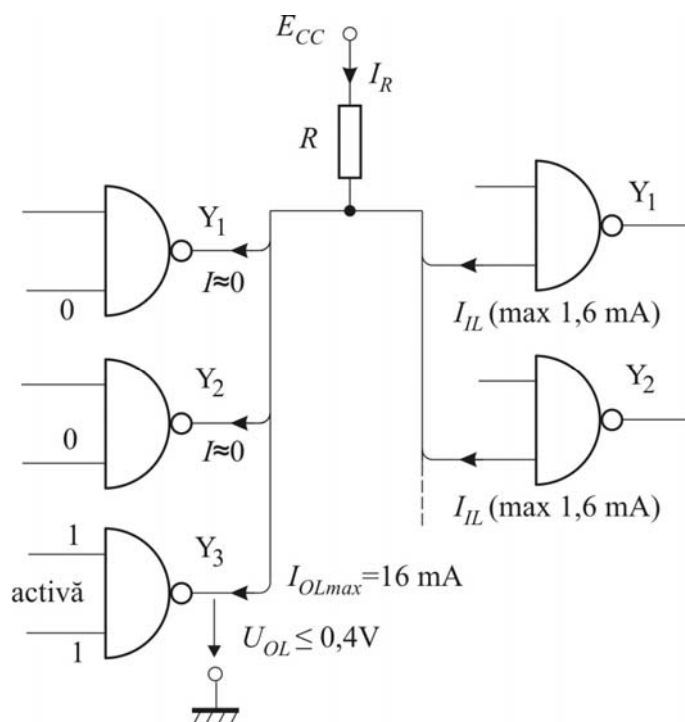


Fig. 5.30. Curenți cu magistrala 0

Se considera că celelalte ieșiri, la 1, cu tranzistoarele de ieșire blocate au curentul neglijabil și că intrările contribuie fiecare cu un curent tipic, mai mic decât cel maxim, 1,6 mA.

Condiția principală este:

$$I_{OLmax} = 16 \text{ mA};$$

Atunci, dacă se ține seamă de circulația curenților, care este ca în figură, rezultă că trebuie să avem:

$$I_R = I_{OL} - MI_{ILmax};$$

și deci:

$$R_{min} = \frac{E_{CCmax} - 0,4}{I_{OLmax} - MI_{IL}}$$

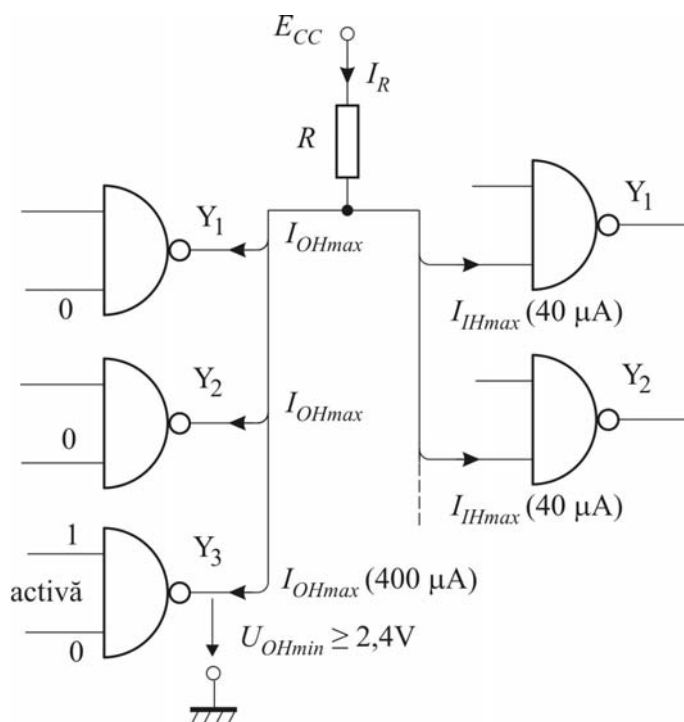


Fig. 5.31. Curenți cu magistrala 1.

2. Magistrala este la 1, adică toate ieșiri sunt la 1 și deci toate tranzistoarele finale  $T_3$  sunt blocate (figura 5.31).

Se considera că celelalte ieșiri, la 1, cu tranzistoarele de ieșire blocate au curentul neglijabil și că intrările contribuie fiecare cu un curent maxim, 40  $\mu\text{A}$ .

Condiția principală este:

$$I_{OHmax} = 400 \text{ } \mu\text{A};$$

Atunci, dacă se ține seamă de circulația curenților, care este ca în figură, rezultă că trebuie să avem:

$$I_R = NI_{OHmax} + MI_{IHmax};$$

și deci:



$$R_{\max} = \frac{E_{CC\min} - 2,4}{NI_{OH\max} + MI_{IH\max}}$$

### 5.3.4. Porți three-state

Portile cu colectorul în gol s-au născut din necesitatea legării în paralel a ieșirilor mai multor porți cu scopul principal de a realiza magistrale (bus). Ele au câteva dezavantaje:

- necesită o rezistență exterioară, a cărei valoare depinde de numărul ieșirilor în paralel dar și a intrărilor din secțiunea urătoare;
- în starea 1 rezistența de ieșire este chiar rezistența exterioară, mare comparativ cu un etaj de ieșire standard;
- viteză mai mică decât o poartă standard;

Dezavantajele amintite sunt eliminate de o altă subfamilie care permite la rândul său cuplarea în paralel a ieșirilor pentru a realiza magistrale și anume subfamilia de circuite logice cu trei stări (three state).

Poarta fundamentală este inversorul (figura 5.32), derivat din poarta TTL SI-NU. În figură sunt reprezentate și simbolurile, de la cel mai simplu la unul cu o reprezentare explicită a blocurilor funcționale.

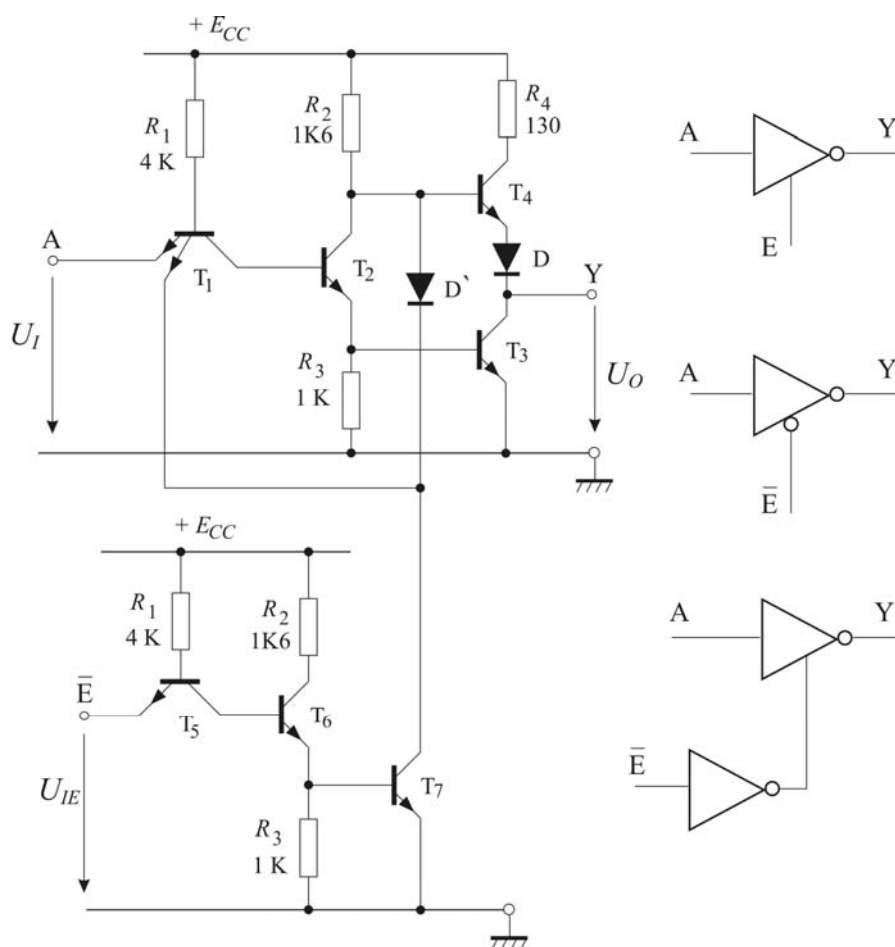


Fig. 5.32. Inversor three-state și reprezentările acestuia.

Porțile din familie au, pe lângă intrările corespunzătoare variabilelor binare (datele de intrare) și ieșirea care furnizează funcția binară, o intrare suplimentară cu acțiune prioritară care, în cele două stări posibile, activează sau dezactivează poarta. Intrarea se notează  $E$  (enable) sau mai des  $\bar{E}$  pentru a arăta că activarea nu se face pe 1 ci pe 0.

Dacă  $\bar{E}=0$ , atunci  $T_7$  este blocat, al doilea emitor al  $T_1$  fiind la 1 nu influențează intrarea  $A$ , iar dioda  $D'$  este blocată și nu influențează ieșirea. Circuitul este o poartă inversoare activă ( $A$ ,  $Y$  în figura x2 unde este tabelul de adevăr pentru inversorul three-state).

$\bar{E}$	$A$	$Y$
0	0	1
0	1	0
1	0	high Z
1	1	high Z

Dacă  $\bar{E}=1$  atunci  $T_7$  este deschis, al doilea emitor al  $T_1$  fiind la 0 suntem într-un caz similar cu poarta standard SI-NU cu o intrare la 0 care blochează  $T_2$  și  $T_3$  (intrarea  $A$  nu are nici un rol), iar baza  $T_4$  este, prin dioda  $D'$  deschisă și tensiunea  $U_{CE}$  a  $T_7$  la un potențial de aproximativ 0,9 V care menține  $D$  și  $T_4$  blocate. Circuitul are deci ambele tranzistoare de la ieșire blocate și deci prezintă la ieșire o impedanță foarte mare (high Z, figura 5.33).

Fig. 5.33. Tabelul de adevăr pentru inversorul three-state

Dacă circuitului inversor i se adaugă o intrare  $B$  se obține poarta SI-NU și similar se realizează și alte tipuri de circuite logice.

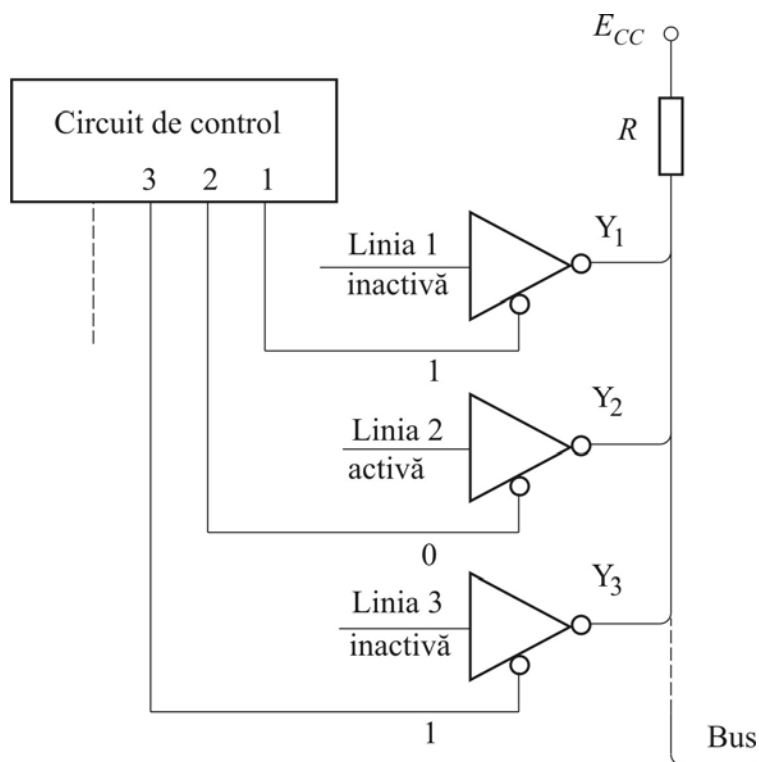


Fig. 5.34. Inversoare three-state legate la o magistrală

Avantajele subfamiliei sunt:

- nu necesită o rezistență exterioară:

- are rezistența de ieșire este mică pentru ambele stări, 0 sau 1;
- permite cuplarea în paralel a ieșirilor (cu condiția ca una singură dintre iesiri să fie activă).

Familia este utilizată îndeosebi pentru a conecta mai multe linii de date sau blocuri functionale la o magistrală cum se poate vedea în figura 5.34.

### 5.3.5. Subfamiliile TTL

Familia de circuite integrate TTL standard are tipul circuitelor notat prin cifrele 74xx, unde 74 semnifica TTL standard iar xx sunt două cifre care dau tipul de circuit. De exemplu 7400 este un circuit TTL standard cu 4 porți SI-NU (figura 5.35). Literale din față denumesc producătorul, aici Texas Instruments.

Familia este depășită și nu se mai utilizează în proiecte noi, dar de-a lungul timpului s-au dezvoltat subfamilii care sunt viabile, și anume variantele Schottky avansate (Advanced) și cele de mare viteză (Fast). Subfamiliile sunt menționate în tabelul care urmează, unde sunt trecute și principalele performanțe.

Tabel 5.1. Subfamiliile TTL și performantele lor principale

Acronim si denumire subfamilie	Notare	Timp de propagare	Putere pe poartă	Factor de calitate
TTL standard	74xx	10 ns	10 mW	100
TTL de putere mică (Low power)	74Lxx	35 ns	1 mW	35
TTL Schottky	74Sxx	3 ns	20 mW	60
TTL Schottky de putere mică	74LSxx	10 ns	2 mW	20
TTL Schottky avansată (Advanced)	74ASxx	1,5 ns	7 mW	14
TTL Schottky avansată de putere mică	74ALSxx	4 ns	1 mW	4
TTL de mare viteză (Fast)	74Fxx	3 ns	4 mW	12

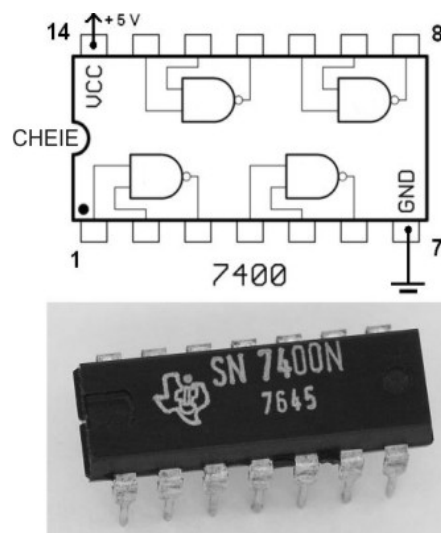


Fig. 5.35. Circuit TTL 7400

## 5.4. Familia CMOS

Tehnologia MOS în care sunt realizate majoritatea circuitelor integrate digitale are următoarele avantaje asupra tehnologiei bipolare:

- Densitate de integrare mult mai mare;
- Consum foarte mic în repaus sau la frecvențe joase;
- Impedanțe (rezistente) de intrare foarte mari, comandă în tensiune;
- Structură mai simplă de realizat tehnologic și de aici preț mai mic.

Dezavantajele principale sunt:

- Viteza de lucru mai mică;
- Sensibilitate la încărcare cu sarcină statică rezultată din manipularea circuitelor.

Ca și în cazul circuitelor în tehnologie bipolară, și în tehnologia MOS s-au dezvoltat în timp mai multe familii de circuite integrate digitale.

Primele au fost PMOS și NMOS, realizate cu tranzistoare de același tip, cu canal P în cazul familiei PMOS, cu canal N în cazul familiei NMOS. Acestea au fost destul de repede înlocuite de familia CMOS, realizată cu tranzistoare complementare, adică tranzistoare cu canal P și cu canal N cu performanțe cât mai apropiate.

Caracteristicile grafice pentru tranzistoarele MOS sunt reamintite prin figurile 5.36.a și 5.36.b.

În 5.36.a este caracteristica de intrare, care dă variația curentului principal prin tranzistor,  $I_D$ , funcție de tensiunea de intrare,  $U_I$ . Tranzistorul se deschide doar la o tensiune de prag (threshold)  $U_T$  care pentru familia CMOS este în jur de 1,5V iar curentul crește cu o variație de formă pătratică.

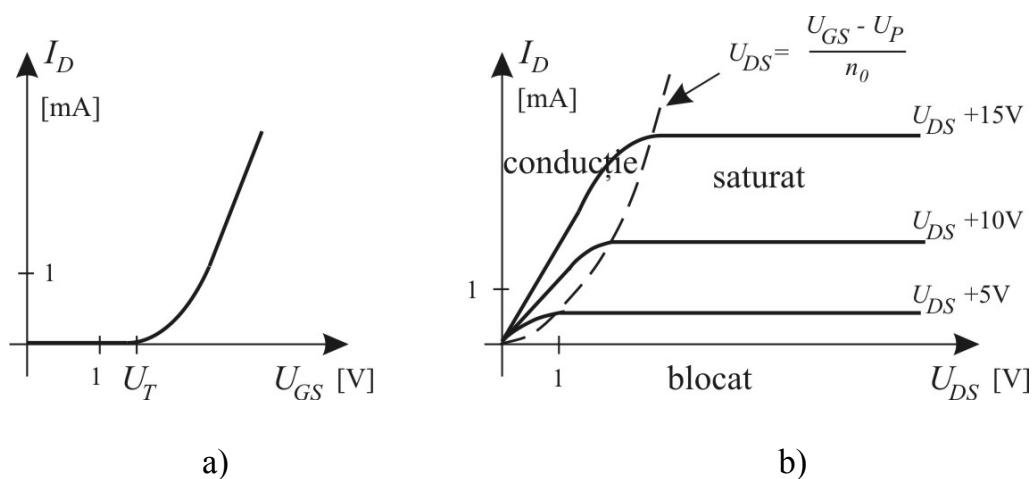


Fig. 5.36. Caracteristici grafice ale tranzistorului MOS

În 5.36.b este caracteristica de ieșire, care dă variația curentului principal prin tranzistor,  $I_D$ , funcție de tensiunea de ieșire,  $U_{DS}$ .

În acest caz tranzistorul are trei zone de funcționare.

Prima, când tensiunea de grilă este mai mică decât tensiunea de prag, și tranzistorul este blocat.

A doua, când tensiunea de grilă este mai mare decât tensiunea de prag dar tensiunea de drena este mai mică decât:

$$U_{DS} = \frac{U_{GS} - U_P}{n_0} \quad (5.x)$$

și tranzistorul este în conducție, unde se comportă ca o rezistență care depinde de tensiunea de grilă. În această zonă tranzistorul MOS este utilizat ca rezistență comandată în tensiune. Constanta  $n_0$  este mai mare decât unu, pentru familia CMOS fiind în jurul valorii de 1,6.

A treia, când tensiunea de grilă este mai mare decât tensiunea de prag iar tensiunea de drena este mai mare decât valoarea corespunzătoare relației 5.x. și tranzistorul este în zona de saturație, unde se comportă ca un generator de curent constant, comandat de tensiunea drena-sursă,  $U_{DS}$ .

#### 5.4.1. Poarta fundamentală NU (inversoare)

Circuitele CMOS cuprind perechi complementare de tranzistoare MOS, cu electrodul de comandă (grila) comun, comandate astfel simultan în așa fel încât atunci când unul este deschis celălalt este blocat și invers. Tranzistorul cu canal N este cu sursa la masă iar cel cu canal P este cu sursa la  $+E_{CC}$ .

Circuitele nu au rezistențe, care ocupă multă suprafață în circuitele integrate.

Fiecare din cele două tranzistoare se comportă ca un comutator comandat în tensiune.

Pentru tranzistorul cu canal N din figura 5.36 este prezentată schema (5.37.a), schema echivalentă simplificată (5.37.b), și modul cum depinde curentul prin tranzistor de tensiunile de grilă și de drenă (5.37.c).

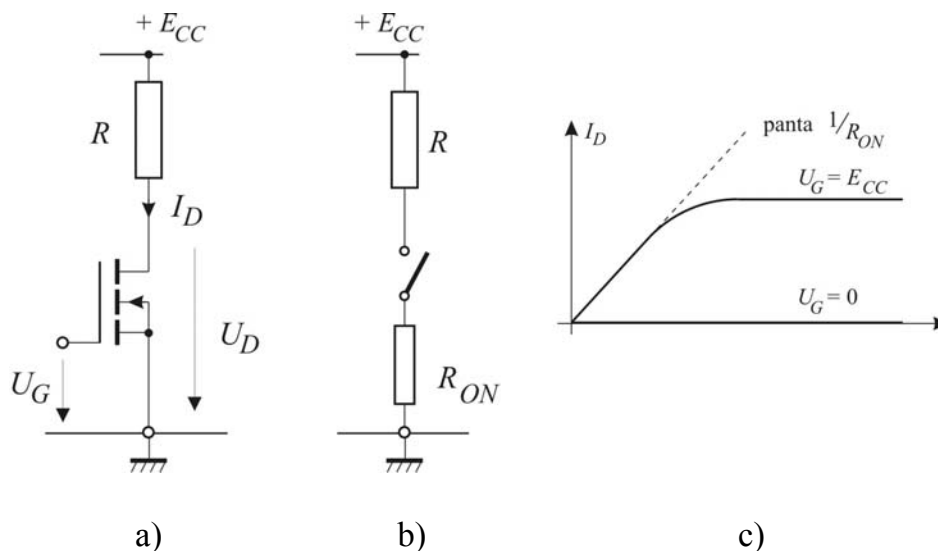


Fig. 5.37. Comutator cu MOS cu canal N

Pentru nivel 0 la intrare,  $U_G = 0$  sau de fapt mai mică decât  $U_T$  contactul este desfăcut, curentul este 0 și tensiunea de drenă este  $+E_{CC}$ , adică nivel logic 1.

Pentru nivel 1 la intrare,  $U_G = +E_{CC}$ , contactul este făcut, există un curent prin  $R$  și dacă  $R_{ON}$  este mult mai mic decât  $R$ , cazul obișnuit, tensiunea de drenă este foarte aproape de nivelul de zero, adică nivel logic 0.

Pentru tranzistorul cu canal P este prezentată schema (5.38.a), schema echivalentă simplificată (5.39.b), și modul cum depinde curentul prin tranzistor de tensiunile de grilă și de drenă (5.39.c).

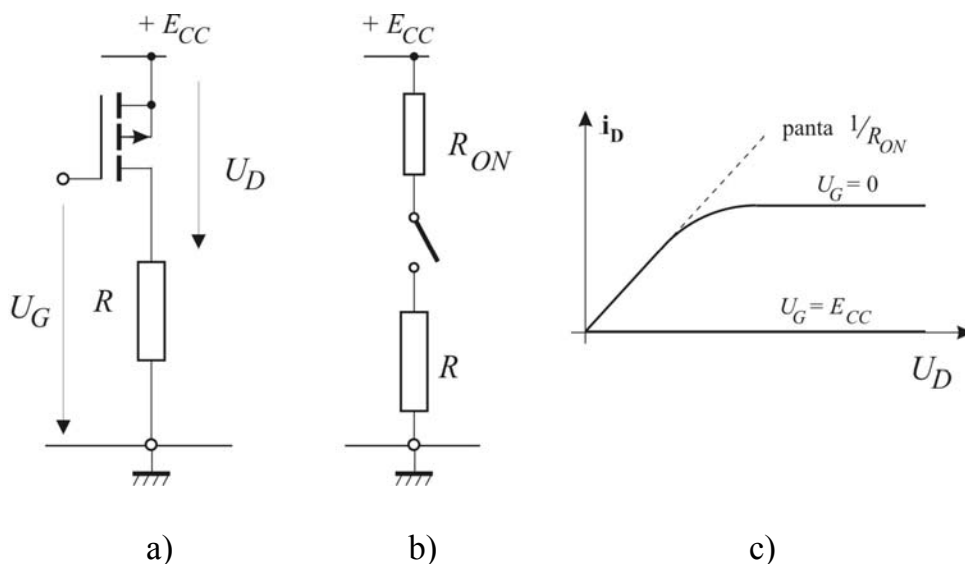


Fig. 5.38. Comutator cu MOS cu canal P

Pentru nivel 1 la intrare,  $U_G = +E_{CC}$  contactul este desfăcut, curentul este 0 și tensiunea de sursă este mică, adică nivel logic 1.

Pentru nivel 0 la intrare,  $U_G = 0$ , contactul este făcut, există un curent prin  $R$  și dacă  $R_{ON}$  este mult mai mic decât  $R$ , cazul obișnuit, tensiunea de drenă este foarte aproape de  $+E_{CC}$ , adică nivel logic 1.

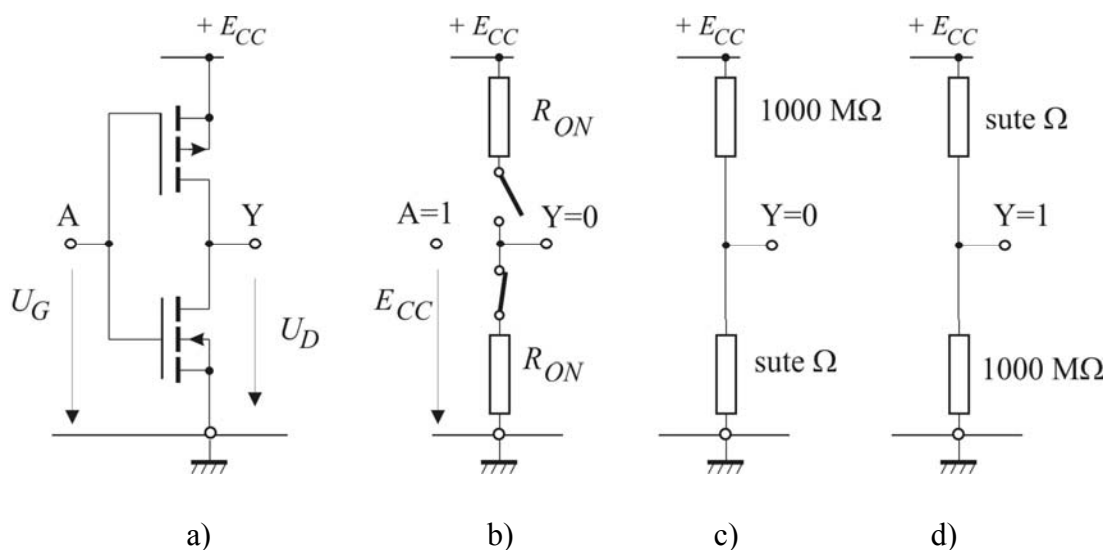


Fig. 5.40. Poarta NU, inversoare, CMOS

Poarta fundamentală CMOS este poarta NU, inversoare, formată cu ambele tranzistoare, NMOS, cu drena la masă și CMOS cu drena la sursa de alimentare  $+E_{CC}$  cu grilele conectate (figura 5.40)

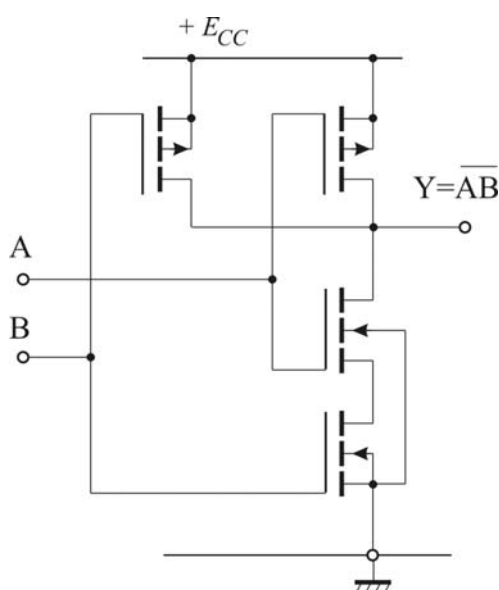


Fig. 5.41. Poarta SI-NU, CMOS

În figura 5.40.a este schema circuitului, în 5.40.b schema echivalentă simplificată pentru cazul în care la intrare nivelul logic este 1, în 5.40.c schema echivalentă cu valorile rezistențelor echivalente nivelului logic de ieșire 0 iar în 5.40.d schema echivalentă cu valorile rezistențelor echivalente nivelului logic de ieșire 1. Prin diferența enormă dintre rezistențe rezultă că nivelele de tensiune corespunzătoare valorilor logice 1 și 0 sunt aproape ideale.

Prin combinații în care apar tranzistoare serie sau paralel, dar păstrând combinația de la poarta NU se obțin diverse funcții. Un exemplu este poarta SI-NU, figura 5.41. Baza (substratul) fiecărui tranzistor se leagă la una dintre liniile de alimentare, masa sau minusul sursei pentru tranzistoarele cu

canal N, plusul sursei pentru tranzistoarele cu canal P.

Se poate evalua relativ simplu funcționarea acestei porți. Indiferent dacă ambele sau una dintre intrările A și B este la nivel coborât, 0, cel puțin unul dintre tranzistoarele paralel cu canal P de sus este deschis, rezistența dintre ieșire și plusul sursei este mică. În același timp cel puțin unul dintre tranzistoarele serie cu canal P de sus este închis și rezistența dintre ieșire și minusul sursei este mare. Suntem în cazul din figura 5.x.d și deci Y este 1. Doar cu ambele A și B la nivel 1 avem situația opusă și deci Y este 0.

## 5.4.2. Parametri și caracteristici ale familiei CMOS

Caracteristica de transfer  $U_o(U_i)$  poate da o privire de ansamblu asupra funcționării circuitului (figura 5.42.a).

Dacă tensiunea de intrare este sub  $U_T$ , 1,5V suntem în cazul 5.40.d și ieșirea este la nivel ridicat, porțiunea A-B a curbei.

După aceasta valoare  $T_1$  intră în conducție și este inițial o rezistență care-și micșorează valoarea, porțiunea B-C a curbei, în timp ce  $T_2$  este deschis la saturatie

Dacă tensiunea de intrare ajunge la jumătatea sursei de alimentare atunci variația la ieșire este foarte accentuată, porțiunea C-D a curbei.

Dacă tensiunea crește în continuare situația se schimbă invers ca până atunci, tranzistoarele schimbând rolurile între ele.

Variația curentului principal prin poartă este prezentată în figura 5.42.b. Acesta crește conform figurii 5.36.a până când tensiunea de intrare ajunge la jumătatea sursei de alimentare, după care scade după aceeași formă, tranzistoarele schimbând rolurile.



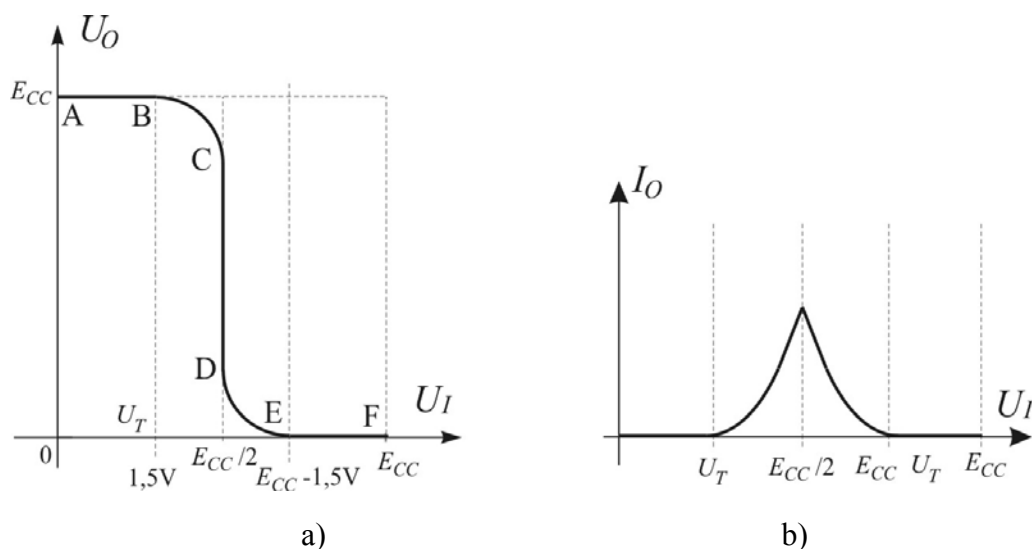


Fig. 5.42. Caracteristicile grafice de transfer și de ieseire pentru CMOS

Forma caracteristicilor se păstrează pentru o plajă largă de tensiuni (figura 5.43).

Pentru caracteristica de transfer  $U_O(U_I)$  cu cât tensiunea de alimentare este mai mare racordarea B-C (și D-E) este mai largă (figura 5.43.a). Faptul ca tranzistoarele se deschid la 1,5V face ca minimul tensiunii de alimentare să fie 3V, situație în care tranziția nivelelor este bruscă.

Variația curentului principal prin poartă pentru două tensiuni de alimentare este prezentată în figura 5.43.b. Se observă că valoarea maximă a curentului crește mult cu  $E_{CC}$ . Se mai observă că există curent doar pe perioada de tranziție. Din acest motiv consumul de putere pe poarta CMOS depinde mult de frecvența de funcționare.

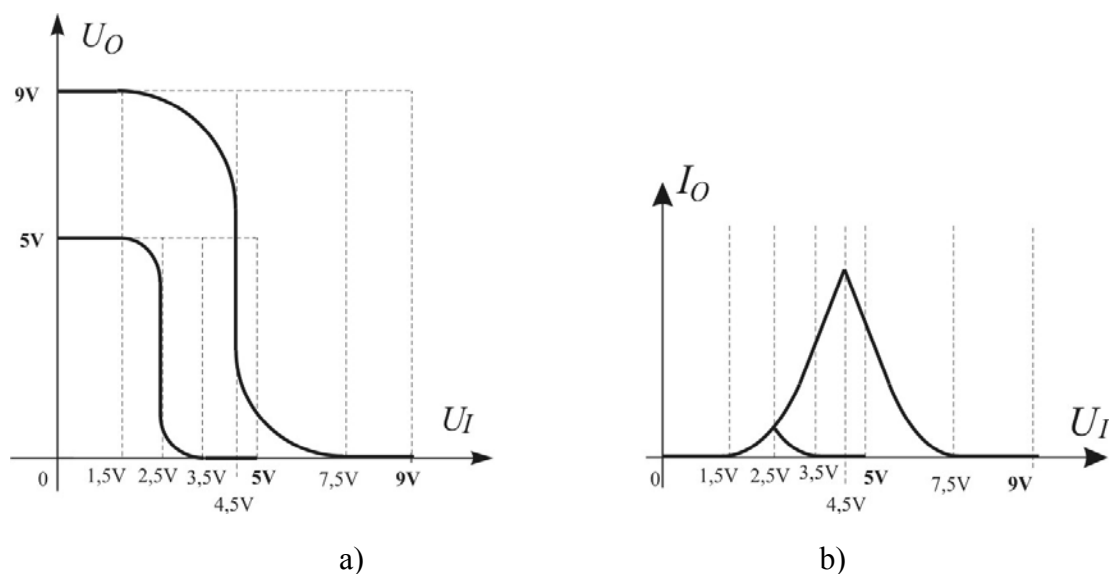


Fig. 5.43. Caracteristicile grafice de transfer și de ieseire ale CMOS pentru două tensiuni de alimentare

Parametrii principali ai familiei CMOS:

- Tensiunea de alimentare variabilă: 3...18V (mai utilizat fiind spatiul 4,5...15V);
- Nivelele de tensiune garantate sunt practic ideale pentru ieșire (se presupune ca sarcina este reprezentată tot de porți MOS care au rezistența de intrare de ordinul mii  $M\Omega$ ) după cum rezultă prin evaluarea divizorului rezistiv din figura 5.x.c,d;
- Nivelele de tensiune garantate pentru intrare variază cu tensiunea de alimentare. Ele sunt garantate la 30% ( $U_{ILmax}$ ) și 70% ( $U_{IHmin}$ ) din  $E_{CC}$ ;
- Marginea de zgomot garantată este 30% din  $E_{CC}$ ;
- Curenții sunt practic zero (se presupune ca sarcina este reprezentată tot de porți MOS care au rezistența de intrare de ordinul mii  $M\Omega$ ); Dacă sarcina este diferită, atunci se poate calcula curentul dacă se cunoaște  $R_{ON}$  pentru cele două stări.  $R_{ON}$  diferă de la circuit la circuit, el fiind cuprins între valorile 60..600 $\Omega$ .
- Curentul maxim al unei porți se poate deduce deasemenea dacă se știu valorile  $R_{ON}$ ; acesta este de ordinul mA;
- Fan out – 50;
- Fan-in – 8;
- Timpul de propagare este de 30 ns. Acesta scade dacă tensiunea de alimentare crește (figura 5.x. și explicațiile);
- Puterea pe poartă depinde decisiv de frecvența de lucru și de tensiunea de alimentare. Pentru 5V ea este 1 $\mu$ W/kHz

Un regim tranzitoriu tipic pentru o poartă CMOS este prezentat în figura 5.44. El este similar regimului tranzitoriu al unui circuit RC deoarece la ieșire poarta CMOS se comporta așa, esențială fiind capacitatea parazită de la ieșirea porții, figurată punctat.

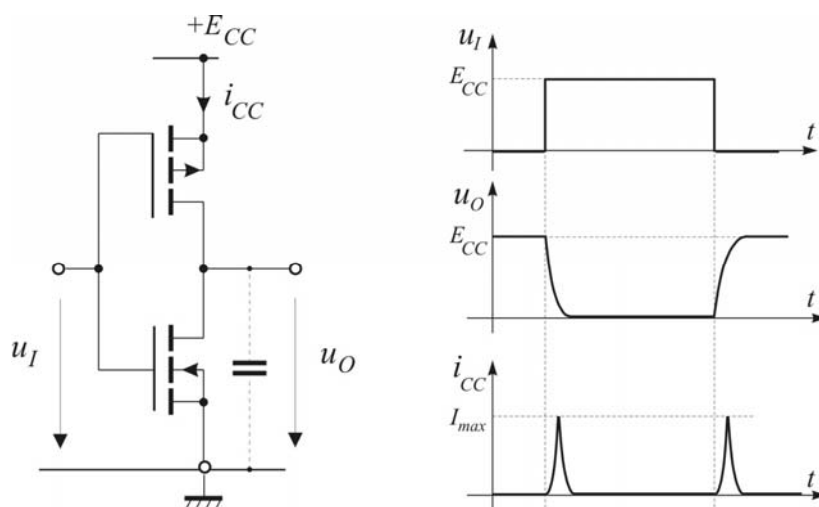


Fig. 5.44. Regim tranzitoriu tipic pentru o poartă CMOS

Forma în timp a curentului  $i_{CC}$  absorbit de la sursa de alimentare, prezent cu valori semnificative doar pe durata tranzițiilor, spune, cum s-a precizat anterior, că frecvența tranzițiilor determină valoarea medie a curentului absorbit de poartă și deci și puterea pe poartă,

### 5.4.3. Poarta de transmisie (comutatorul) CMOS

Poarta de transmisie CMOS este un al doilea tip de circuit fundamental CMOS, care are utilizări multiple. În esență o poartă permite sau nu transmisia unui semnal de tensiune de la o intrare la o ieșire.

Schema este prezentată în figura 5.45.

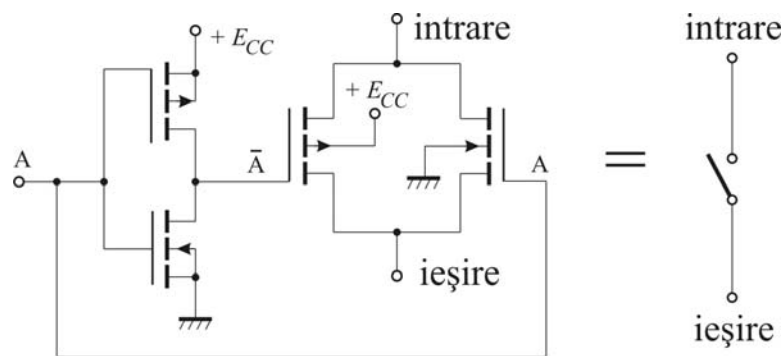


Fig. 5.45. Poartă de transmisie CMOS

Poarta este formată din două tranzistoare complementare care sunt atacate cu semnale opuse,  $A$  și  $\bar{A}$ . Semnalele de comandă ale porții sunt semnalul de intrare și cel de ieșire ale unui inversor cu CMOS.

Tranzistoarele porții de transmisie pot avea bazele (substratul) alimentate la  $+E_{CC}$  și masă și ca în figura 5.45 iar în acest caz semnalul ce poate fi transmis trebuie să aibă valoarea între  $+E_{CC}$  și 0 (cazul obișnuit al semnalelor digitale) dar ele pot fi alimentate și de la două surse de tensiune opusă,  $+E_{CC}$  și  $-E_{CC}$  caz în care semnalul poate avea atât valori pozitive cât și negative (adeseori cazul semnalelor analogice).

Dacă semnalul de comandă  $A$  este 0 atunci cele două tranzistoare ale porții sunt deschise și poarta este echivalentă cu o rezistență foarte mică între intrare și ieșire, contactul este făcut.

Dacă semnalul de comandă  $A$  este 1 atunci cele două tranzistoare ale porții sunt

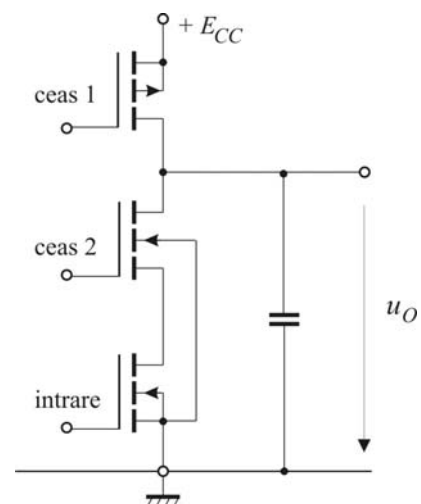


Fig. 5.46. Poartă inversoare dinamică CMOS

blocate și poarta este echivalentă cu o rezistență foarte mare între intrare și ieșire, contactul este desfăcut.

#### 5.4.4. Circuite CMOS dinamice

Până acum circuitele CMOS prezentate sunt considerate circuite CMOS statice. Funcționarea lor depinde în întregime de nivelele semnalelor la intrările de date.

O a doua categorie sunt porțile CMOS dinamice. Schema unui inversor dinamic CMOS este prezentată în figura 5.46.

Ele în esență au semnalul de ieșire stocat temporar într-un condensator existent la ieșirea porților. Acesta este obișnuit chiar capacitatea parazită de la ieșirea unui tranzistor MOS. O a doua particularitate este că aceste circuite utilizează două semnale de ceas, semnale succesive care sunt astfel realizate (figura 5.47) încât atunci când unul este 1 celălalt să fie 0, la care se adaugă suplimentar un interval între cele două semnale 1 în care nivelul să fie 0,  $t_x - t_y$  și  $t_{x'} - t_{y'}$ .

Semnalul de ieșire este citit sincron cu ceasul 2 în momentele  $t_1$ ,  $t_2$ ,  $t_3$  pentru figura 5.x și se observă că el este opusul semnalului de intrare, poarta fiind inversoare.

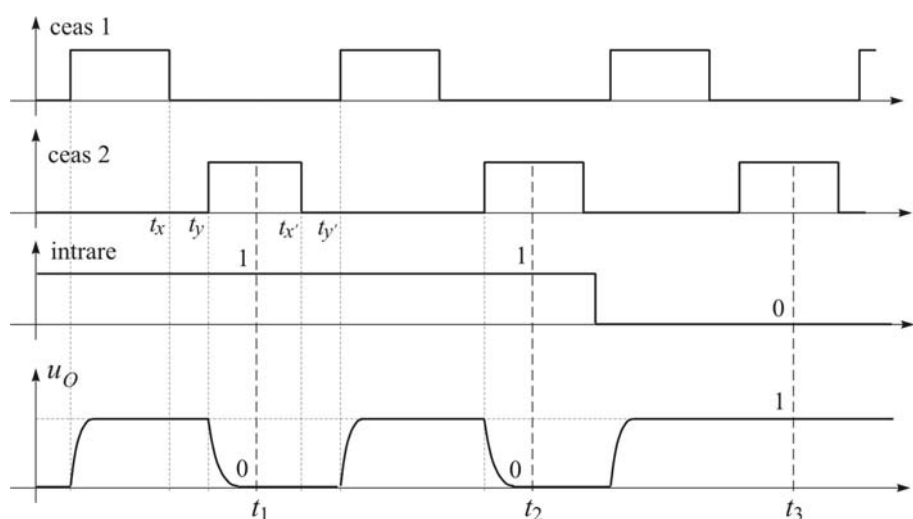


Fig. 5.47. Forma mărimilor pentru inversorul dinamic CMOS

#### 5.4.5. Familii de circuite CMOS

Familia de circuite integrate CMOS standard are tipul circuitelor notat prin cifrele 4xxx.

Familia este depășită și nu se mai utilizează în proiecte noi, subfamiliile cele mai folosite fiind prezentate în tabelul 5.2. 74C semnifică CMOS echivalent ca așezare a pinilor cu familia TTL iar xx sunt două cifre care dau tipul de circuit. S-au dezvoltat subfamilii rapide (H), avansate (Advanced, A), compatibile TTL (T) de mare viteză (Fast, F) sau cu tensiuni de alimentare mai mici, (LV – Low Voltage) de exemplu 3,3V.

Tabel 5.2. Familii CMOS

CMOS standard	4000 (MMC4xxx-românești)
CMOS echivalent pin cu pin TTL	74Cxx
CMOS rapidă	74HCxx
CMOS rapidă; compatibilă TTL	74HCTxx
CMOS avansată	74ACxx
CMOS avansată; compatibilă TTL	74ACTxx
CMOS tensiune joasă (3,3V)	74LVCxx
CMOS ultrarapidă; compatibilă TTL	74FCTxx

## 5.5. Circuite de interfață

Circuitele de interfață asigură conectarea dintre circuite logice sau dintre acestea și alte tipuri de circuite electronice. Necesitatea lor apare atunci când un circuit sursă are parametri nivelele de tensiuni și de curenți de ieșire diferiți de parametrii nivelele de tensiuni și de curenți de intrare pentru circuitul sarcină.

Există trei metode mai utilizate pentru interfațare:

- Conectarea unei rezistențe pentru ajustarea nivelului de tensiune ridicată, denumită și rezistență pull-up,  $R_P$ ;
- Apelul la circuite specializate pentru interfațare cum sunt circuitele tampon (buffer), unele variante de circuite cu colectorul în gol sau circuite specializate pentru deplasări de nivel;
- Conectarea unui circuit simplu, repetor pe emitor sau amplificator inversor cu tranzistor.

### 5.4.1. Interfață TTL-CMOS și CMOS-TTL

#### Interfață TTL-CMOS

Există două situații distincte.

Prima, tensiunile de alimentare sunt identice, adică +5V.

În acest caz problema care se pune este cea a nivelului de 1 după cum rezultă și din

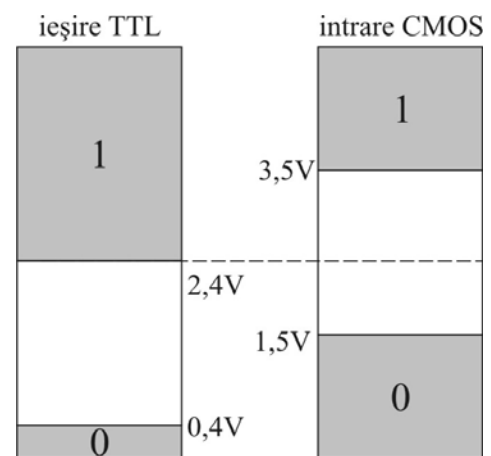


Fig. 5.48. Pragurile TTL-CMOS

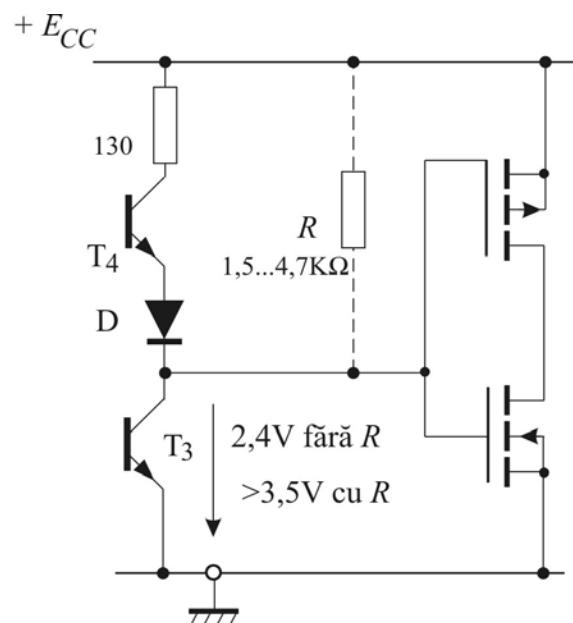


Fig. 5.49. Rezistența pentru ridicarea nivelului 1 la ieșirea TTL

figura 5.48. Ieșirea TTL nu poate asigura cei 3,5V necesari. Soluția, prezentată în figura 5.49, este conectarea unei rezistențe pentru ajustarea nivelului de tensiune ridicată,  $R_P$ . Această rezistență trebuie să fie suficient de mare să nu ducă la absorbția unui curent mai mare decât cel maxim pentru o ieșire TTL, adică 16mA pentru TTL standard, nivel 0 de ieșire, 0,4V. Gama obișnuită este 1,5 – 4,7 K $\Omega$ .

A doua situație este atunci când tensiunile de alimentare diferă. Sunt utilizate celelalte dintre soluțiile prezentate la începutul paragrafului. De exemplu, în figura 5.50 se utilizează un circuit buffer cu colectorul în gol iar în 5.51 un tranzistor.

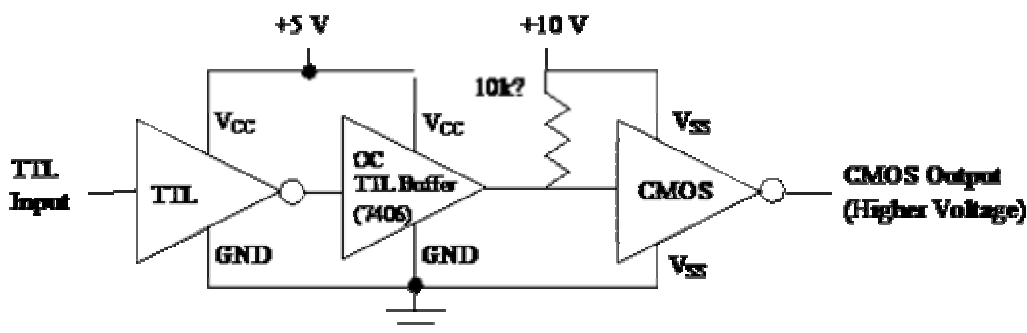


Fig. 5.50. Interfață TTL-CMOS cu buffer cu colectorul în gol.

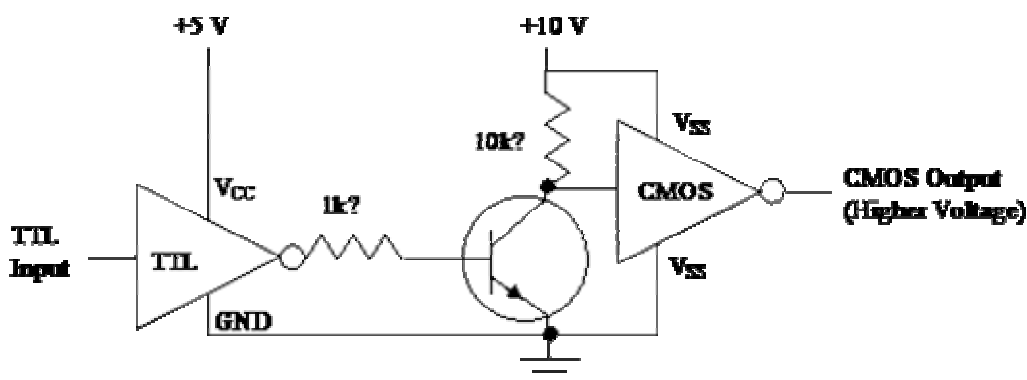


Fig. 5.51. Interfață TTL-CMOS cu tranzistor

### Interfață CMOS - TTL

Există aceleași două situații distincte.

Prima, tensiunile de alimentare sunt identice, adică +5V.

Tensiunile de ieșire ale CMOS sunt aproape ideale și nu se pun probleme de nivel. Dar acestea se pot degrada, mai ales pentru nivel de ieșire 0. Dacă presupunem 300 $\Omega$  rezistența unui MOS deschis, atunci, pentru a asigura 0,8V la intrarea TTL el nu poate fi parcurs de un curent mai mare decât:

$$\frac{0,8}{300} = 2,6 \cdot 10^{-3} = 2,6 \text{ mA}$$

ceea ce înseamnă ca nu se pot utiliza mai multe intrări TTL (o intrare, 1,6 mA). Dacă sunt mai multe intrări se utilizează circuite tampon, figura 5.52.

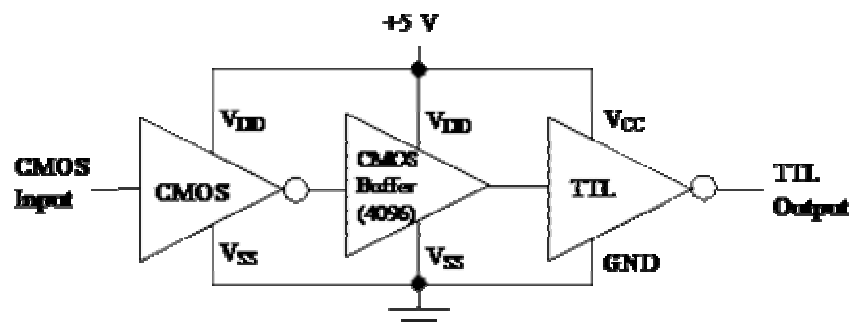


Fig. 5.52. Interfață CMOS- TTL cu buffer

A doua situație, tensiunile de alimentare diferă. Sunt utilizate celelalte dintre soluțiile prezentate la începutul paragrafului, una fiind prezentată în figura 5.53

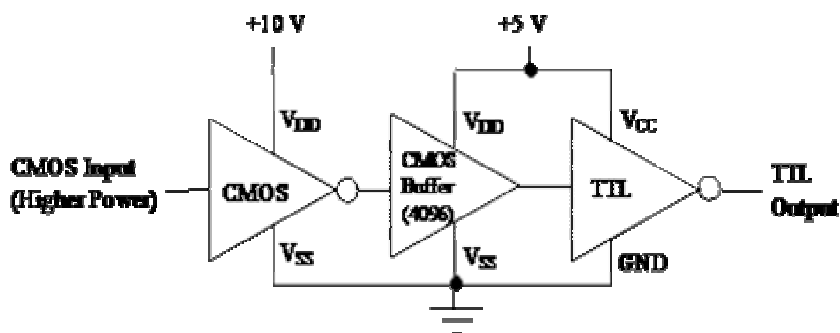


Fig. 5.53. Interfață CMOS (tensiune alimentare 10V)- TTL cu buffer

#### 5.4.2. Interfață între diverse familii

În tabelul 5.3 sunt prezentate posibilitățile de interconectare și metodele utilizate pentru interfatarea unor tipuri de circuite logice integrate.

Tabel 5.3. – Interconectarea familiilor de circuite logice

Sarcină ➔ ↓Sursă	TTL	HCT ACT	HC AC	HC, AC @3.3V	NMOS LSI	4000B, 74C @5V	4000B, 74C @10V
TTL	DA	DA	A	DA	DA	A	B
HCT ACT	DA	DA	DA	NU	DA	DA	B
HC AC	DA	DA	DA	NU	DA	DA	B
HC, AC @3.3V	DA	DA	NU	DA	DA	B	B



<b>NMOS LSI</b>	DA	DA	A	DA	DA	A	B
<b>4000B, 74C @5V</b>	DA <sup>a</sup>	DA	DA	NU	DA	DA	B
<b>4000B, 74C @10V</b>	C	C	C	C	C	C	DA

<sup>(a)</sup> cu fan-out limitat.

A – rezistență  $R_P$  (pullup) la +5V, sau utilizarea seriei HCT ca interfață.

B – se utilizează:

a) circuit cu colectorul în gol și rezistență  $R_P$  (pullup) la +10V;

b) se utilizează circuite de deplasare a nivelului: 40109, 14504, sau LTC1045.

C - se utilizează circuite de deplasare a nivelului: 74C901/2, 4049/50, 14504, or LTC1045.

### 5.4.3. Interfață cu alte circuite electronice

#### Circuit electronic-TTL

Problemele sunt:

-nivelul 1 are tensiuni mai mari decât +5V; se protejază intrarea TTL cu diode;

-la nivelul 0 nu se poate asigura 16 mA la 0,4V; se utilizează un tranzistor suplimentar

#### TTL- circuit electronic

Dacă nu sunt suficienți curenții de ieșire, fie pentru starea 1 fie pentru starea 0 se utilizează un etaj suplimentar cu tranzistor, fie repetor, fie amplificator inversor

#### Circuit electronic-CMOS

Dacă tensiunile circuitului sunt mai mari, se utilizează divizor rezistiv și diode de protecție.

Dacă tensiunile circuitului sunt mai mici, se utilizează amplificator inversor.

#### CMOS- circuit electronic

Se utilizează fie circuit buffer potrivite, fie un tranzistor suplimentar