

Parametrii familiilor de circuite integrate TTL și CMOS

TTL (*Transistor-Transistor-Logic*) și CMOS (*Complementary Metal-Oxide-Semiconductor*) sunt două familii de circuite integrate folosite ca circuite logice în dispozitivele numerice ale sistemelor de calcul.

Cunoașterea parametrilor lor de funcționare este imperios necesară la interconectarea circuitelor logice într-un sistem. Această cunoaștere permite asigurarea compatibilității între nivelele logice ale tensiunii de intrare și de ieșire a circuitelor logice precum și a compatibilității altor parametri.

Parametrii de catalog ai porților TTL și CMOS sunt următorii:

- nivelele de tensiune ale semnalelor logice de intrare (V_{IH} , V_{IL}) și de ieșire (V_{OH} , V_{OL});
- imunitatea la perturbații (M_H , M_L);
- factorul de încărcare la intrare (fan-in) și de încărcare la ieșire (fan-out);
- timpul de propagare (t_p);
- consumul de putere (P_d);
- factorul de merit (PDP).

1. Nivelele de tensiune ale semnalelor logice de intrare și de ieșire

În practica electronicii, dintre toate posibilitățile de reprezentare a cifrelor binare 0 și 1 cea mai folosită este aceea de reprezentare prin 2 nivele distincte de tensiune. Aceasta, intrucat circuitele electronice au în structură elemente în regim de comutație cu două stări, fiecare stare fiind caracterizată printr-un nivel distinct de tensiune.

Pentru cele 2 nivele discrete de tensiune, unul înalt (High) V_H și celălalt coborât (Low) V_L , în practică se iau două domenii sau intervale de tensiune ΔV_H și ΔV_L separate printr-o zonă interzisă, regiune în care tensiunea nu trebuie să ia valori.

Se practica domenii de valori ale nivelelor de tensiune în loc de valori discrete datorită dispersiei de valori pe care o manifestă parametrii componentelor electronice active și pasive la fabricație.

Asocierea între nivelele logice 0 și 1 cu nivelele ΔV_H și ΔV_L , ale tensiunii semnalului, se face după două criterii convenționale, și anume:

- în convenția de logică pozitivă:
 ΔV_{Low} corespunde lui 0 logic;
 ΔV_{High} corespunde lui 1 logic;
- în convenția de logică negativă:
 ΔV_{Low} corespunde lui 1 logic;
 ΔV_{High} corespunde lui 0 logic;

unde:

- ΔV_{Low} reprezintă nivelul coborât (Low) al tensiunii;
- ΔV_{High} reprezintă nivelul ridicat (High) al tensiunii.

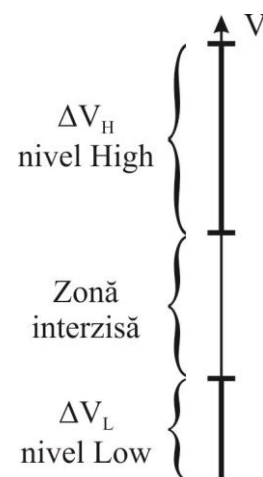


Fig.1 Reprezentarea nivelurilor logice de tensiune.

De ex, pentru familia de circuite integrate de tip TTL avem:

- $V_{CC} = +5V$ (tensiunea de alimentare);
- $\Delta V_L = 0.4V$ (în intervalul 0.0V la 0.4V);
- $\Delta V_H = 2.6V$ (în intervalul 2.4V la 5.0V).

Pentru CMOS avem:

- $V_{CC} = +5V$ (tensiunea de alimentare);
- $\Delta V_L = 1.5V$ (în intervalul 0.0V la 1.5V);
- $\Delta V_H = 1.5V$ (în intervalul 3.5V la 5.0V).

Întrucât raportarea tensiunilor se face față de punctul de masă (de potențial 0) al schemei, reprezentarea celor două nivele logice se face în funcție de modul legării sursei de tensiune la masă (vezi fig. 2).

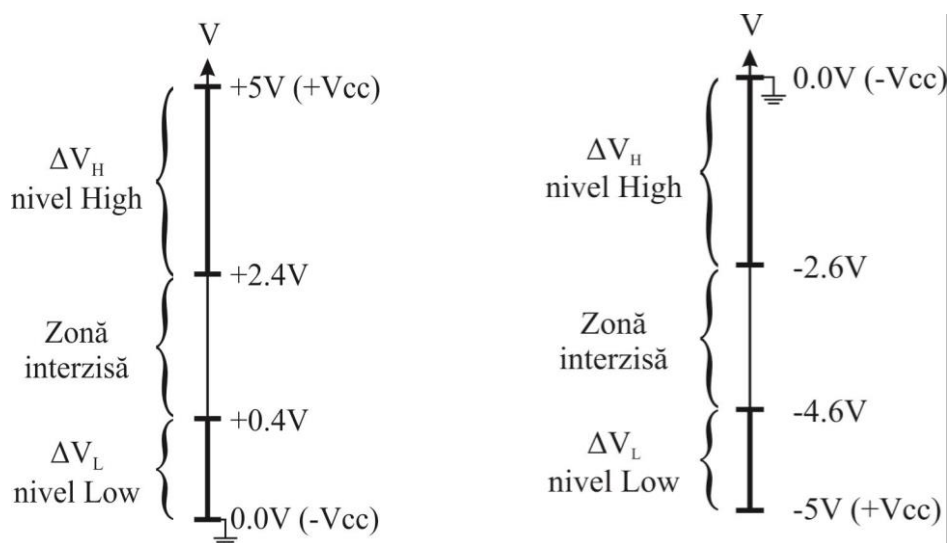


Fig 2 Reprezentarea nivelelor de tensiune în funcție de modul de legare al sursei de tensiune la masă (se referă la tensiuni de ieșire).

Se spune că semnalele de tensiune sunt valide (reprezintă date valide) numai când au valori cuprinse în domeniile ΔV_H și ΔV_L .

Valorile tipice ale tensiunilor de intrare și ieșire într-o poartă logică au notațiile de catalog:

- V_{IH} reprezintă tensiunea de intrare la nivel H (High = ridicat);
- V_{IL} reprezintă tensiunea de intrare la nivel L (Low = coborât);
- V_{OH} reprezintă tensiunea de ieșire la nivel H (High = ridicat);
- V_{OL} reprezintă tensiunea de ieșire la nivel L (Low = coborât);

Se mai folosesc notațiile:

- V_{IHmin} reprezintă valoarea minimă a tensiunii de intrare la nivel H admisă de constructor (pentru care poarta logică răspunde încă corect);
- V_{ILmax} reprezintă valoarea maximă a tensiunii de intrare la nivel L admisă de constructor (pentru care poarta logică răspunde încă corect);
- V_{OHmin} reprezintă valoarea minimă a tensiunii de ieșire la nivel H garantată de constructor (în cazul respectării V_{IHmin});
- V_{OLmax} reprezintă valoarea maximă a tensiunii de ieșire la nivel L garantată de constructor (în cazul respectării V_{ILmax}).

Date fiind aceste notații, rezultă condițiile pe care trebuie să le respecte valoarea tensiunii semnalului la:

	Intrarea în poartă comandată	Ieșirea din poartă ce comandă
– pentru nivelul H	$V_{IH} \geq V_{IHmin}$	$V_{OH} \geq V_{OHmin}$
– pentru nivelul L	$V_{IL} \geq V_{ILmax}$	$V_{OL} \geq V_{OLmax}$

2. Imunitatea la perturbații (la zgomote)

Este exprimată prin valoarea maximă a unui semnal perturbator care, suprapus semnalului de comandă aplicat la intrarea unei porți logice, nu alterează corectitudinea nivelului tensiunii semnalului la ieșirea porții.

Această valoare maximă a amplitudinii unui semnal perturbator se mai numește și margine de zgomot sau prag de zgomot.

Marginea de zgomot garantată de fabricant la intrarea unui circuit logic (poartă logică) este dată pentru fiecare nivel de tensiune (în logică pozitivă):

- pentru nivelul ridicat (nivel logic 1) $\rightarrow M_H = V_{OHmin} - V_{IHmin}$;
- pentru nivelul coborât (nivel logic 0) $\rightarrow M_L = V_{ILmax} - V_{OLmax}$;

unde:

- V_{OHmin} , V_{OLmax} reprezintă limitele de tensiune garantate la ieșirea unei porți care comandă;
- V_{IHmin} , V_{ILmax} reprezintă limitele de tensiune permise la intrarea unei porți comandate.

Reprezentarea grafică a pragurilor de zgomot garantate (de catalog) arată astfel:

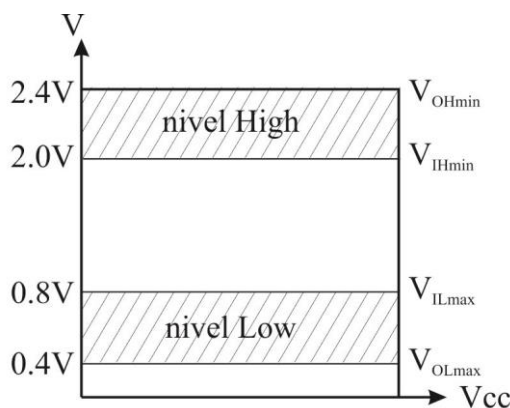


Fig 3 Reprezentarea pragului de zgomot pentru o poartă logică realizată cu circuit integrat de tip TTL.

În funcție de valorile nivelelor de tensiune garantate la ieșirea unei porți de comandă și de valorile nivelelor permise la intrarea unei porți comandate, se poate stabili zona semnalelor de tensiune ce garantează transferul corect al datelor pentru o familie de porți logice.

3. Fan-out/fan-in sau factorul de încărcare la ieșire/intrare

Ieșirea unei porți logice nu poate alimenta un număr oricât de mare de intrări în paralel ale altor porți. O ieșire nu poate debita decât un curent electric limitat.

Pentru o poartă logică a unei familii de circuite integrate, parametrul fan-out (factorul de încărcare la ieșire) exprimă numărul de porți logice standard pe care le poate poarta comanda.

Poarta logică standard este poarta care prezintă la intrare parametrul fan-in (factorul de încărcare la intrare) și reprezintă numărul de intrări standard cu care este echipata poarta respectivă.

Din punct de vedere electric, o poartă își materializează comanda asupra altei porți:

- prin curentul maxim generat de către ieșirea porții ce comandă, în starea "High";
- prin curentul maxim absorbit de către ieșirea porții ce comandă, în starea "Low".

De exemplu, în cazul etajului de ieșire (în montaj totem-pole) al unei porți ȘI-NU (NAND) din familia TTL, curenții la ieșire (în logică pozitivă) se prezintă astfel:

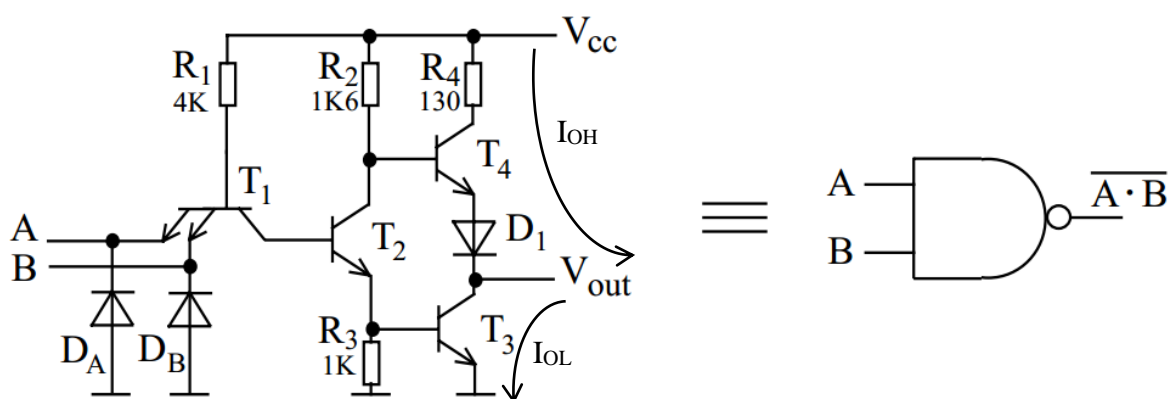


Fig.4 Schema electrică și logică a unei porți logice TTL NAND.

În starea logică High la ieșire, corespunzătoare lui $V_{OHmin} = 2.4V$ avem următoarea situație:

- tranzistorul T4 este blocat;
- tranzistorul T3 este în conducție generând curentul I_{OH} care este absorbit de toate intrările porților conectate la această ieșire.

În starea logică Low la ieșire, corespunzătoare lui $V_{OLmax} = 0.4V$ avem următoarea situație:

- tranzistorul T3 este blocat;
- tranzistorul T4 este în conducție absorbând curentul I_{OL} care este generat de toate intrările porților conectate la această ieșire.

Prin împărțirea valorii curentului I_{OH} maxim admis debitat la ieșirea porții de comandă, în starea High, la valoarea curentului I_{IH} absorbit de intrarea unei porți comandate, se determină numărul maxim de porți (adică factorul fan-out) care pot fi comandate în starea High.

Prin împărțirea valorii curentului I_{OL} maxim admis absorbit la ieșirea porții, în starea Low, la valoarea curentului I_{IL} generat de intrarea unei porți, se determină numărul maxim de porți (adică factorul fan-out) care pot fi comandate în starea Low.

Dintre cele două valori de fan-out se alege valoarea cea mai mică, ea fiind acoperitoare atât pentru ieșirea în starea High cât și pentru ieșirea în starea Low.

De exemplu, poarta NAND cu 2 intrări, a circuitului integrat 7400 din familia TTL seria 74, având etajul final asemănător cu acela prezentat în figura 4, admite la ieșire un curent $I_{OLmax} = 16\text{ mA}$ (curent maxim admis pentru tranzistorul T3) și un curent $I_{OHmax} = 800\text{ mA}$ (curent maxim admis pentru tranzistorul T4). Curenții de intrare ai unei porți comandate, de același tip, sunt $I_{ILmax} = 1.6$

mA și $I_{IH\max} = 40 \text{ mA}$. Factorul de încărcare la ieșire (fan-out), pentru cele două stări logice, rezultă din următoarele relații:

$$fan-out_L = \frac{I_{OL\max}}{I_{IL\max}} = \frac{16\text{mA}}{1.6\text{mA}} = 10 \text{ intrări pentru starea Low} \quad (1.1)$$

$$fan-out_H = \frac{I_{OH\min}}{I_{IH\min}} = \frac{800\text{mA}}{40\text{mA}} = 20 \text{ intrări pentru starea High} \quad (1.2)$$

Astfel, $fan-out = \min(fan-out_L, fan-out_H) = \min(10, 20) = 10$ intrări pentru ambele stări.

4. Timpul de propagare

Notat cu t_p și măsurat în [nsec], reprezintă timpul scurs între momentul când se modifică o variabilă la intrarea și respectiv momentul când răspunsul este furnizat la ieșirea unei porți logice.

În figura 5 de mai jos, este prezentat modul cum se definește timpul de propagare al unei porți în cazul comutării acesteia:

- de la nivelul "Low" la nivelul "High", timp notat cu t_{pLH}
- de la nivelul "High" la nivelul "Low", timp notat cu t_{pHL}

Timpul de propagare este calculat ca medie aritmetică a celor doi timpi: $t_p = 0.5 * (t_{pLH} + t_{pHL})$

Rezultă evident faptul că o poartă nu poate lucra la o frecvență mai mare decât $1/t_p$.

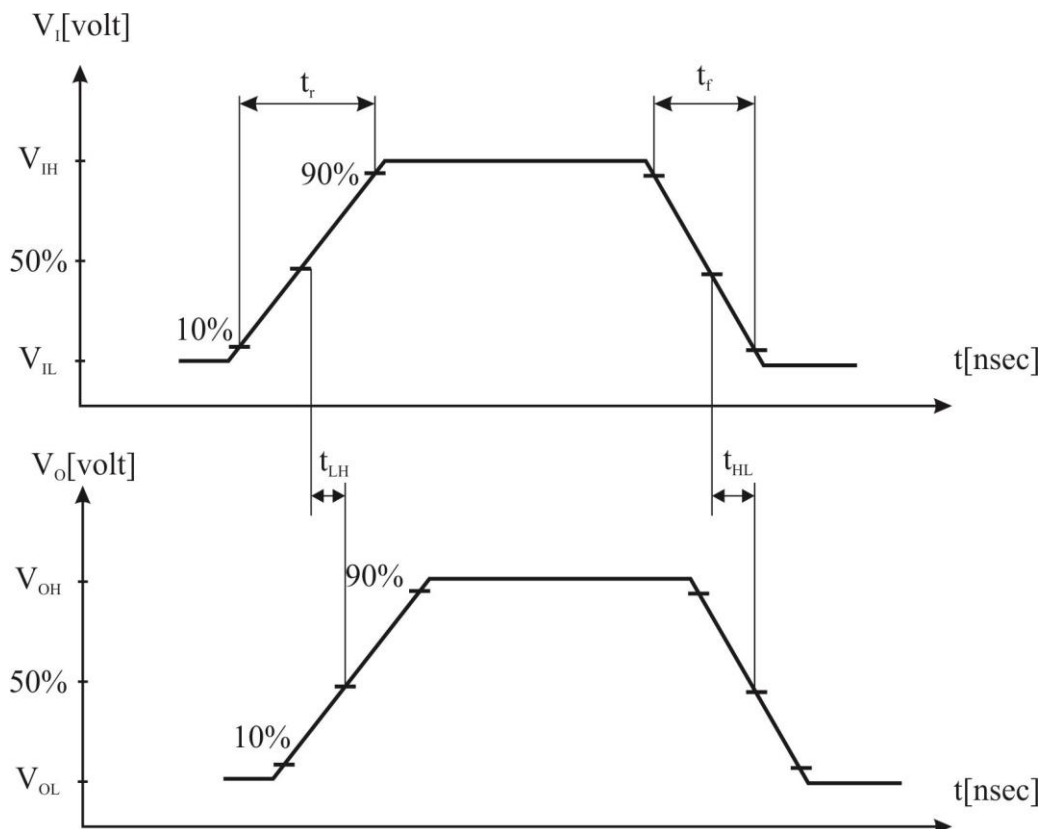


Fig.5 Modul de definire a intervalelor de timp t_{LH} , t_{HL} , t_r și t_f .

Pentru o poartă NAND (din familia TTL, integratul SN7400), valorile tipice ale timpilor de propagare (pentru o încărcare cu 10 intrări) sunt:

- $t_{pLH} = 11 \text{ nsec}$ și $t_{pHL} = 1 \text{ nsec}$, de unde rezultă un $t_p = 9 \text{ nsec}$;

Timpul $t_{pLH} > t_{pHL}$ deoarece, la trecerea de la starea Low la starea High, se depolarizează succesiv doi tranzistori (T2 și T3) pentru blocare (prin evacuarea sarcinii electrice acumulate în bază), în timp ce la trecerea de la High la Low are loc depolarizarea unui singur tranzistor (T4).

În cataloagele componentelor logice integrate mai apar:

- t_r , timpul de creștere (rise time) al frontului unui semnal de la amplitudinea de $0.1U_{\max}$ la $0.9U_{\max}$;
- t_f , timpul de descreștere (fall time) al frontului unui semnal de impuls de la amplitudinea de $0.9U_{\max}$ la $0.1U_{\max}$.

Pentru circuitele integrate TTL standard, valorile tipice sunt: $t_r = 8 \text{ nsec}$ și $t_f = 5 \text{ nsec}$.

5. Puterea disipată (consumul de putere)

Consumul de putere P_d , pentru o familie de circuite logice realizate cu circuite integrate, rezultă ca o sumă a două componente de putere, una statică P_{dcc} și alta dinamică P_{dca} .

A. *Consumul de putere în regim static (zis în curent continuu) este definit de relația:*

$$P_{dcc} = (P_H + P_L) / 2 = V_{cc} (I_{CCH} + I_{CCL}) / 2, \quad (1.3)$$

unde,

- P_H, P_L reprezintă puterile absorbite de circuitul logic de la sursa de tensiune, în starea de nivel H (high) și respectiv în starea de nivel L (low);
- I_{CCH}, I_{CCL} reprezintă curenții absorbiți de poartă de la sursă, în starea H și respectiv L;
- V_{cc} este tensiunea sursei de alimentare, de curent continuu.

La familiile TTL componenta P_{dcc} reprezintă, valoric, componenta principală. Valorile tipice de consum sunt între 1 și 10 mW/poartă.

De exemplu, c.i. tip SN7400 (4 porți NAND cu 2 intrări), are tipic $I_{CCL} = 12 \text{ mA}$ și $I_{CCH} = 4 \text{ mA}$. Puterea consumată la tensiunea de alimentare de 5 V, rezultă:

$$P_d = 5V \cdot (12 + 4) \text{ mA} \cdot 0.5 = 40 \text{ mW/circuit sau de } 40 / 4 = 10 \text{ mW/poartă}. \quad (1.4)$$

La familiile CMOS această componentă este disipată când poarta este în stare logică stabilă (de stand-by) și se datorește curentului rezidual prin tranzistorul blocat (tranzistorul complementar fiind în această fază în conducție). Această componentă este neglijabilă, cu valori tipice de 2.5-10 nW/poartă.

B. *Consumul de putere în regim dinamic (zis și în curent alternativ)*

Această componentă a consumului de putere apare în cursul tranziției porții logice de la starea logică High la Low și invers. Ea cunoaște forme diferite, în funcție de tipul porții (tipul TTL sau tipul CMOS).

La familiile TTL puterea disipată apare la scurtcircuitarea la masă a sursei de alimentare pe durata fronturilor de comutație ale semnalelor de comandă. De exemplu, în schema porții NAND, în secvența de trecere dintr-o stare logică în alta a porții când cele trei tranzistoare T2, T3 și T4 sunt în conducție, are loc scurtcircuitarea la masă a sursei de alimentare. În acest interval de timp, pe poartă se disipează o energie de scurtcircuit.

În plus, vârfurile de curent de scurtcircuit provoacă zgomote (spikes) pe bara sursei de alimentare, care pot provoca comutări nedorite (false) și a altor porți alimentate de la aceeași bară de alimentare.

Energia disipată la scurtcircuit este cu atât mai mică cu cât este mai mică durata fronturilor de comutare t_r și t_f . Din practică, se știe că pentru ca energia disipată pe poartă să nu o distrugă prin supratemperatura, durata fronturilor trebuie să fie mai mică decât 10 ori timpul de propagare a semnalului prin poartă, adică $t_r, t_f < 10t_p$.

Ca exemplu, puterea disipată pe o poartă NAND tip TTL standard, cu ieșirea în starea cu sursa de alimentare scurtcircuitată la masă, este de cca. 117 mW,

La familiile CMOS, puterea disipată apare la încărcarea și descărcarea capacităților din circuit. Aceste capacități sunt reprezentate de:

- capacitatea de ieșire a porții logice de comandă;
- capacitățile conexiunilor dintre poarta de comandă și porțile comandate;
- capacitățile de sarcină adică capacitățile intrărilor porților comandate.

Pe durata unei perioade $T=1/f$ (dată de intervalul dintre două semnale succesive de comandă aplicate la intrarea unei porți), puterea totală disipată pe rezistența circuitului de către curentul de încărcare/descărcare a capacității echivalente este data de relația:

$$P_{dca} = C \cdot V^2 \cdot f \text{ [watt]}, \quad (1.5)$$

unde,

- C reprezintă capacitatea echivalentă a capacităților din circuit, în farazi;
- V reprezintă tensiunea sursei de alimentare, în volți;
- f reprezintă frecvența semnalelor de comandă, în Hz.

Exemplu de calcul:

Se consideră că ieșirea unei porți din familia CMOS este comutată cu o frecvență de 100 kHz, având un factor fan-in egal cu 10. Se consideră, de asemenea, următoarele valori de catalog ale capacităților:

- 5pF pentru capacitatea intrării unei porți comandate;
- 22 pF pentru capacitățile ieșirii porții de comandă;
- 30 pF pentru capacitatea echivalentă a conexiunilor.

În acest caz, puterea disipată în procesul de încărcare-descărcare a capacităților din circuit va fi:

$$P_{dca} = C \cdot V^2 \cdot f = [10 \cdot 5 + 22 + 30] \cdot 10^{-12} \cdot 5^2 \cdot 10^5 \text{ W} = 2.55 \cdot 10^{-4} \text{ W} = 0.255 \text{ mW} = 2.55 \cdot 10^5 \text{ nW} \quad (1.6)$$

Din acest exemplu, rezultă ca puterea disipată în regim dinamic este de cca. 100 de mii de ori mai mare decât puterea disipată în regim static (caz în care valoarea tipică este de 2.5 nW/poartă).

Puterea disipată în regim dinamic poate atinge 2,5 mW/poartă, la o frecvență de 1 Mhz și pentru o sarcină capacitivă echivalentă de 100 pF (10 intrări de 5 pF, 20 pF pentru ieșire și 30 pF pentru conexiuni).

Energia disipată în regim dinamic depinde însă atât de puterea disipată cât și de durata tranziției, adică de timpul de creștere/descrescere a semnalului de comandă (t_r , t_f).

6. Factorul de merit

Factorul de merit PDF (*Power Delay Product*) este un parametru sintetic cu ajutorul căruia se poate caracteriza o poartă logică atât din punct de vedere al puterii disipate cât și din cel al timpului de propagare a semnalului.

Acest parametru poate fi interpretat ca reprezentând energia disipată pentru o decizie logică și este definit cu relația:

$$PDP[\text{Joule}] = PD[\text{watt}] \cdot t_p[\text{sec}]. \quad (1.7)$$