

Unitatea aritmetică și logică

Odată cu creșterea densității de integrare a circuitelor digitale, funcțiile aritmetice/logice se realizează în circuite tot mai complexe, care execută, pe baza unor comenzi, diverse funcții de tip aritmetic sau logic. Aceste circuite se pot utiliza ca atare în sistemele numerice complexe sau se regăsesc, ca elemente componente, în unitățile de prelucrare ale sistemelor de calcul.

În practică, circuitele generatoare de funcții logice, descrise mai sus (v. seminarul 6), se realizează împreună cu circuitele care, la rândul lor, realizează funcțiile aritmetice asupra variabilelor de intrare, constituind așa numitele unități aritmetice și logice (UAL-uri). Aceste circuite multifuncționale constituie unele dintre cele mai complexe module din categoria circuitelor integrate MSI. UAL-ul este un CLC complex, cu următoarele funcțiuni:

- execută o operație aritmetică/logică asupra unui sau a doi operanzi de intrare cu un anumit număr de biți;
- furnizează indicații asupra rezultatului.

În continuare, se vor prezenta câteva considerații teoretice care vor permite înțelegerea modului de funcționare a unui UAL. Astfel, funcția (din seminarul 6):

$$F = ABS_3 + \overline{A}\overline{B}S_2 + \overline{A}\overline{B}S_1 + \overline{A}BS_0 \quad (1.1)$$

se poate exprima sub forma:

$$F = A(\overline{B}S_2 + BS_3) + \overline{A}(\overline{B}S_1 + BS_0) \quad (1.2)$$

Avându-se în vedere relația:

$$Aa + \overline{A}b = Aa \oplus \overline{A}b \quad (1.3)$$

unde a și b sunt expresii logice, expresia (1.2) se mai poate scrie și sub forma:

$$F = A(\overline{B}S_2 + BS_3) \oplus \overline{A}(\overline{B}S_1 + BS_0) \quad (1.4)$$

Ținând cont de proprietățile, de mai jos, ale operației SAU-EXCLUSIV:

$$\overline{a} \oplus b = a \oplus \overline{b} = \overline{a \oplus b} \quad (1.5)$$

$$\overline{a} \oplus \overline{b} = a \oplus b \quad (1.6)$$

$$a \oplus 1 = \overline{a} \quad (1.7)$$

unde a și b sunt expresii logice, funcția (1.4) se poate scrie sub forma:

$$\begin{aligned} F &= A(\overline{B}S_2 + BS_3) \oplus \overline{A}(\overline{B}S_1 + BS_0) \oplus C' = \\ &= (A\overline{B}S_2 + ABS_3) \oplus (A + \overline{B}S_1 + BS_0) \oplus C' = X \oplus Y \oplus C', \end{aligned} \quad (1.8)$$

unde X și Y sunt expresiile reprezentate pe jumătatea dreaptă respectiv jumătatea stângă a diagramei de minimizare din figura 2 (v. seminarul 6), iar $C' = 1$. Forma (1.8) a funcției F prezintă mai multe avantaje. În primul rând variabilele de selecție apar în această expresie numai sub formă directă (nenegată). În al doilea rând, faptul că ea conține operatorul SAU-EXCLUSIV, echivalent cu suma modulo 2, permite realizarea operațiilor aritmetice asupra operanzilor X, Y și C' . Astfel, dacă se ia $C' = C$, unde C este transportul pentru rangul considerat, iar variabilele de selecție au valorile $S_3 = 1$, $S_2 = 0$, $S_1 = 0$, $S_0 = 1$, funcția F devine, în urma înlocuirii acestor valori în expresia (1.8):

$$F = AB \oplus (A + B) \oplus C \quad (1.9)$$

Expresia (1.9), care se mai poate scrie și sub forma $F = A \oplus B \oplus C$, este o formă a sumei pentru un rang. Se observă că, în acest caz, expresia X devine condiția de generare a transportului în rangul respectiv (G), iar expresia Y, condiția de propagare a transportului peste rangul respectiv (P). Acesta este un alt avantaj al acestei forme de exprimare a funcției F, deoarece funcțiile auxiliare G și P pot fi utilizate și pentru generarea transportului anticipat, în cazul când se dorește realizarea operațiilor aritmetice. Un ultim avantaj al acestei forme de exprimare a funcției F îl constituie și faptul că se pot folosi în circuitul care o realizează elemente logice ȘI-SAU-NU.

Un exemplu de circuit integrat realizat în modul prezentat mai sus este unitatea aritmetică și logică/generatorul de funcții de patru biți 74181, produs de firma Texas Instruments și a cărei schemă-bloc este prezentată în figura 1 (s-a reprezentat atât cazul în care semnalele de date sunt active pe nivel 0 logic, (a), cât și cazul în care acestea sunt active pe nivelul 1 logic, (b)).

Intrările și ieșirile UAL-ului au următoarele semnificații:

- intrările operandilor $(A, B) = (A0 \div A3, B0 \div B3)$;
- intrarea pentru bitul de transport C_n ;
- ieșirea funcției $F = (F0 \div F3)$;
- ieșirea pentru bitul de transport C_{n+4} ;
- ieșirea indicatoare a stării de egalitate a operandilor $(A = B)$;
- ieșiri pentru transport anticipat, P, G;
- comenzi:

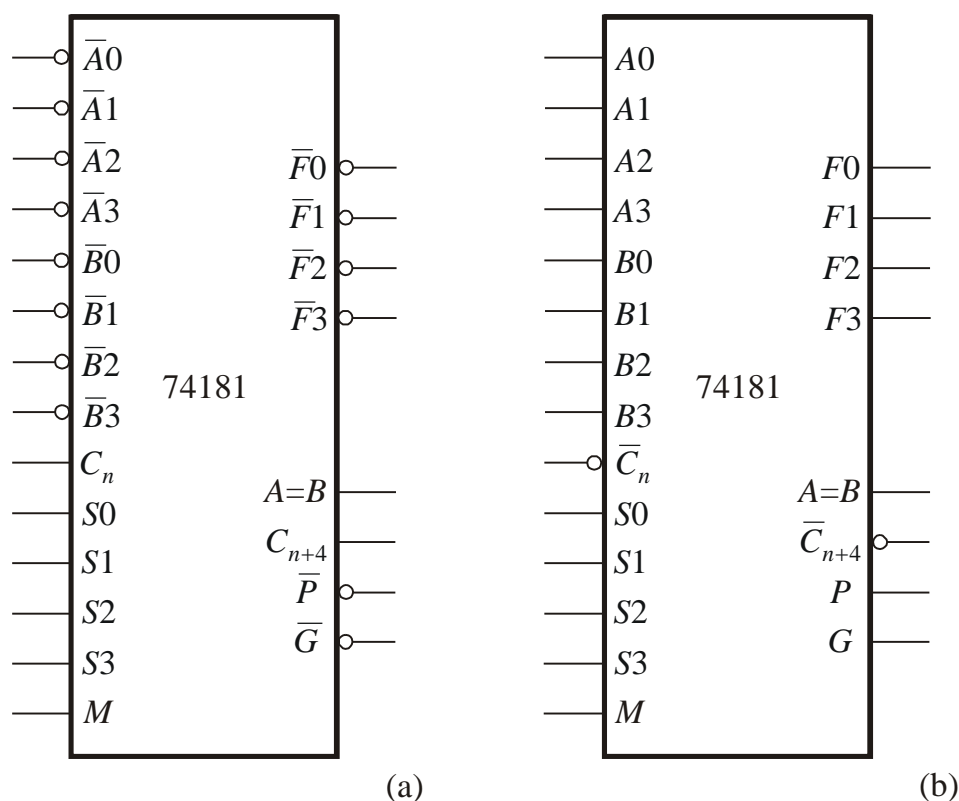


Fig. 1 Unitate aritmetică și logică (UAL) de 4 biți.

- selectarea funcției $S = (S0 \div S3)$;
- comanda „modului“ M: $M = 0 = \text{mod „aritmetic“}$,
 $M = 1 = \text{mod „logic“}$.

Circuite multiplicatoare

Circuitele pentru înmulțirea rapidă a numerelor binare se realizează, de obicei, pe principiul circuitelor iterative (v. seminarul 4). De exemplu, în cazul înmulțirii a două numere binare cu patru poziții A_0, A_1, A_2 și A_3 și B_0, B_1, B_2 și B_3 , se obține un produs cu 8 poziții binare $P_0, P_1, P_2, P_3, P_4, P_5, P_6$ și P_7 . Simbolic, operația de înmulțire are loc conform regulii următoare:

				A_3	A_2	A_1	$A_0 \times$
				B_3	B_2	B_1	B_0
				$A_3 B_0$	$A_2 B_0$	$A_1 B_0$	$A_0 B_0$
		$A_3 B_1$		$A_2 B_1$	$A_1 B_1$	$A_0 B_1$	
	$A_3 B_2$	$A_2 B_2$		$A_1 B_2$	$A_0 B_2$		
$A_3 B_3$	$A_2 B_3$	$A_1 B_3$	$A_0 B_3$				
P_7	P_6	P_5	P_4	P_3	P_2	P_1	P_0

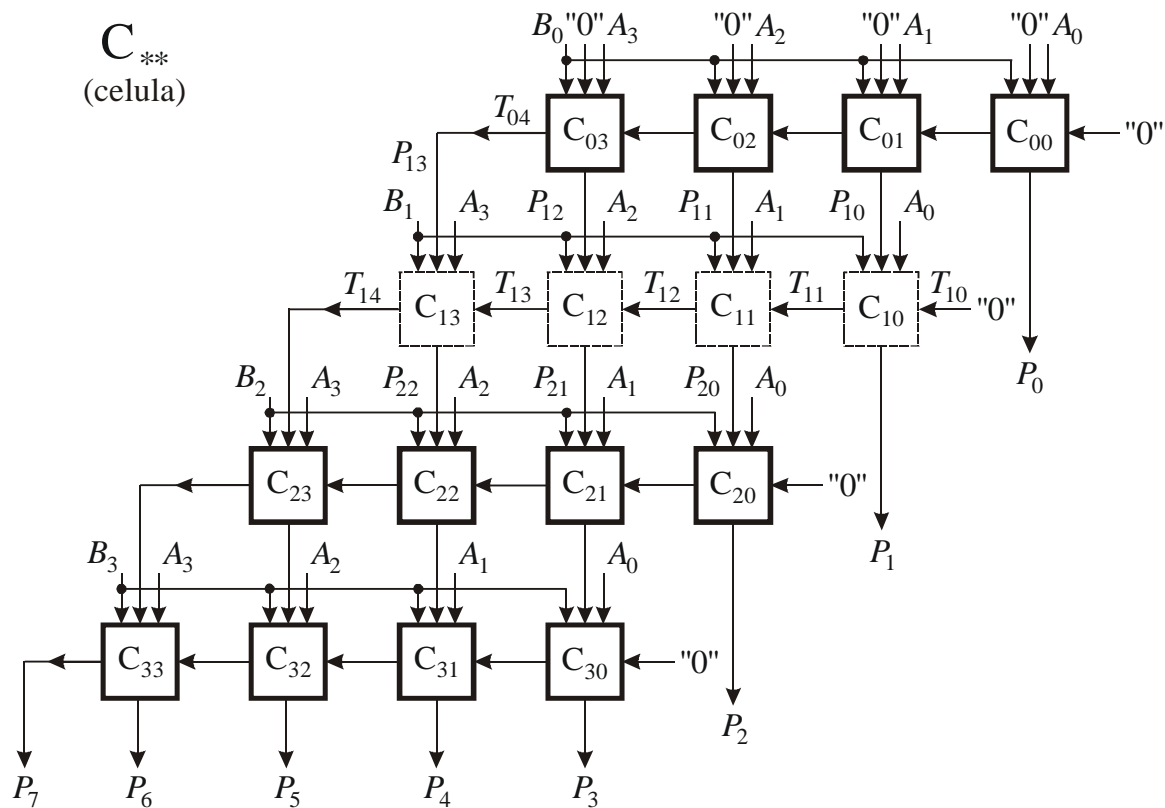
Însumarea produselor $A_i B_j$ se face ținând cont și de semnalul de transport ce poate apare la fiecare sumă binară.

Realizarea celor opt funcții P_i ($i = 0, \dots, 7$), direct, ca funcții de cele 8 variabile ($A_0 \div A_3$) și ($B_0 \div B_3$) este destul de dificilă. Din acest motiv se face însumarea de înmulțitului la produsul parțial ca un circuit iterativ alcătuit din mai multe sumatoare paralele. Schema logică a circuitului iterativ care realizează această înmulțire este prezentată în figura 2.

Primul rând de celule, din acest circuit, însumează produsul de înmulțitului ($A_3 A_2 A_1 A_0$), cu cifra cea mai puțin semnificativă a înmulțitorului, B_0 , la produsul parțial inițial (0) și generează primul produs parțial. Rândul următor de celule adună la acest produs parțial de înmulțitului înmulțit cu următoarea cifră a înmulțitorului (B_1) și generează următorul produs parțial, ș.a.m.d. Pentru a se proiecta un multiplicator/înmulțitor combinațional pentru cuvinte de n biți va trebui să se interconecteze n^2 celule, într-o matrice bidimensională sugerată de algoritmul de înmulțire binară a două cuvinte de n biți.

Fiecare celulă din cadrul circuitului iterativ din figura 2 este un circuit care realizează înmulțirea a două cuvinte de un bit (înmulțitorul/multiplicatorul elementar). Structura acestui circuit trebuie să satisfacă trei cerințe:

- să realizeze operația propriu-zisă de înmulțire a celor doi biți;
- să asigure operația de adunare presupusă de algoritmul de înmulțire al numerelor reprezentate pe mai mulți biți;



$P_{0,i} = 0$, unde $i = 0 \div 3$ (produsul parțial inițial este nul);

$T_{j,0} = 0$, unde $j = 0 \div 3$ (transportul inițial este nul);

$T_{j,i_{\max}+1} = P_{j+1,i_{\max}}$ (produsul parțial aplicat celulei de rang maxim de pe un rând este egal cu transportul de la celula de rang maxim de pe rândul precedent).

Fig. 2 Circuit iterativ pentru înmulțirea a două numere cu câte 4 cifre binare.

- să permită interconectarea într-o rețea bidimensională care asigură propagarea operanzilor și a rezultatelor parțiale astfel încât să se poată realiza combinațional operația de înmulțire.

O asemenea celulă, a cărei schemă logică este prezentată în figura 3¹, însumează cifra A_i a deînmulțitului, dacă cifra B_j a înmulțitorului este 1, cu cifra de același rang a produsului parțial, $P_{j,i}$ (rezultat de pe rândul precedent) și cu transportul $T_{j,i}$ (provenit de la o însumare asemănătoare efectuată pe rangul precedent ($i - 1$) al aceluiași rând).

Ca rezultat al acestei însumări, celula generează cifra de rangul i a produsului parțial următor, $P_{j+1,i-1}$ și transportul pentru rangul superior $T_{j,i+1}$.

¹ De această dată, în desene și în text, se va folosi pentru transport notația T și nu C , ca până în acest moment, pentru a nu se confunda cu notația pentru celulă.

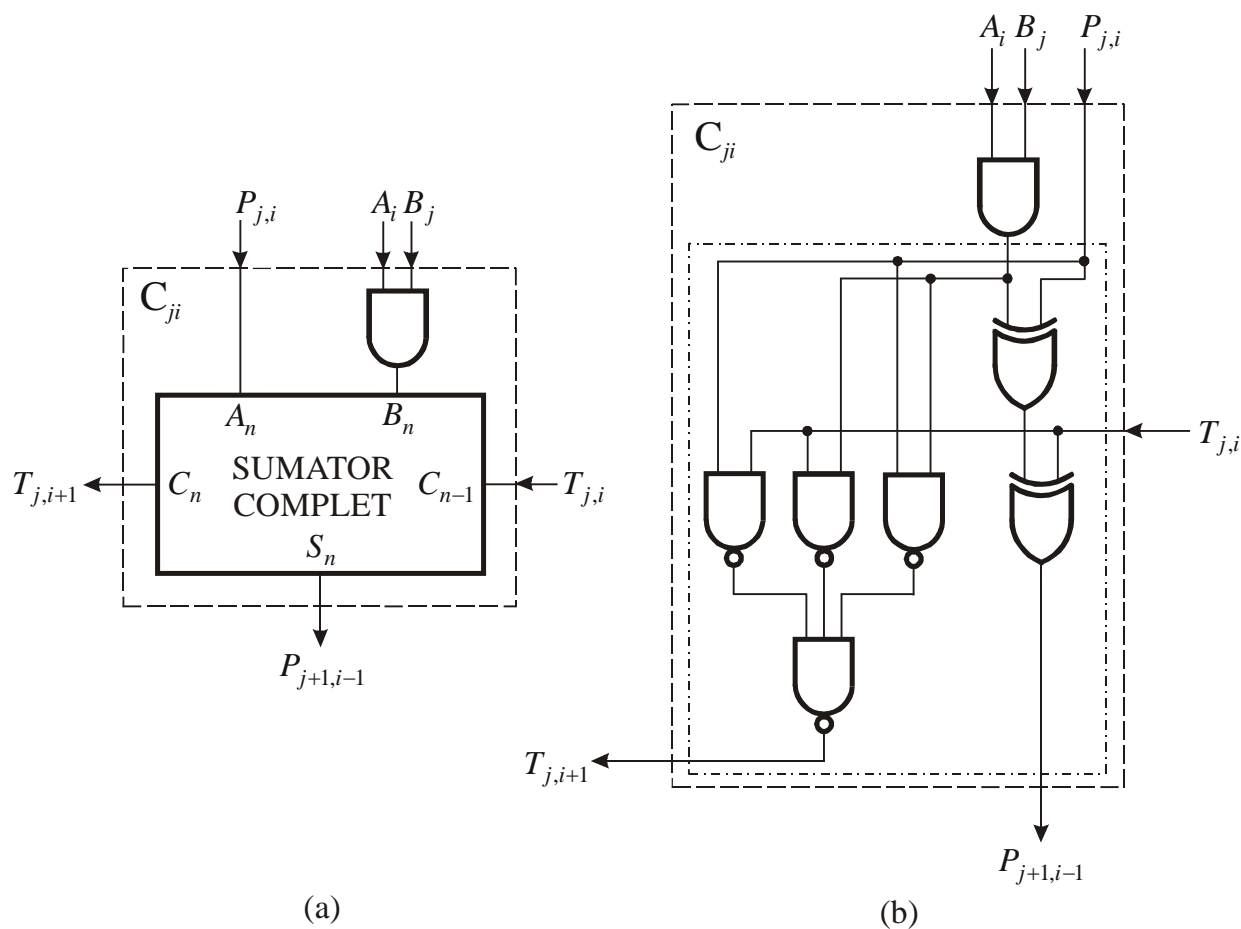


Fig.3 Schema-bloc (a) și schema logică (b) a unei celule C_{ji}

Un exemplu de element integrat de acest tip îl reprezintă circuitele integrate 74284 și 74285 care generează partea mai semnificativă, respectiv mai puțin semnificativă a produsului a două numere binare de câte patru cifre (v. fig. 4).

Aceste circuite pot fi folosite și pentru realizarea produsului a două numere cu mai mult de patru poziții binare fiecare, dacă se realizează subproduse cu părți de câte patru cifre ale acestora, care se însumează apoi decalate, în funcție de ponderea lor.

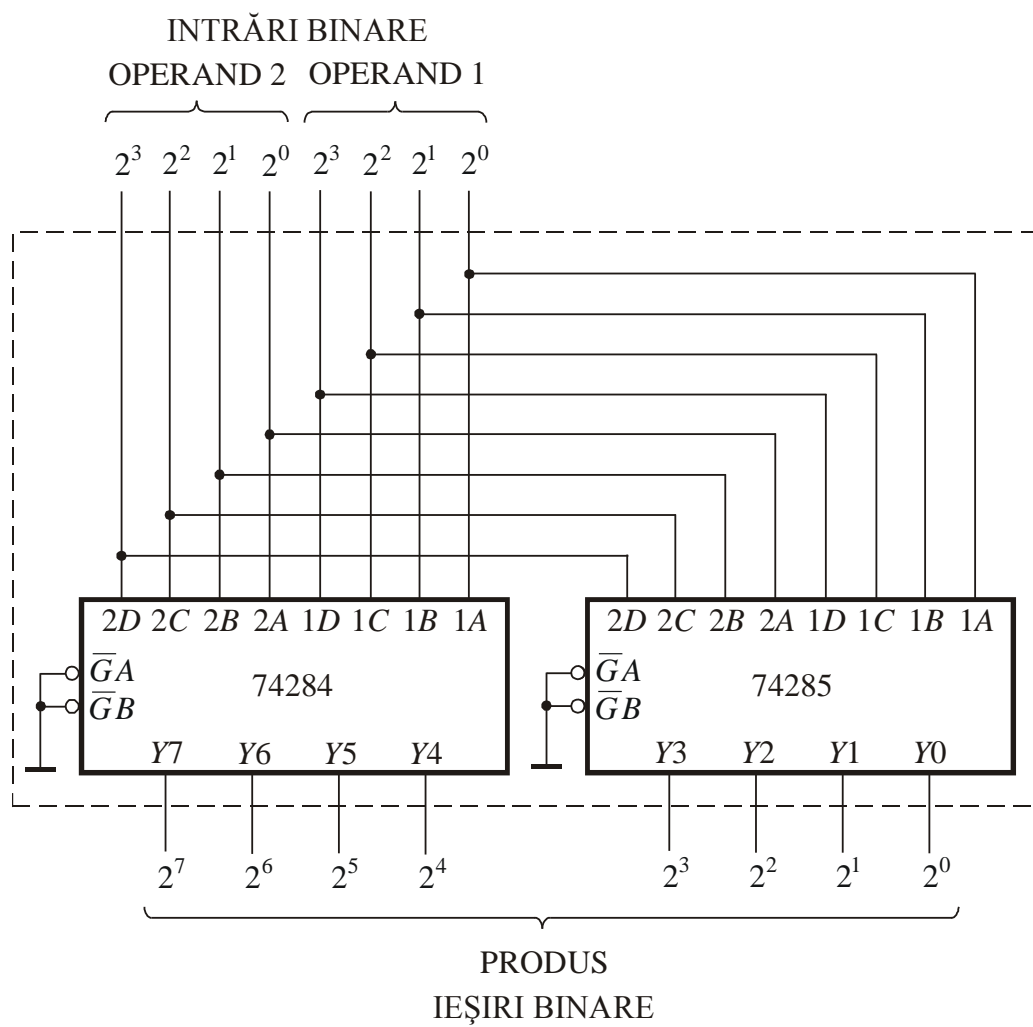


Fig. 4 Circuit pentru înmulțirea a două numere binare cu câte patru cifre.