

Codificatorul prioritar

Codificatoarele prioritare, spre deosebire de cele “clasice”, sunt astfel concepute încât, în cazul activării simultane a mai multor intrări, la ieșire să apară doar codul intrării cu prioritatea cea mai mare. În acest scop fiecărei intrări îi este atribuită o prioritate, care crește cu numărul intrării.

Pentru exemplificare se va prezenta circuitul integrat – codificator prioritar 74148 a cărui schemă-bloc este dată în figura 1 și a cărui logică de funcționare este redată în tabelul 1.

Circuitul dispune de opt intrări informaționale, $\bar{0}, \bar{1}, \dots, \bar{7}$, a căror prioritate crește cu valoarea numărului și de trei ieșiri $\bar{A}_0, \bar{A}_1, \bar{A}_2$, toate active pe 0 logic. Din tabelul de adevăr al circuitului se poate constata că prin activarea, de exemplu, a intrării $\bar{4}$ (linia 0111), simultan cu una sau mai multe dintre intrările $\bar{0}, \bar{1}, \bar{2}, \bar{3}$, numai ieșirea \bar{A}_2 este activată, iar ieșirile \bar{A}_0 și \bar{A}_1 sunt forțate în 1 logic, situație care corespunde intrării având prioritatea cea mai mare, $\bar{4}$. Circuitul prezintă, de asemenea, o intrare de validare \bar{EI} și încă două ieșiri suplimentare \bar{EO} și \bar{GS} .

Când $\bar{EI} = 1$ toate intrările sunt blocate și toate ieșirile sunt menținute în 1 logic (inactive). Ieșirea \bar{GS} devine activă (0), atunci când cel puțin una dintre intrările de date este activată, iar ieșirea \bar{EO} este activată (0) atunci când toate intrările de date sunt inactive (1). Ieșirea \bar{EO} se utilizează în cazul conectării în cascadă a mai multor codificatoare, pentru validarea unui circuit similar, având intrări de date cu prioritate mai mică.

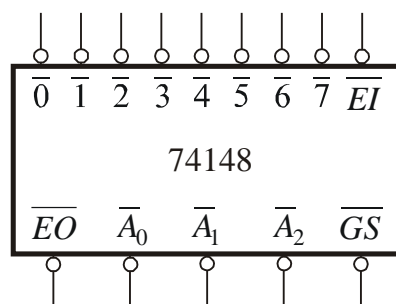


Fig.1 Schema-bloc a CD-ului prioritar 74148.

Tab.1 Tabelul de adevăr al CD-ului prioritar 74148.

Intrări									Ieșiri					Observații
\bar{EI}	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	\bar{A}_2	\bar{A}_1	\bar{A}_0	\bar{GS}	\bar{EO}	
1	*	*	*	*	*	*	*	*	1	1	1	1	1	Blocat
0	1	1	1	1	1	1	1	1	1	1	1	1	0	Intrări inactive
0	*	*	*	*	*	*	*	0	0	0	0	0	1	Funcționare normală
0	*	*	*	*	*	*	0	1	0	0	1	0	1	
0	*	*	*	*	*	0	1	1	0	1	0	0	1	
0	*	*	*	*	0	1	1	1	0	1	1	0	1	
0	*	*	*	0	1	1	1	1	1	0	0	0	1	
0	*	*	0	1	1	1	1	1	1	0	1	0	1	
0	*	0	1	1	1	1	1	1	1	1	0	0	1	
0	0	1	1	1	1	1	1	1	1	1	1	0	1	

Din tabelul 1 se pot obține expresiile funcțiilor de ieșire. Pentru $\overline{A_0}, \overline{A_1}$ și $\overline{A_2}$ rezultă următoarele expresii:

$$\begin{aligned}\overline{A_2} &= \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{6} \cdot 7 + \overline{EI} \cdot \overline{5} \cdot 6 \cdot 7 + \overline{EI} \cdot \overline{4} \cdot 5 \cdot 6 \cdot 7 \\ \overline{A_1} &= \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{6} \cdot 7 + \overline{EI} \cdot \overline{3} \cdot 4 \cdot 5 \cdot 6 \cdot 7 + \overline{EI} \cdot \overline{2} \cdot 3 \cdot 4 \cdot 5 \cdot 6 \cdot 7 \\ \overline{A_0} &= \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{5} \cdot 6 \cdot 7 + \overline{EI} \cdot \overline{3} \cdot 4 \cdot 5 \cdot 6 \cdot 7 + \overline{EI} \cdot \overline{1} \cdot 2 \cdot 3 \cdot 4 \cdot 5 \cdot 6 \cdot 7\end{aligned}\quad (1.1)$$

Se observă că, utilizând teorema: $ab + \overline{a}c = ab + \overline{a}c + bc$, se pot simplifica o serie de termeni din expresiile acestor funcții, rezultând:

$$\begin{aligned}\overline{A_2} &= \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{6} + \overline{EI} \cdot \overline{5} + \overline{EI} \cdot \overline{4} \\ \overline{A_1} &= \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{6} + \overline{EI} \cdot \overline{3} \cdot 4 \cdot 5 + \overline{EI} \cdot \overline{2} \cdot 4 \cdot 5\end{aligned}\quad (1.2)$$

$$\overline{A_0} = \overline{EI} \cdot \overline{7} + \overline{EI} \cdot \overline{5} \cdot 6 + \overline{EI} \cdot \overline{3} \cdot 4 \cdot 6 + \overline{EI} \cdot \overline{1} \cdot 2 \cdot 4 \cdot 6 \quad (1.3)$$

Codificatorul prioritar are, așa cum s-a precizat, intrări și ieșiri de selecție ce permit cascadarea acestora pentru obținerea unui număr mai mare de intrări. Aceste scheme de extindere necesită, însă, porți logice adiționale pentru generarea biților de ieșire. Spre exemplu, pentru un număr de 16 intrări sunt necesare două codificatoare și patru porți ȘI-NU cu două intrări, iar pentru 32 de intrări și cinci ieșiri se folosesc patru codificatoare, ș.a.m.d.

În figura 2 este prezentată schema logică a unui CD prioritar, utilizat pentru codificarea în binar a numerelor zecimale de la 0 la 15, realizat cu două circuite integrate 74148. Se constată că la activarea uneia sau mai multora dintre liniile $\overline{0}, \overline{1}, \dots, \overline{7}$, primul codificator este validat prin $\overline{EO_2}(0)$, iar atunci când se activează intrările $\overline{8}, \overline{9}, \dots, \overline{15}$, funcționează doar al doilea codificator, $\overline{EO_2}$ fiind pe 1 logic.

Circuitul din dreapta având prioritate față de cel din stânga, autorizează pe ultimul și îi cedează prioritatea numai atunci când nici una dintre intrările sale, $\overline{8}$ la $\overline{15}$, nu este activă (nu este în starea logică 0). Ieșirea reprezintă deci și cifra cea mai semnificativă din cuvântul de cod, A_3 . Partea mai puțin semnificativă a cuvântului de cod, $A_2A_1A_0$, este dată de către circuitul care deține prioritatea în momentul considerat. Selectarea grupului este indicată de semnalul P . Cele patru ieșiri, active pe 1 logic, se obțin așa cum se indică în figura 2 și în conformitate cu relațiile:

$$A_0 = \overline{\overline{A_0^1} \cdot \overline{A_0^2}} = A_0^1 + A_0^2, \quad A_1 = \overline{\overline{A_1^1} \cdot \overline{A_1^2}} = A_1^1 + A_1^2 \quad (1.5)$$

$$A_2 = \overline{\overline{A_2^1} \cdot \overline{A_2^2}} = A_2^1 + A_2^2, \quad A_3 = \overline{EO_2} \quad (1.6)$$

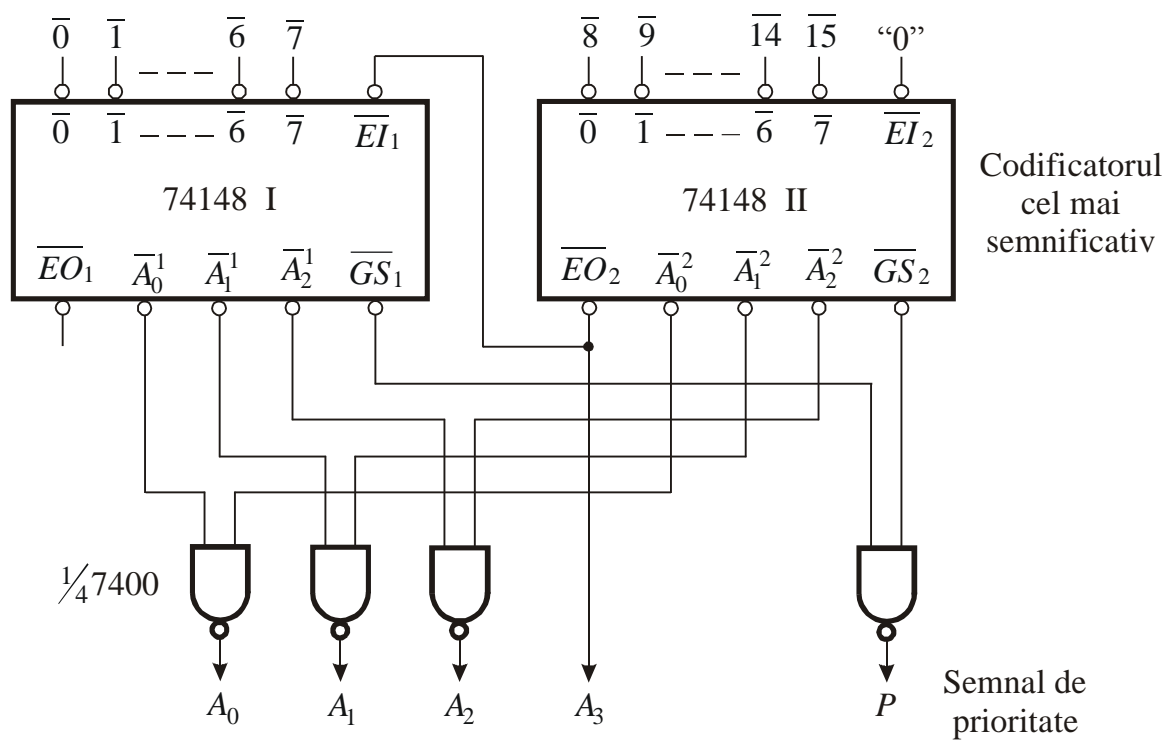


Fig. 2 Circuit codificator pentru codificarea cu prioritate a 16 semnale de intrare.