

Detectoare și generatoare de paritate

În procesul transmiterii informațiilor numerice pot apărea erori. O metodă simplă de detectare a acestora constă în utilizarea codurilor detectoare de erori (cu verificare de paritate sau imparitate). Aceste coduri se bazează pe faptul că la emisie se formează un nou cuvânt de cod, prin adăugarea unui bit suplimentar la cei existenți (biții informaționali), astfel încât numărul de 1-uri din cuvântul nou format să fie par (sau impar). La recepție se verifică paritatea sau imparitatea numărului de 1-uri din cuvântul recepționat și în funcție de rezultatul verificării se decide asupra corectitudinii cuvântului recepționat.

Operațiile susmenționate se realizează cu CLC-uri numite detectoare și generatoare de paritate.

Realizarea detectoarelor de paritate se bazează pe proprietatea cunoscută a porții SAU-EXCLUSIV de a răspunde prin 1 logic atunci când una dintre intrări este pe 1 și cea de a doua pe 0 (imparitate), sau prin 0 logic atunci când ambele intrări sunt pe 1, respectiv 0 (paritate). Detectorul de paritate elementar (pentru cuvinte de doi biți) este deci circuitul de anticoincidență (sumatorul modulo doi).

Extinzând proprietatea menționată mai sus la circuitul cu trei porți din figura 1, se constată, din tabelul 1, că variabila de ieșire Y' este egală cu 1 dacă numărul variabilelor de intrare (A, B, C, D) egale cu 1, este impar și are valoarea 0 pentru un număr par de variabile de intrare care au valoarea 1. Deci circuitul poate fi folosit ca detector de paritate (imparitate) pentru 4 variabile de intrare.

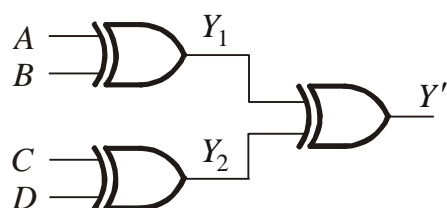


Fig.1 Detector de paritate de 4 biți.

Tab.1 Tabelul de adevăr pentru detectorul de paritate de 4 biți.

	A	B	C	D	Y_1	Y_2	Y'		A	B	C	D	Y_1	Y_2	Y'
0	0	0	0	0	0	0	0	8	1	0	0	0	1	0	1
1	0	0	0	1	0	1	1	9	1	0	0	1	1	1	0
2	0	0	1	0	0	1	1	10	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	11	1	0	1	1	1	0	1
4	0	1	0	0	1	0	1	12	1	1	0	0	0	0	0
5	0	1	0	1	1	1	0	13	1	1	0	1	0	1	1
6	0	1	1	0	1	1	0	14	1	1	1	0	0	1	1
7	0	1	1	1	1	0	1	15	1	1	1	1	0	0	0

Un detector de paritate (imparitate) pentru 8 variabile de intrare se poate obține folosind două circuite identice cu cel din figura 1 și aplicând ieșirile Y' și Y'' ale acestora la intrările unei porți SAU-EXCLUSIV. La ieșirea porții se obține funcția Y egală cu 1 în caz de imparitate și nulă în caz de paritate. Prin dublarea circuitului astfel obținut și atașarea a încă unei porți, se obține un detector de paritate (imparitate) pentru 16 biți, ș.a.m.d.

Introducerea unei noi porți SAU-EXCLUSIV la ieșirea schemei din figura 1, împreună cu comanda P (v. fig. 2), asigură pe ieșirea Y nivel logic 1 sau 0, în funcție de numărul unităților din cuvântul de cod și de comanda P aplicată, după cum urmează:

- pentru $P = 0$, $Y = Y'$ și circuitul este un generator de paritate (pe ieșirea Y apare nivel logic 1 dacă numărul unităților din cuvântul de intrare este impar);
- pentru $P = 1$, $Y = \overline{Y'}$ și circuitul este un generator de imparitate (pe ieșirea Y apare nivel logic 1 când numărul de unități din cuvântul de intrare este par).

Acest generator de paritate/imparitate (realizat conform schemei din figura 2) este folosit la calcularea valorii bitului de paritate ce se adaugă biților informaționali în codul mesajului transmis la stația de emisie.

Bitul de paritate este folosit ca bit redundant în realizarea codului detector de erori de transmisie (așa numitul cod cu bit de paritate). Variabilei P i se dau, așa cum s-a menționat, două valori: $P = 0$, în cazul folosirii criteriului de paritate pară și $P = 1$, în cazul folosirii criteriului de paritate impară.

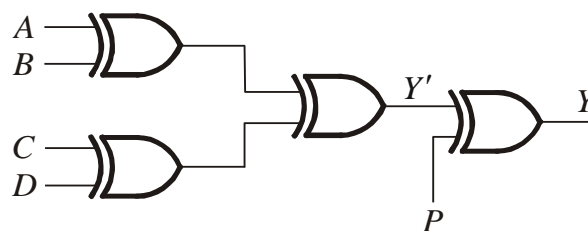


Fig 2 Schema logică a unui generator de paritate.

În cazul criteriului de paritate pară, bitul de paritate (variabila Y din schemă) ia valoarea:

$$Y = Y' \oplus P = Y' \oplus 0 = \begin{cases} 0, & \text{dacă numărul biților informaționali 1 este par (} Y' = 0 \text{),} \\ 1, & \text{dacă numărul biților informaționali 1 este impar (} Y' = 1 \text{),} \end{cases}$$

În cazul criteriului de paritate impară, bitul de paritate (variabila Y din schemă) ia valoarea:

$$Y = Y' \oplus P = Y' \oplus 1 = \begin{cases} 1, & \text{dacă numărul biților informaționali 1 este par (} Y' = 0 \text{),} \\ 0, & \text{dacă numărul biților informaționali 1 este impar (} Y' = 1 \text{),} \end{cases}$$

Un exemplu de utilizare a circuitului logic din figura 2, făcând uz de dubla sa funcție, la detectarea erorilor de transmisie a informației binare, este prezentat în figura 3.

Circuitul I funcționează, la locul de emisie al informației (E), ca generator de paritate, furnizând la ieșirea Y_E un bit de paritate, de valoare 1 în toate cazurile în care numărul variabilelor de intrare (A, B, C, D) care au valoarea logică 1 este impar și de valoare 0 în cazul în care acest număr este par (schema aplică criteriul parității pare). Bitul de paritate este apoi încorporat în codul transmis, pe poziția c.m.p.s. din cod. Cuvântul de cod obținut va avea un număr par de biți egali cu 1.

La punctul de recepție (R) cei cinci biți ai cuvântului recepționat sunt introduși în circuitul II, care de această dată funcționează ca un detector de paritate, validând sau nu, prin bitul său de paritate, recepționarea cuvântului de cod. Pentru transmisia fără erori $Y_R = 0$, iar apariția unei erori de transmitere care produce modificarea parității este semnalizată prin $Y_R = 1$.

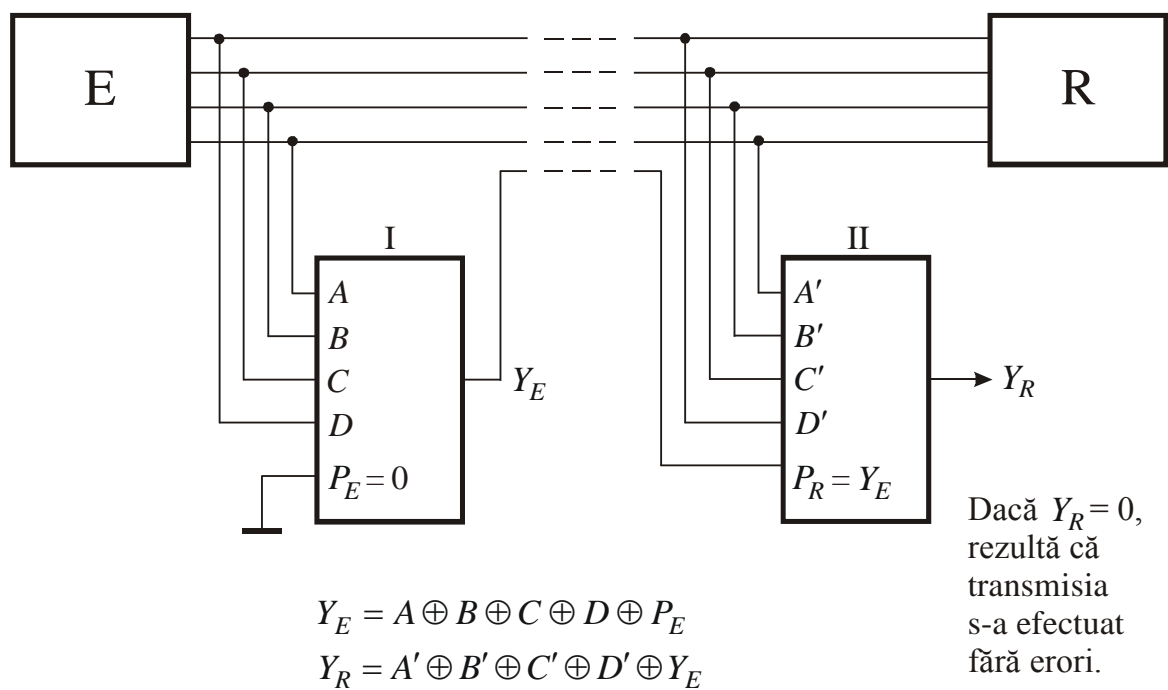


Fig 3 Lanț de transmisie a informației binare cu verificare de paritate.