

## 5.4. Familia CMOS

Tehnologia MOS în care sunt realizate majoritatea circuitelor integrate digitale are următoarele avantaje asupra tehnologiei bipolare:

- Densitate de integrare mult mai mare;
- Consum foarte mic în repaus sau la frecvențe joase;
- Impedanțe (rezistente) de intrare foarte mari, comandă în tensiune;
- Structură mai simplă de realizat tehnologic și de aici preț mai mic.

Dezavantajele principale sunt:

- Viteza de lucru mai mică;
- Sensibilitate la încărcare cu sarcină statică rezultată din manipularea circuitelor.

Ca și în cazul circuitelor în tehnologie bipolară, și în tehnologia MOS s-au dezvoltat în timp mai multe familii de circuite integrate digitale.

Primele au fost PMOS și NMOS, realizate cu tranzistoare de același tip, cu canal P în cazul familiei PMOS, cu canal N în cazul familiei NMOS. Acestea au fost destul de repede înlocuite de familia CMOS, realizată cu tranzistoare complementare, adică tranzistoare cu canal P și cu canal N cu performanțe cât mai apropiate.

Caracteristicile grafice pentru tranzistoarele MOS sunt reamintite prin figurile 5.36.a și 5.36.b.

În 5.36.a este caracteristica de intrare, care dă variația curentului principal prin tranzistor,  $I_D$ , funcție de tensiunea de intrare,  $U_I$ . Tranzistorul se deschide doar la o tensiune de prag (threshold)  $U_T$  care pentru familia CMOS este în jur de 1,5V iar curentul crește cu o variație de formă pătratică.

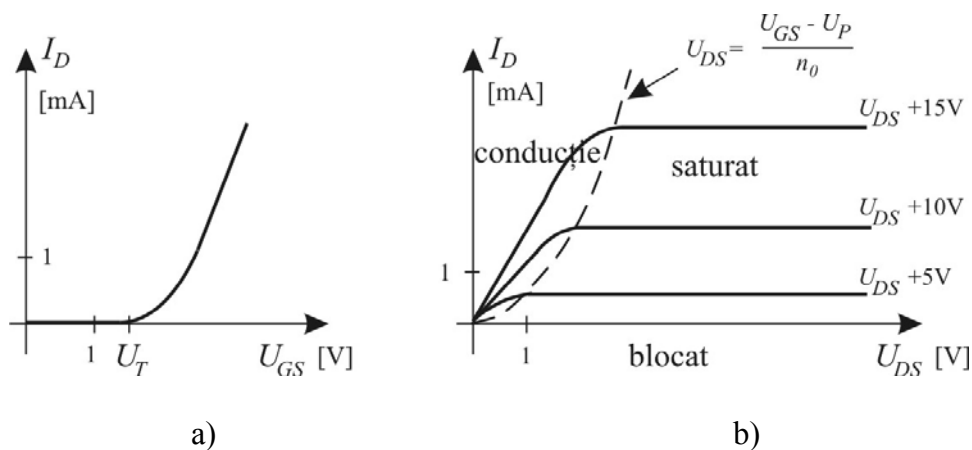


Fig. 5.36. Caracteristici grafice ale tranzistorului MOS

În 5.36.b este caracteristica de ieșire, care dă variația curentului principal prin tranzistor,  $I_D$ , funcție de tensiunea de ieșire,  $U_{DS}$ .

În acest caz tranzistorul are trei zone de funcționare.

Prima, când tensiunea de grilă este mai mică decât tensiunea de prag, și tranzistorul este blocat.

A doua, când tensiunea de grilă este mai mare decât tensiunea de prag dar tensiunea de drena este mai mică decât:

$$U_{DS} = \frac{U_{GS} - U_P}{n_0} \quad (5.x)$$

și tranzistorul este în conducție, unde se comportă ca o rezistență care depinde de tensiunea de grilă. În această zonă tranzistorul MOS este utilizat ca rezistență comandată în tensiune. Constanta  $n_0$  este mai mare decât unu, pentru familia CMOS fiind în jurul valorii de 1,6.

A treia, când tensiunea de grilă este mai mare decât tensiunea de prag iar tensiunea de drena este mai mare decât valoarea corespunzătoare relației 5.x. și tranzistorul este în zona de saturație, unde se comportă ca un generator de curent constant, comandat de tensiunea drena-sursă,  $U_{DS}$ .

#### 5.4.1. Poarta fundamentală NU (inversoare)

Circuitele CMOS cuprind perechi complementare de tranzistoare MOS, cu electrodul de comandă (grila) comun, comandate astfel simultan în așa fel încât atunci când unul este deschis celălalt este blocat și invers. Tranzistorul cu canal N este cu sursa la masă iar cel cu canal P este cu sursa la  $+E_{CC}$ .

Circuitele nu au rezistențe, care ocupă multă suprafață în circuitele integrate.

Fiecare din cele două tranzistoare se comportă ca un comutator comandat în tensiune.

Pentru tranzistorul cu canal N din figura 5.36 este prezentată schema (5.37.a), schema echivalentă simplificată (5.37.b), și modul cum depinde curentul prin tranzistor de tensiunile de grilă și de drenă (5.37.c).

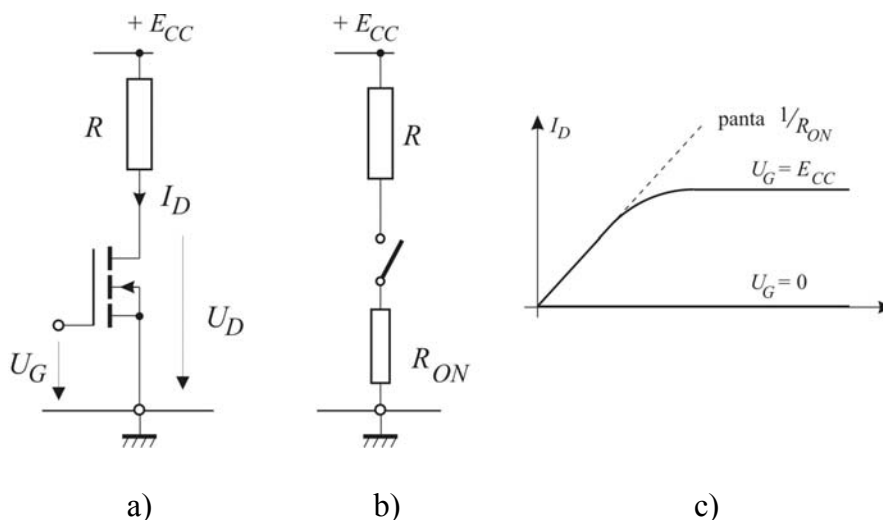


Fig. 5.37. Comutator cu MOS cu canal N

Pentru nivel 0 la intrare,  $U_G = 0$  sau de fapt mai mică decât  $U_T$  contactul este desfăcut, curentul este 0 și tensiunea de drenă este  $+E_{CC}$ , adică nivel logic 1.

Pentru nivel 1 la intrare,  $U_G = +E_{CC}$ , contactul este făcut, există un curent prin  $R$  și dacă  $R_{ON}$  este mult mai mic decât  $R$ , cazul obișnuit, tensiunea de drenă este foarte aproape de nivelul de zero, adică nivel logic 0.

Pentru tranzistorul cu canal P este prezentată schema (5.38.a), schema echivalentă simplificată (5.39.b), și modul cum depinde curentul prin tranzistor de tensiunile de grilă și de drenă (5.39.c).

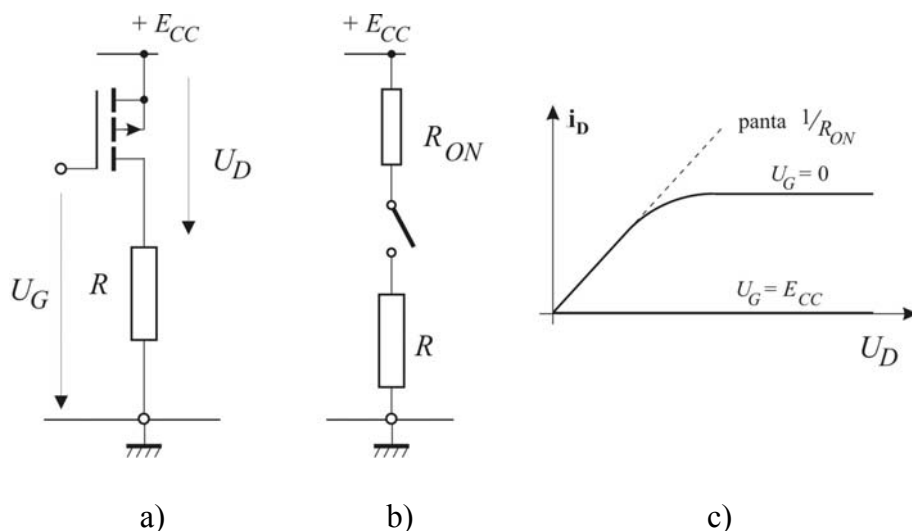


Fig. 5.38. Comutator cu MOS cu canal P

Pentru nivel 1 la intrare,  $U_G = +E_{CC}$  contactul este desfăcut, curentul este 0 și tensiunea de sursă este mică, adică nivel logic 1.

Pentru nivel 0 la intrare,  $U_G = 0$ , contactul este făcut, există un curent prin  $R$  și dacă  $R_{ON}$  este mult mai mic decât  $R$ , cazul obișnuit, tensiunea de drenă este foarte aproape de  $+E_{CC}$ , adică nivel logic 1.

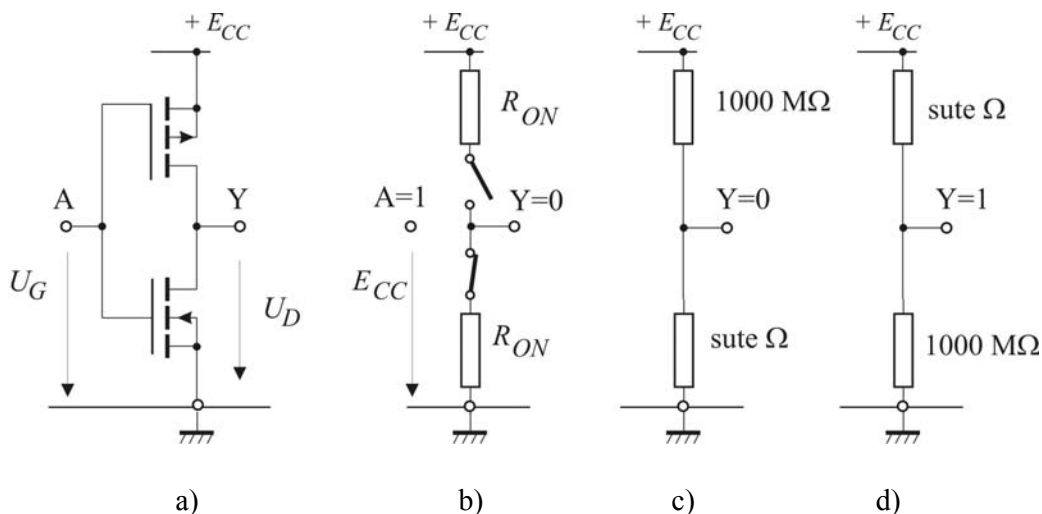


Fig. 5.40. Poarta NU, inversoare, CMOS

Poarta fundamentală CMOS este poarta NU, inversoare, formată cu ambele tranzistoare, NMOS, cu drena la masă și CMOS cu drena la sursa de alimentare  $+E_{CC}$  cu grilele conectate (figura 5.40)

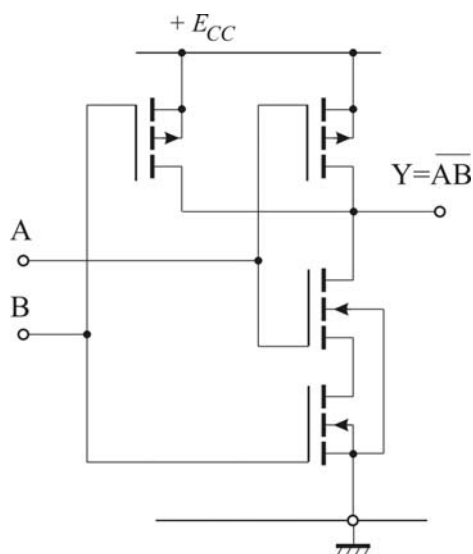


Fig. 5.41. Poarta SI-NU, CMOS

În figura 5.40.a este schema circuitului, în 5.40.b schema echivalentă simplificată pentru cazul în care la intrare nivelul logic este 1, în 5.40.c schema echivalentă cu valorile rezistențelor echivalente nivelului logic de ieșire 0 iar în 5.40.d schema echivalentă cu valorile rezistențelor echivalente nivelului logic de ieșire 1. Prin diferența enormă dintre rezistențe rezultă că nivelele de tensiune corespunzătoare valorilor logice 1 și 0 sunt aproape ideale.

Prin combinații în care apar tranzistoare serie sau paralel, dar păstrând combinația de la poarta NU se obțin diverse funcții. Un exemplu este poarta SI-NU, figura 5.41. Baza (substratul) fiecărui tranzistor se leagă la una dintre linile de alimentare, masa sau minusul sursei pentru tranzistoarele cu

canal N, plusul sursei pentru tranzistoarele cu canal P.

Se poate evalua relativ simplu funcționarea acestei porți. Indiferent dacă ambele sau una dintre intrările A și B este la nivel coborât, 0, cel puțin unul dintre tranzistoarele paralel cu canal P de sus este deschis, rezistența dintre ieșire și plusul sursei este mică. În același timp cel puțin unul dintre tranzistoarele serie cu canal P de sus este închis și rezistența dintre ieșire și minusul sursei este mare. Suntem în cazul din figura 5.x.d și deci Y este 1. Doar cu ambele A și B la nivel 1 avem situația opusă și deci Y este 0.

#### 5.4.2. Parametri și caracteristici ale familiei CMOS

Caracteristica de transfer  $U_O(U_I)$  poate da o privire de ansamblu asupra funcționării circuitului (figura 5.42.a).

Dacă tensiunea de intrare este sub  $U_T$ , 1,5V suntem în cazul 5.40.d și ieșirea este la nivel ridicat, porțiunea A-B a curbei.

După aceasta valoare  $T_1$  intră în conducție și este inițial o rezistență care-și micșorează valoarea, porțiunea B-C a curbei, în timp ce  $T_2$  este deschis la saturație

Dacă tensiunea de intrare ajunge la jumătatea sursei de alimentare atunci variația la ieșire este foarte accentuată, porțiunea C-D a curbei.

Dacă tensiunea crește în continuare situația se schimbă invers ca până atunci, tranzistoarele schimbând rolurile între ele.

Variația curentului principal prin poartă este prezentată în figura 5.42.b. Acesta crește conform figurii 5.36.a până când tensiunea de intrare ajunge la jumătatea sursei de alimentare, după care scade după aceeași formă, tranzistoarele schimbând rolurile.

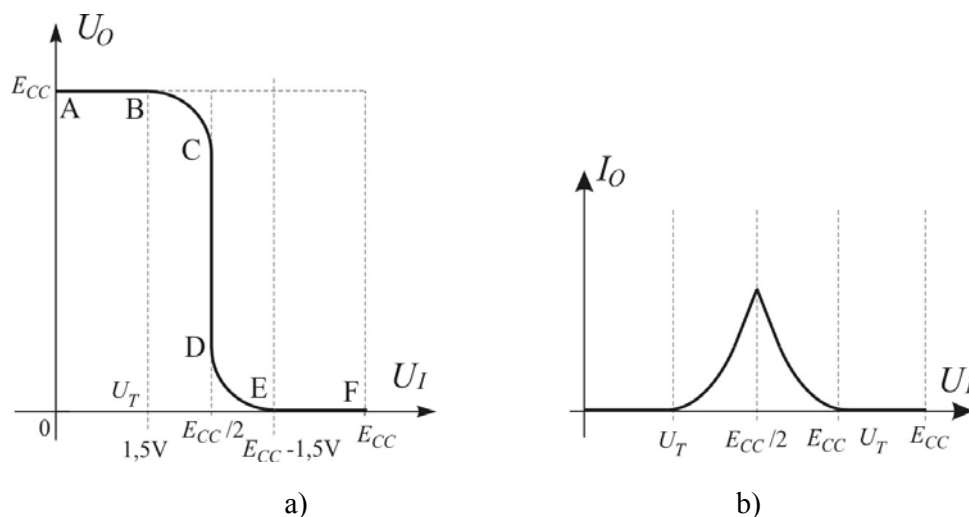


Fig. 5.42. Caracteristicile grafice de transfer și de **iesire** pentru CMOS

Forma caracteristicilor se păstrează pentru o plajă largă de tensiuni (figura 5.43).

Pentru caracteristica de transfer  $U_O(U_I)$  cu cât tensiunea de alimentare este mai mare racordarea B-C (și D-E) este mai largă (figura 5.43.a). Faptul ca tranzistoarele se deschid la 1,5V face ca minimul tensiunii de alimentare să fie 3V, situație în care tranziția nivelelor este bruscă.

Variația curentului principal prin poartă pentru două tensiuni de alimentare este prezentată în figura 5.43.b. Se observă că valoarea maximă a curentului crește mult cu  $E_{CC}$ . Se mai observă că există curent doar pe perioada de tranziție. Din acest motiv consumul de putere pe poarta CMOS depinde mult de frecvența de funcționare.

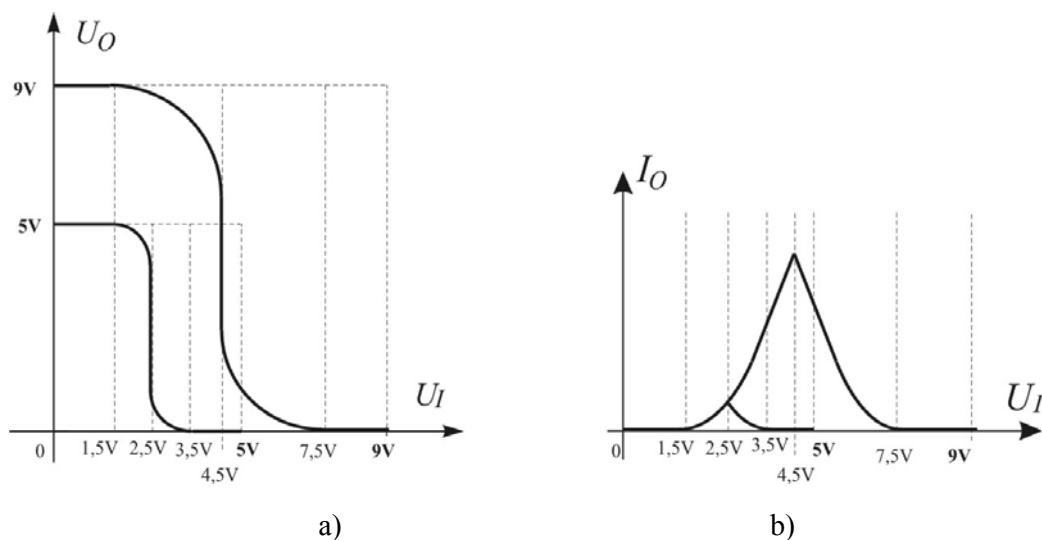


Fig. 5.43. Caracteristicile grafice de transfer și de iesire ale CMOS pentru două tensiuni de alimentare

Parametrii principali ai familiei CMOS:

- Tensiunea de alimentare variabilă: 3...18V (mai utilizat fiind spatiul 4,5...15V);
- Nivelele de tensiune garantate sunt practic ideale pentru ieșire (se presupune ca sarcina este reprezentată tot de porți MOS care au rezistența de intrare de ordinul mii  $M\Omega$ ) după cum rezultă prin evaluarea divizorului rezistiv din figura 5.x.c,d;
- Nivelele de tensiune garantate pentru intrare variază cu tensiunea de alimentare. Ele sunt garantate la 30% ( $U_{ILmax}$ ) și 70% ( $U_{IHmin}$ ) din  $E_{CC}$ ;
- Marginea de zgomot garantată este 30% din  $E_{CC}$ ;
- Curenții sunt practic zero (se presupune ca sarcina este reprezentată tot de porți MOS care au rezistența de intrare de ordinul mii  $M\Omega$ ); Dacă sarcina este diferită, atunci se poate calcula curentul dacă se cunoaște  $R_{ON}$  pentru cele două stări.  $R_{ON}$  diferă de la circuit la circuit, el fiind cuprins între valorile 60..600 $\Omega$ .
- Curentul maxim al unei porți se poate deduce deasemenea dacă se știu valorile  $R_{ON}$ ; acesta este de ordinul mA;
- Fan out – 50;
- Fan-in – 8;
- Timpul de propagare este de 30 ns. Acesta scade dacă tensiunea de alimentare crește (figura 5.x. și explicațiile);
- Puterea pe poartă depinde decisiv de frecvența de lucru și de tensiunea de alimentare. Pentru 5V ea este 1 $\mu$ W/kHz

Un regim tranzitoriu tipic pentru o poartă CMOS este prezentat în figura 5.44. El este similar regimului tranzitoriu al unui circuit RC deoarece la ieșire poarta CMOS se comporta așa, esențială fiind capacitatea parazită de la ieșirea porții, figurată punctat.

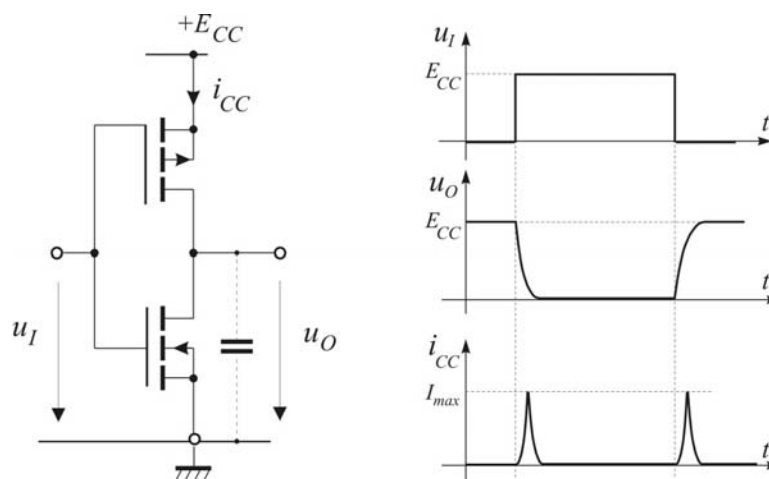


Fig. 5.44. Regim tranzitoriu tipic pentru o poartă CMOS

Forma în timp a curentului  $i_{CC}$  absorbit de la sursa de alimentare, prezent cu valori semnificative doar pe durata tranzițiilor, spune, cum s-a precizat anterior, că frecvența tranzițiilor determină valoarea medie a curentului absorbit de poartă și deci și puterea pe poartă,

### 5.4.3. Poarta de transmisie (comutatorul) CMOS

Poarta de transmisie CMOS este un al doilea tip de circuit fundamental CMOS, care are utilizări multiple. În esență o poartă permite sau nu transmisia unui semnal de tensiune de la o intrare la o ieșire.

Schema este prezentată în figura 5.45.

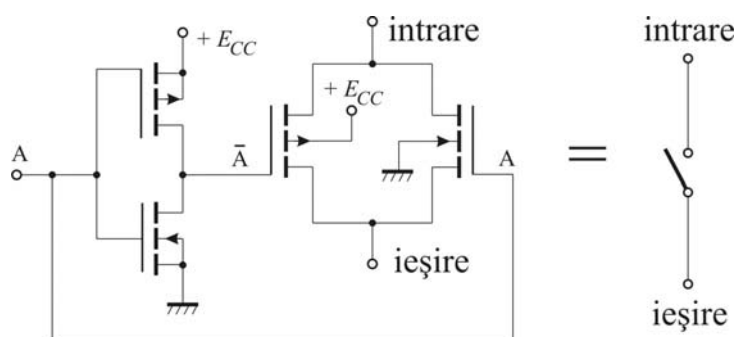


Fig. 5.45. Poartă de transmisie CMOS

Poarta este formată din două tranzistoare complementare care sunt atacate cu semnale opuse, A și  $\bar{A}$ . Semnalele de comandă ale porții sunt semnalul de intrare și cel de ieșire ale unui inversor cu CMOS.

Tranzistoarele porții de transmisie pot avea bazele (substratul) alimentate la  $+E_{CC}$  și masă și ca în figura 5.45 iar în acest caz semnalul ce poate fi transmis trebuie să aibă valoarea între  $+E_{CC}$  și 0 (cazul obișnuit al semnalelor digitale) dar ele pot fi alimentate și de la două surse de tensiune opusă,  $+E_{CC}$  și  $-E_{CC}$  caz în care semnalul poate avea atât valori pozitive cât și negative (adeseori cazul semnalelor analogice).

Dacă semnalul de comandă A este 0 atunci cele două tranzistoare ale porții sunt deschise și poarta este echivalentă cu o rezistență foarte mică între intrare și ieșire, contactul este făcut.

Dacă semnalul de comandă A este 1 atunci cele două tranzistoare ale porții sunt

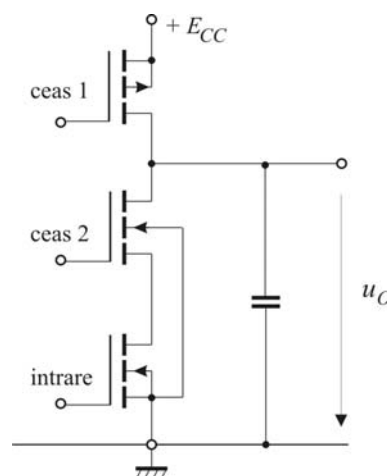


Fig. 5.46. Poartă inversoare dinamică CMOS

blocate și poarta este echivalentă cu o rezistență foarte mare între intrare și ieșire, contactul este desfăcut.

#### 5.4.4. Circuite CMOS dinamice

Până acum circuitele CMOS prezentate sunt considerate circuite CMOS statice. Funcționarea lor depinde în întregime de nivelele semnalelor la intrările de date.

O a doua categorie sunt porțile CMOS dinamice. Schema unui inversor dinamic CMOS este prezentată în figura 5.46.

Ele în esență au semnalul de ieșire stocat temporar într-un condensator existent la ieșirea porților. Acesta este obișnuit chiar capacitatea parazită de la ieșirea unui tranzistor MOS. O a doua particularitate este că aceste circuite utilizează două semnale de ceas, semnale succesive care sunt astfel realizate (figura 5.47) încât atunci când unul este 1 celălalt să fie 0, la care se adaugă suplimentar un interval între cele două semnale 1 în care nivelul să fie 0,  $t_x-t_y$  și  $t_{x'}-t_{y'}$ .

Semnalul de ieșire este citit sincron cu ceasul 2 în momentele  $t_1$ ,  $t_2$ ,  $t_3$  pentru figura 5.x și se observă că el este opusul semnalului de intrare, poarta fiind inversoare.

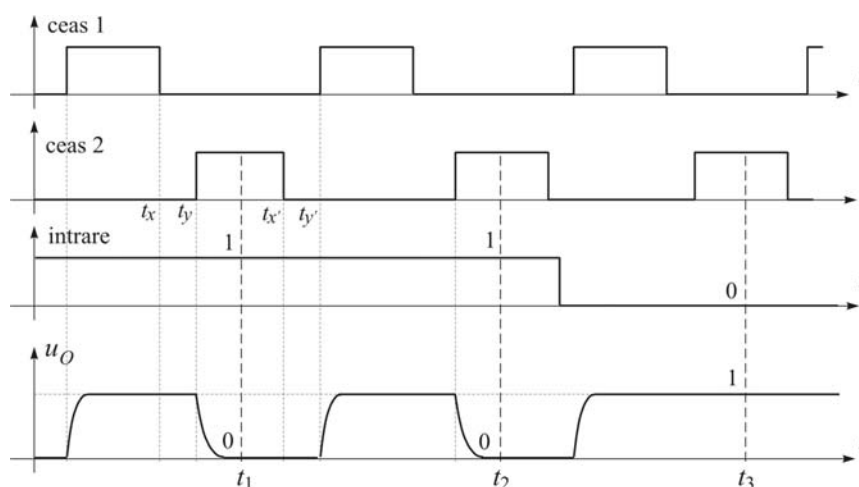


Fig. 5.47. Forma mărimilor pentru inversorul dinamic CMOS

#### 5.4.5. Familii de circuite CMOS

Familia de circuite integrate CMOS standard are tipul circuitelor notat prin cifrele 4xxx.

Familia este depășită și nu se mai utilizează în proiecte noi, subfamiliile cele mai folosite fiind prezentate în tabelul 5.2. 74C semnifică CMOS echivalent ca așezare a pinilor cu familia TTL iar xx sunt două cifre care dau tipul de circuit. S-au dezvoltat subfamiliile rapide (H), avansate (Advanced, A), compatibile TTL (T) de mare viteză (Fast, F) sau cu tensiuni de alimentare mai mici, (LV – Low Voltage) de exemplu 3,3V.



Tabel 5.2. Familii CMOS

CMOS standard	4000 (MMC4xxx-românești)
CMOS echivalent pin cu pin TTL	74Cxx
CMOS rapidă	74HCxx
CMOS rapidă; compatibilă TTL	74HCTxx
CMOS avansată	74ACxx
CMOS avansată; compatibilă TTL	74ACTxx
CMOS tensiune joasă (3,3V)	74LVCxx
CMOS ultrarapidă; compatibilă TTL	74FCTxx