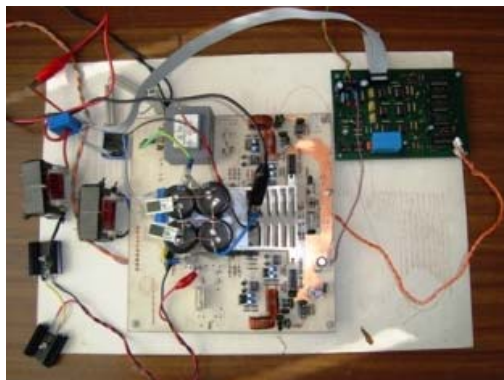




INSTITUTO SUPERIOR TÉCNICO  
Universidade Técnica de Lisboa



## **Conversor DC-AC de um só andar para sistemas fotovoltaicos**

**André Filipe Coelho Pinto**

Dissertação para obtenção do Grau de Mestre em  
**Engenharia Electrónica**

### **Júri**

Presidente:	Prof. Moisés Simões Piedade
Orientador:	Prof <sup>a</sup> . Maria Beatriz Mendes Batalha Vieira Vieira Borges
Co-orientador:	Eng. Hugo Eduardo dos Santos Ribeiro
Vogal:	Prof <sup>a</sup> . Sónia Maria Nunes dos Santos Paulo Ferreira Pinto

**Outubro 2009**



# Agradecimentos

Agradeço à Prof<sup>a</sup>. Beatriz Borges e ao Eng. Hugo Ribeiro por tudo o que me ensinaram e por todo o apoio durante este projecto. Agradeço a todos os meus colegas de curso, à Andreia Otão pela compreensão nos momentos difíceis, ao Daniel Almeida que me aturou durante estes últimos meses, e aos restantes, Diogo Carvalho, Bruno Gomes, Luís Mendes, João Vicente, José Santos, José Boavida, Luís Rosado, Ricardo Cunha, Grisha Tulcidas, e Raul Silva. Agradeço também aos novos amigos que fiz na Alameda, Pedro, Leandro, Marco, Mohamed, Eng. Hugo Marques, e Eng. Rui, por estarem sempre prontos a ajudar. Agradeço também ao Prof. Moisés Piedade e ao Sr. Pina dos Santos por toda a ajuda durante o curso. Agradeço aos meus pais, Maria Fernanda Pinto, e Daciano Pinto, e a toda a minha família por todo o apoio e força que sempre me deram. Por fim, agradeço a disponibilização dos meios por parte do Instituto de Telecomunicações para o teste do conversor, e por parte dos laboratórios do IST-Taguspark para o fabrico da PCB.

Muito obrigado a todos.



# Resumo

A energia fotovoltaica é uma fonte de energia renovável, que tem ganho relevância nos últimos anos, criando a necessidade de se conceberem conversores electrónicos de potência para sistemas fotovoltaicos com maior rendimento. Neste trabalho é apresentado um conversor DC-AC que junta um conversor DC-DC e um inversor numa topologia de um só andar. Este conversor baseia-se num inversor em ponte completa com tensão de saída a três níveis, ao qual são adicionados dois díodos e uma bobine para poder formar um conversor *Boost*. O funcionamento deste último está dependente do funcionamento do inversor, sendo controlado nos zeros da tensão de saída do inversor. O conversor de um só andar tem de funcionar em equilíbrio energético, tentando igualar as potências na entrada e na saída. O sistema de controlo deste conversor é baseado num controlo histerético da corrente injectada na rede e da corrente pedida ao painel fotovoltaico, e num controlador que estabiliza a tensão do condensador do inversor, de modo a manter o conversor em equilíbrio energético. Foi efectuado um protótipo do conversor, verificando-se o seu funcionamento.

Palavras-chave:

Conversor Electrónico de Potência, Sistema Fotovoltaico, Conversor DC-AC de um só Andar, Inversor em Ponte Completa, Conversor *Boost*, Controlo Histerético.



# Abstract

Photovoltaic energy is a renewable energy source, which has gained importance in the last years, creating the need to design power electronic converters for photovoltaic systems with higher efficiency. This work presents a DC-AC converter that joins a DC-DC converter and an inverter in a single-stage topology. This converter is based on a full-bridge inverter with three level output voltage, where two diodes and one inductor have been added in order to create a *Boost* converter. The operation of the latter is dependent of the inverter operation, being controlled in the zeros of inverter output voltage. The single-stage converter has to operate in energy balance, trying to match the power input and output. The control system of this converter is based on a hysteretic control of the grid injected current and current required from the photovoltaic panel, and on a controller that stabilize the capacitor voltage of the inverter, in order to keep the energy balance in the converter. It was made a prototype of the converter, verifying its operation.

Keywords:

Power Electronic Converter, Photovoltaic System, Single-Stage DC-AC converter, Full-Bridge Inverter, Boost Converter, Hysteretic Control.





# Índice

Agradecimentos.....	I
Resumo .....	III
Abstract .....	V
Índice .....	VII
Lista de Abreviaturas.....	XI
Lista de Figuras.....	XIII
Lista de Tabelas .....	XVII
Capítulo 1 - Introdução.....	1
1.1 Motivação .....	1
1.2 Objectivos.....	2
1.3 Organização da Dissertação .....	2
Capítulo 2 - Conceitos Teóricos e Topologias de Conversores para Sistemas Fotovoltaicos .....	3
2.1 Introdução.....	3
2.2 Elementos Constituintes de um Sistema Fotovoltaico .....	3
2.3 Classificação das Topologias.....	4
2.3.1 Número de andares.....	4
2.3.2 Transformador .....	5
2.3.3 Número de níveis da tensão de saída do inversor .....	5
2.4 Topologias Existentes na Literatura .....	6
2.5 Conclusões.....	8
Capítulo 3 - Conversor DC-AC de um só Andar para Sistemas Fotovoltaicos.....	9
3.1 Introdução.....	9
3.2 Topologia.....	9
3.2.1 Inversor.....	10
3.2.2 Conversor DC-DC .....	15
3.2.3 Conversor de um só andar.....	18

3.2.4 Dimensionamento .....	21
3.3 Sistema de Controlo .....	24
3.3.1 Sistema de controlo das correntes $i_{LR}$ e $i_{LP}$ .....	25
3.3.2 Sistema de controlo da tensão $v_{CF}$ .....	29
3.4 Conclusões .....	43
Capítulo 4 - Circuito de Controlo e de Potência – <i>Hardware</i> .....	45
4.1 Introdução .....	45
4.2 Circuito de Controlo .....	45
4.2.1 Circuito de ataque às portas dos transístores .....	46
4.2.2 Circuito para efectuar o controlo histerético .....	47
4.2.3 Circuito para efectuar o controlo de $v_{CF}$ .....	51
4.2.4 Circuito de segurança de $v_{CF}$ .....	54
4.3 Circuito de Potência .....	55
4.4 Conclusões .....	56
Capítulo 5 - Simulação e Resultados Experimentais .....	57
5.1 Introdução .....	57
5.2 Resultados da Simulação .....	57
5.2.1 Tempos mortos entre os sinais das portas dos transístores. ....	57
5.2.2 Corrente injectada na rede com a tensão $v_{CF}$ estabilizada em 500V .....	59
5.2.3 Corrente injectada na rede com $C_F$ a carregar. ....	60
5.3 Resultados Experimentais .....	63
5.3.1 Tempos mortos entre os sinais das portas dos transístores. ....	63
5.3.2 Corrente injectada na rede apenas com o inversor a funcionar. ....	64
5.3.3 Corrente injectada na rede com $C_F$ a carregar. ....	66
5.3.4 Rendimento do conversor. ....	69
Capítulo 6 - Conclusões e Trabalho Futuro .....	71
6.1 Conclusões .....	71
6.2 Trabalho Futuro .....	72
Referências .....	73
Anexo A - Esquema eléctrico do circuito de controlo .....	75

Anexo B - PCB .....	79
Anexo C - Material utilizado e custo.....	81
Anexo D - Dimensionamento de bobines.....	83



# Lista de Abreviaturas

DC – *Direct current* (corrente continua)

AC – Alternate current (corrente alternada)

PV – Photovoltaics (fotovoltaico)

PCB – Printed Circuit Board (placa de circuito impresso)

THD – Total Harmonic Distortion (Taxa de distorção harmónica)



# Lista de Figuras

Fig. 2.1 – Esquema de um sistema fotovoltaico. ....	3
Fig. 2.2 – Ilustração da injeção da corrente do conversor DC-AC na rede eléctrica. ....	4
Fig. 2.3 - Sistema fotovoltaico: a) conversor de um só andar, b) conversor de dois andares.....	4
Fig. 2.4 – Topologias com transformador: a) e b) de alta frequência, c) à frequência da rede....	5
Fig. 2.5 – Tensões de saída do conversor DC-AC. (a) Tensão a dois níveis. (b) Tensão a três níveis. ....	6
Fig. 2.6 – Topologia em ponte completa a dois níveis.....	6
Fig. 2.7 – Topologia em meia ponte a três níveis com conversor <i>Boost</i> . ....	7
Fig. 2.8 – Topologia de conversor Flyback com conversor DC-AC em ponte.....	7
Fig. 2.9 – Topologia Sunny Boy 5000TL.....	8
Fig. 3.1 – Conversor DC-AC de um só andar para sistemas fotovoltaicos.....	10
Fig. 3.2 – Esquema do inversor em ponte completa a vermelho.....	10
Fig. 3.3 – Esquema do circuito no estado $s_{00}$ . ....	11
Fig. 3.4 – Diagramas temporais da tensão de saída do inversor, corrente na bobine e tensão da rede. ....	12
Fig. 3.5 – Esquema do circuito: a) no estado $s_{10}$ , b) no estado $s_{11}$ .....	13
Fig. 3.6 – Esquema do circuito no estado $s_{01}$ . ....	14
Fig. 3.7 – Esquema do conversor <i>Boost</i> a vermelho. ....	15
Fig. 3.8 – Esquema dos dois conversores <i>Boost</i> formados por esta topologia: a) primeiro conversor <i>Boost</i> , b) segundo conversor <i>Boost</i> . ....	16
Fig. 3.9 – Esquema do circuito do conversor <i>Boost</i> com T3 ligado.....	16
Fig. 3.10 – Diagramas temporais da tensão e corrente na bobine $L_p$ do conversor <i>Boost</i> , quando está a funcionar no modo de condução contínua. ....	17
Fig. 3.11 – Esquema do circuito do conversor <i>Boost</i> com T3 desligado. ....	17
Fig. 3.12 – Topologia equivalente à topologia em estudo. ....	19
Fig. 3.13 – Formas de onda da tensão no condensador $C_F$ e da rede eléctrica. ....	21
Fig. 3.14 – Representação de $f_{lmax}$ em função de $V_{Rede}$ (3.53). A vermelho para $V_{Rede} < v_{CF2}$ , e a azul para $V_{Rede} > v_{CF2}$ . ....	23

Fig. 3.15 – Esquema eléctrico do sistema de controlo do conversor. ....	25
Fig. 3.16 – Controlo histerético de $i_{LR}$ . ....	25
Fig. 3.17 – Diagrama temporal do valor Q consoante a corrente $i_{LR}$ e a sua referência. ....	26
Fig. 3.18 – Controlo histerético de $i_{LP}$ . ....	26
Fig. 3.19 – Diagrama temporal do valor B consoante a corrente $i_{LP}$ e a sua referência. ....	27
Fig. 3.20 – Controlo para obter o ciclo de onda da tensão da rede. ....	27
Fig. 3.21 – Mapas de Karnaugh para as funções de T1 e T2. ....	29
Fig. 3.22 – Circuito lógico de controlo dos transístores. ....	29
Fig. 3.23 – Esquema eléctrico do sistema de controlo da tensão no condensador $C_{F, w}$ . ....	30
Fig. 3.24 – Diagrama de blocos do sistema. ....	31
Fig. 3.25 – Diagrama de blocos do sistema com controlador proporcional. ....	31
Fig. 3.26 – <i>Root locus</i> do sistema em cadeia aberta. ....	32
Fig. 3.27 – Resposta no tempo do sistema com controlador proporcional, $k=10$ . ....	32
Fig. 3.28 – Resposta no tempo do sistema com controlador proporcional, $k=40$ . ....	33
Fig. 3.29 – Diagrama de blocos do sistema com controlador proporcional, com a perturbação de 100 Hz. ....	33
Fig. 3.30 – Resposta no tempo do sistema com controlador proporcional, $k=20$ e perturbação de 100 Hz. ....	34
Fig. 3.31 – Diagrama de bode do sistema em cadeia aberta com controlador proporcional, $k=20$ . ....	35
Fig. 3.32 – Diagrama de blocos do sistema com controlador proporcional e constante de tempo. ....	35
Fig. 3.33 – <i>Root locus</i> do sistema em cadeia aberta, com posicionamento do pólo a 8Hz. ....	36
Fig. 3.34 – Resposta no tempo do sistema com controlador proporcional e constante de tempo, $k=2,5$ . ....	37
Fig. 3.35 – Resposta no tempo do sistema com controlador proporcional e constante de tempo, $k=15$ . ....	38
Fig. 3.36 – Diagrama de blocos de um controlador proporcional integral. ....	39
Fig. 3.37 – Diagrama de blocos do sistema com controlador proporcional integral e constante de tempo. ....	39
Fig. 3.38 – <i>Root locus</i> do sistema em cadeia aberta, com o zero posicionado em 10 Hz. ....	40
Fig. 3.39 – <i>Root locus</i> do sistema em cadeia aberta, com o zero posicionado em 3,18 Hz. ....	40
Fig. 3.40 – <i>Root locus</i> do sistema em cadeia aberta, com o zero posicionado em 1,6 Hz. ....	41



Fig. 3.41 – <i>Root locus</i> do sistema em cadeia aberta, com o zero posicionado em 0,8Hz. ....	41
Fig. 3.42 – Resposta no tempo do sistema com controlador proporcional integral e constante de tempo.....	42
Fig. 3.43 – Diagrama de bode do sistema em cadeia aberta com controlador proporcional integral e constante de tempo.....	43
Fig. 4.1 – PCB do circuito de controlo.....	45
Fig. 4.2 – Circuito com atraso de tempo para evitar condução simultânea dos transístores. ....	46
Fig. 4.3 – Circuito equivalente para a situação em que $V_I=15\text{ V}$ . ....	46
Fig. 4.4 – Circuito equivalente para a situação em que $V_I=0\text{ V}$ . ....	47
Fig. 4.5 Circuito para retirar uma amostra da corrente $i_{LR}$ . ....	48
Fig. 4.6 – Circuito para retirar uma amostra da corrente $i_{LP}$ . ....	48
Fig. 4.7 – Circuito para retirar uma amostra da tensão da rede. ....	49
Fig. 4.8 – Comparador com histerese não inversor, a) circuito e b) característica. ....	49
Fig. 4.9 – Circuito de condicionamento do sinal de saída dos comparadores. ....	50
Fig. 4.10 – Circuito para retirar uma amostra da tensão $v_{CF}$ .....	51
Fig. 4.11 – Circuito do controlador proporcional integral com constante de tempo.....	52
Fig. 4.12 – Circuito de condicionamento do sinal de saída do controlador. ....	53
Fig. 4.13 – Circuito para obter a referência de corrente $i_{LR}$ . ....	54
Fig. 4.14 – Circuito de segurança. ....	55
Fig. 4.15 – Circuito de potência.....	56
Fig. 5.1 – Sinais das portas dos transístores: $V_{OT1}$ a azul, $V_{OT3}$ a vermelho. ....	58
Fig. 5.2 – Sinais das portas dos transístores: $V_{OT1}$ a azul, $V_{CT1}$ a verde, $V_{OT3}$ a vermelho, e $V_{CT3}$ a roxo.....	58
Fig. 5.3 – Sinal $i_{LR}$ a azul, e sinal $i_{LRref}$ a vermelho. ....	59
Fig. 5.4 – Sinal $i_{LR}$ a azul, e sinal $i_{LRref}$ a vermelho, e sinal $v_{AB}$ a roxo.....	60
Fig. 5.5 – Sinal $v_{CF}$ a vermelho, e sinal $V_{CTR}$ a azul. ....	61
Fig. 5.6 – Sinal $i_{LR}$ a azul, sinal $i_{LRref}$ a vermelho, e sinal $V_{Rede}$ a roxo. ....	62
Fig. 5.7 – Sinal $v_{Painel}$ a azul, e sinal $i_{LP}$ a verde. ....	62
Fig. 5.8 – Sinais das portas dos transístores: $V_{OT1}$ a azul e $V_{OT3}$ a vermelho. ....	63
Fig. 5.9 – Sinais das portas dos transístores: $V_{OT1}$ a azul e $V_{OT3}$ a vermelho. ....	64
Fig. 5.10 – Esquema eléctrico do circuito para testar o inversor. ....	64

Fig. 5.11 – Sinal $i_{LR}$ a azul 500 mA/div, e sinal $i_{LRref}$ a vermelho 500 mA/div.....	65
Fig. 5.12 – Sinal $i_{LR}$ a azul 1 A/div, sinal $i_{LRref}$ a vermelho 1 A/div, e sinal $v_{AB}$ a roxo 50 V/div. ..	65
Fig. 5.13 – Sinal $i_{LR}$ a azul 1 A/div, sinal $i_{LRref}$ a vermelho 1 A/div, e sinal $v_{AB}$ a roxo 50 V/div. ..	66
Fig. 5.14 – Esquema eléctrico do circuito para testar o conversor. ....	66
Fig. 5.15 – Sinal $i_{LR}$ a azul 1 A/div, e sinal $i_{LP}$ a verde 1 A/div.....	67
Fig. 5.16 – Sinal de tensão na carga a roxo 50 V/div. ....	68
Fig. 5.17 – Sinal $i_{LR}$ a azul 1 A/div, e sinal $v_{CF}$ a vermelho 100 V/div. ....	68
Fig. 5.18 – Gráfico do rendimento do conversor em função da potência de entrada.....	70
Fig. A.1 – Circuito de ataque às portas dos transístores. ....	75
Fig. A.2 – Circuito dos comparadores com histerese. ....	76
Fig. A.3 – Circuito do controlador da tensão no condensador e do sistema de segurança. ....	77
Fig. A.4 – Circuito de alimentação e das entradas. ....	78
Fig. A.5 – Circuito de controlo (camada superior).....	79
Fig. A.6 – Circuito de controlo (camada inferior).....	80

# Lista de Tabelas

Tabela 2.1 – Avaliação das cinco topologias de conversores. ....	8
Tabela 3.1 – Estados de funcionamento dos transístores do inversor em ponte completa. ....	11
Tabela 3.2 – Tabela com o dimensionamento da topologia. ....	24
Tabela 3.3 – Níveis lógicos das tensões das portas dos transístores. ....	28
Tabela 3.4 – Factor de amortecimento em função de $k$ . ....	37
Tabela 3.5 – Sobreelevação em função de $k$ . ....	38
Tabela 3.6 – Análise dos parâmetros do sistema conforme o posicionamento do zero. ....	42
Tabela 4.1 - Valores dos parâmetros do circuito de ataque às portas dos transístores. ....	47
Tabela 4.2 – Valores dos parâmetros para o circuito de controlo histerético. ....	51
Tabela 4.3 – Valores dos parâmetros para o circuito de controlo de $v_{CF}$ . ....	54
Tabela 4.4 – Valores dos parâmetros para o circuito de segurança de $v_{CF}$ . ....	55
Tabela 5.1 – Valor da THD da corrente $i_{LR}$ e do factor de potência do conversor. ....	69
Tabela 5.2 – Resultados dos ensaios para medir o rendimento do conversor. ....	69
Tabela A.1 – Material utilizado no projecto. ....	81



# Capítulo 1

## Introdução

### 1.1 Motivação

A importância da energia na vida quotidiana e o aumento do seu consumo, o aumento dos níveis de poluição, juntamente com a diminuição dos recursos da principal fonte de energia, o combustível fóssil, tem nos últimos anos levado a uma orientação para as energias renováveis. A favor das energias renováveis estão os factos de estas serem inesgotáveis na natureza, e terem um impacto ambiental reduzido, quando comparado com a energia proveniente de combustíveis fósseis. Contudo, existem algumas limitações, nomeadamente a indisponibilidade parcial dos recursos, ou seja, por exemplo o vento não é constante, a luz solar tem uma duração limitada e variável em cada período de 24 horas e as ondas do mar têm amplitudes diferentes.

A energia fotovoltaica é uma fonte de energia renovável, e tem ganho relevância nos últimos anos. A tecnologia fotovoltaica gera uma corrente quando a célula fotovoltaica é iluminada por fotões, contudo esta corrente é influenciada pela intensidade luminosa e a temperatura do ambiente. O rácio preço/rendimento dos sistemas fotovoltaicos é actualmente muito elevado, quando comparado com outras tecnologias de produção de energia eléctrica, tendo rendimentos perto de 6 % [1]. Este valor de rendimento deve-se essencialmente ao rendimento dos painéis fotovoltaicos. Para não diminuir ainda mais o rendimento destes sistemas é necessário que os conversores que entregam esta energia à rede eléctrica tenham um elevado rendimento. Para isso é preciso que estes conversores consigam extrair dos painéis PV a máxima potência, para posteriormente a entregarem à rede eléctrica.

A tecnologia fotovoltaica fornece uma corrente e uma tensão contínuas, pelo que para ligar à rede eléctrica, ou para uso doméstico, é necessário um conversor DC-AC, denominado também de inversor, para efectuar a conversão das grandezas contínuas para grandezas alternadas.

## 1.2 Objectivos

Pretende-se com esta dissertação desenvolver um controlo para um conversor de um só andar, que engloba um conversor DC-DC e um conversor DC-AC, para converter energia de um painel PV para a rede eléctrica monofásica. A execução do trabalho subentende que se analise o funcionamento do conversor, se efectue a simulação deste com o respectivo controlo, e posteriormente se desenvolva um protótipo do conversor e do controlo para retirar resultados experimentais.

## 1.3 Organização da Dissertação

Esta dissertação está organizada em seis capítulos. O primeiro capítulo contém a introdução, onde se descreve a motivação do trabalho, os objectivos gerais, e a organização da dissertação. O segundo capítulo descreve conceitos teóricos e refere quatro topologias de conversores para sistemas fotovoltaicos. No terceiro capítulo apresenta-se o conversor de um só andar utilizado no trabalho e efectua-se a sua análise conducente ao seu dimensionamento. Neste capítulo também se explica o controlo que vai ser implementado no conversor proposto. No quarto capítulo apresenta-se o circuito de controlo e o circuito de potência, e a sua implementação em *hardware*. O quinto capítulo contém os resultados de simulação e os resultados obtidos experimentalmente. O sexto e último capítulo apresenta as conclusões do trabalho desenvolvido, assim como as perspectivas de trabalho futuro.

## Capítulo 2

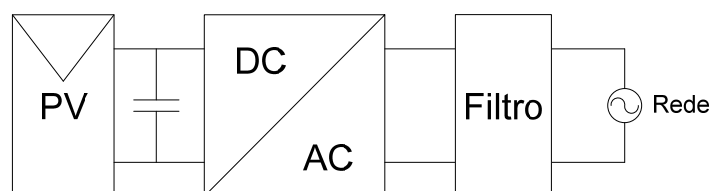
# Conceitos Teóricos e Topologias de Conversores para Sistemas Fotovoltaicos.

### 2.1 Introdução

Neste capítulo é apresentada uma visão geral sobre conversores para sistemas fotovoltaicos. Na secção 2.2 são descritos os elementos constituintes de um sistema fotovoltaico. A classificação das topologias de conversores é explicada na secção 2.3. Por fim na secção 2.4 é feita uma visão geral sobre quatro topologias de conversores para sistemas fotovoltaicos existentes na literatura.

### 2.2 Elementos Constituintes de um Sistema Fotovoltaico

Um sistema fotovoltaico é constituído por um painel fotovoltaico (PV), ou um conjunto de painéis PV, por um conversor DC-AC, denominado também de inversor, pelo filtro de saída, e pela rede eléctrica Fig. 2.1.



**Fig. 2.1 – Esquema de um sistema fotovoltaico.**

Na saída do painel é colocado um condensador para efectuar o desacoplamento energético entre o painel e o inversor. O inversor é necessário para inverter a tensão do painel PV, convertendo a tensão e corrente contínua em grandezas alternadas, para que seja possível a sua inserção na rede eléctrica. Para que o inversor injecte corrente na rede é necessário que a tensão média aos seus terminais seja superior ao valor da tensão da rede eléctrica, Fig. 2.2

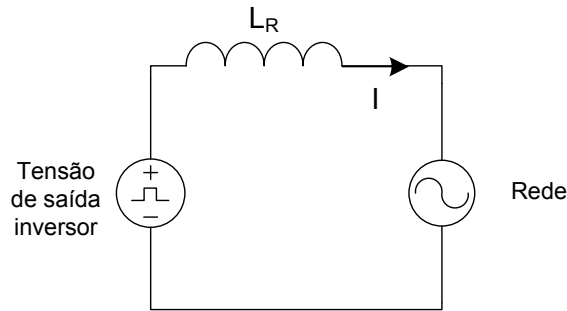


Fig. 2.2 – Ilustração da injeção da corrente do conversor DC-AC na rede eléctrica.

## 2.3 Classificação das Topologias

Na literatura existem várias topologias de conversores para sistemas fotovoltaicos. Estas são classificadas quanto ao número de andares, à utilização, ou não, de transformador, e ao número de níveis da tensão de saída do inversor.

### 2.3.1 Número de andares

As topologias podem ser classificadas quanto ao número de andares do conversor. Este pode ser de um andar Fig. 2.3(a), ou de dois andares Fig. 2.3(b). Se for de dois andares está implícito a utilização de um conversor DC-DC e de um inversor. O conversor DC-DC é utilizado em muitas topologias quando se pretende elevar o nível de tensão que é fornecida pelo painel PV. Este conversor pode ser retirado sempre que não seja necessária esta função.

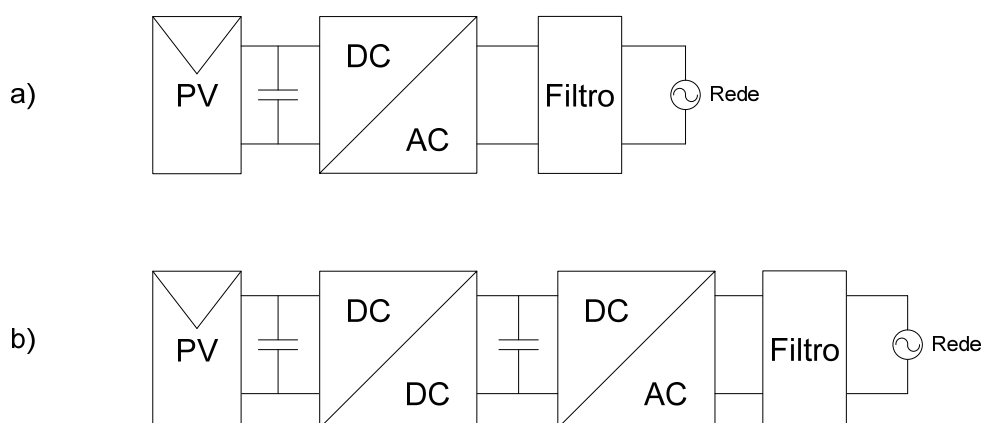


Fig. 2.3 - Sistema fotovoltaico: a) conversor de um só andar, b) conversor de dois andares.



### 2.3.2 Transformador

As topologias podem ser classificadas em topologias que utilizam transformador e topologias sem transformador. As primeiras têm a vantagem de poder amplificar a tensão no secundário e possuir isolamento galvânico. Destas topologias, algumas têm transformador inserido no conversor DC-DC Fig. 2.4 a), outras têm o transformador inserido no inversor Fig. 2.4 b) e ainda existem topologias que utilizam transformador para fazer a interligação entre o inversor e a rede eléctrica Fig. 2.4 c). Nas duas primeiras topologias é utilizado um transformador a funcionar a alta frequência. Na terceira topologia utiliza-se o transformador à frequência da rede (50 Hz), o que faz com que este seja volumoso, caro e tenha mais perdas. Quando o isolamento galvânico não é importante, utilizam-se topologias sem transformador, que conseguem ter maior rendimento e o seu fabrico torna-se mais económico.

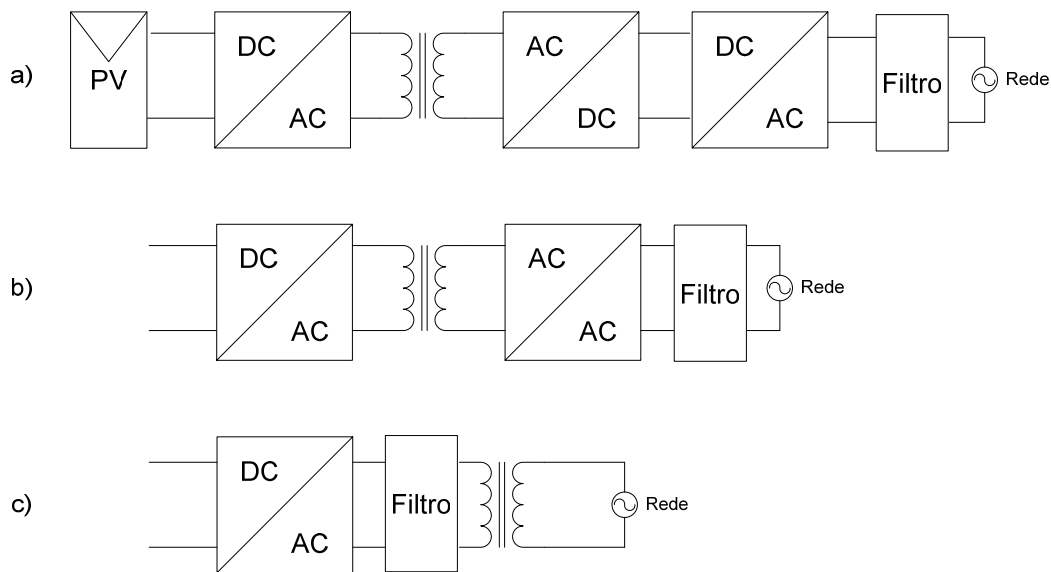


Fig. 2.4 – Topologias com transformador: a) e b) de alta frequência, c) à frequência da rede.

### 2.3.3 Número de níveis da tensão de saída do inversor

As topologias podem ser classificadas quanto ao número de níveis da tensão de saída do inversor. Esta tensão de saída pode ter apenas dois níveis, Fig. 2.5 a), ou ser uma tensão multi-nível, Fig. 2.5 b), quando a tensão de saída tem 3, ou 5, ou 7... níveis. Ao possuir um maior número de níveis a tensão de saída do inversor vai possuir uma distorção harmónica menor.

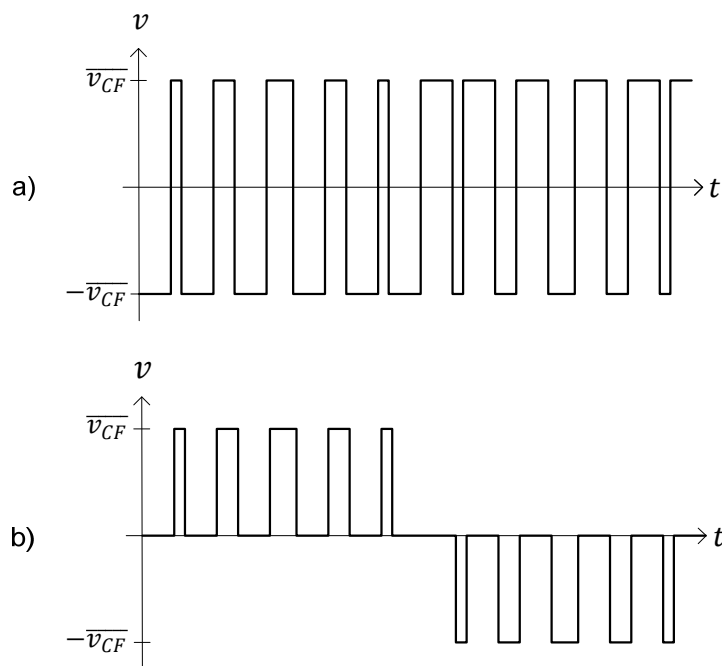


Fig. 2.5 – Tensões de saída do conversor DC-AC. (a) Tensão a dois níveis. (b) Tensão a três níveis.

## 2.4 Topologias Existentes na Literatura

A topologia representada na Fig. 2.6 [2], utiliza apenas o inversor em ponte completa, pois a tensão em  $C_P$  é suficientemente elevada para ser possível injectar corrente na rede. Esta é uma topologia clássica, em que a tensão de saída tem apenas dois níveis. O inconveniente é o facto de ter de utilizar bastantes painéis PV para que a tensão do conjunto atinja os 500 V.

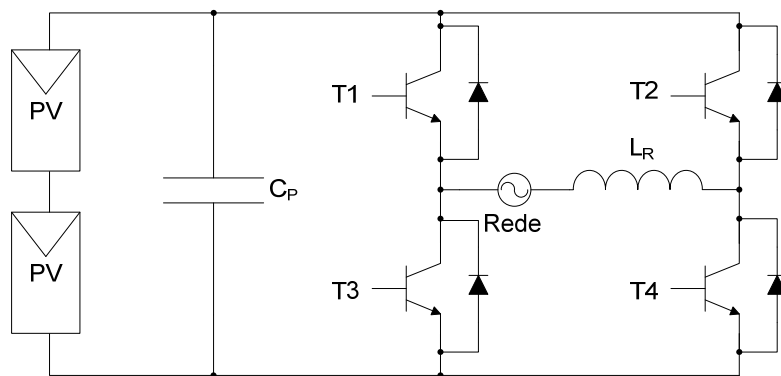
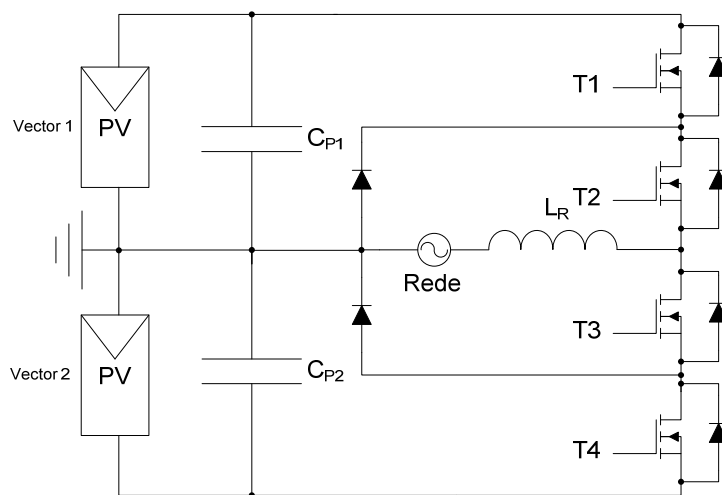


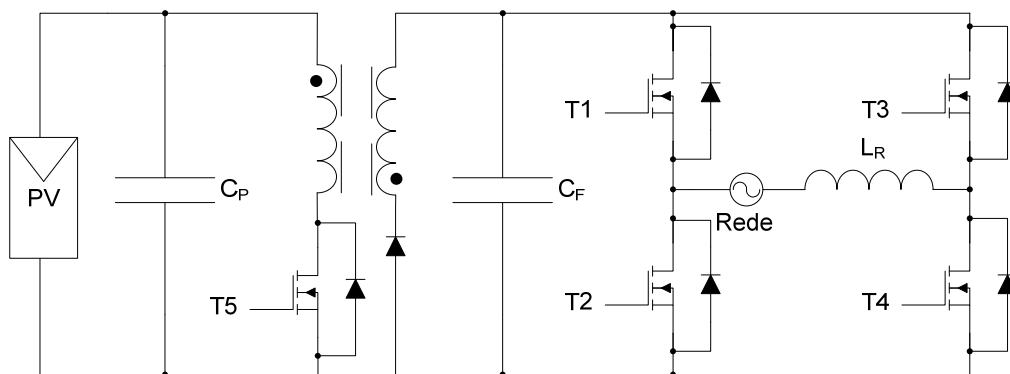
Fig. 2.6 – Topologia em ponte completa a dois níveis.

A topologia da Fig. 2.7 tem um só andar, inversor em meia ponte a três níveis [3]. Este tipo de inversor, com a tensão de saída a três níveis, tem um valor de distorção harmónica que é metade do valor de distorção harmónica da topologia anterior. As desvantagens deste conversor são necessitar de mais componentes o que leva a maiores perdas, e a dificuldade de ter igual valor de tensão nos dois condensadores.



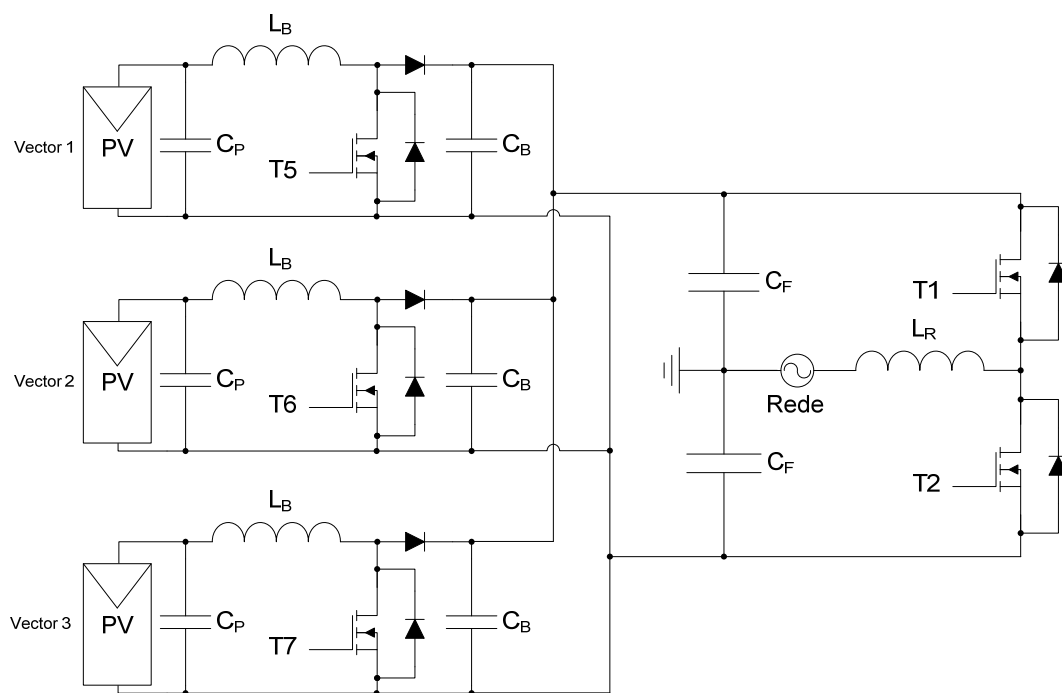
**Fig. 2.7 – Topologia em meia ponte a três níveis com conversor *Boost*.**

A topologia da Fig. 2.8 tem dois andares, contendo um conversor DC-DC, conversor Flyback, e um inversor [4]. Esta utiliza um inversor em ponte completa com tensão de saída a três níveis. O conversor Flyback é utilizado nesta topologia não só para elevar a tensão à entrada do inversor, mas também para efectuar o isolamento galvânico. O transformador desta topologia funciona a alta frequência.



**Fig. 2.8 – Topologia de conversor Flyback com conversor DC-AC em ponte.**

A topologia da Fig. 2.9, Sunny Boy 5000TL [5], é uma topologia que se comercializa. Esta tem dois andares, o primeiro que inclui três conversores DC-DC do tipo *Boost*, cada um para um vector de painéis PV, e no segundo andar tem um inversor em meia ponte com tensão de saída a dois níveis, que transfere a potência extraída do três vectores de painéis PV para a rede eléctrica.



**Fig. 2.9 – Topologia Sunny Boy 5000TL.**

Na Tabela 2.1 é feita uma breve avaliação das topologias atrás referidas, consoante a classificação de topologias apresentada na secção 2.3, e outras características.

**Tabela 2.1 – Avaliação das cinco topologias de conversores.**

Fig. nº	Número de andares	Tensão mínima do(s) PV	Condensador de desacoplamento	Número de níveis da tensão de saída do inversor	Isolamento galvânico
2.6	1	500 V	-	2	Não
2.7	1	2 x 360 V	2x(640 $\mu$ F a 810 V)	3	Não
2.8	2	-	1x(33 $\mu$ F a 400 V)	3	Sim
2.9	2	150 V	2x(1200 $\mu$ F a 375 V)	2	Não

## 2.5 Conclusões

Um sistema fotovoltaico é constituído por um, ou mais, painéis PV, por um circuito electrónico de potência e pela rede eléctrica. Neste documento foram apresentadas quatro topologias de conversores para ligar painéis PV à rede eléctrica. As topologias podem ser divididas consoante: o número de andares, o número de níveis da tensão de saída do inversor, e a utilização ou não de transformador, podendo este funcionar a alta frequência ou à frequência da rede.

## Capítulo 3

# Conversor DC-AC de um só Andar para Sistemas Fotovoltaicos.

### 3.1 Introdução

Neste capítulo é apresentada a topologia do conversor que vai ser estudada nesta dissertação, assim como o controlo que é utilizado. Na secção 3.2 é apresentada a topologia do conversor e os seus modos de funcionamento. O sistema de controlo tanto do inversor como do conversor DC-DC são explicados na secção 3.3.

### 3.2 Topologia

Esta dissertação é baseada numa nova topologia de conversores, para ligação de um vector de painéis PV à rede eléctrica monofásica, em desenvolvimento pelo grupo Sistemas Energéticos para Telecomunicações do Instituto de Telecomunicações - pólo de Lisboa. A origem desta advém de outra topologia desenvolvida pelo mesmo grupo de investigação, que possui num só andar um conversor *Buck-Boost* e um inversor [6]. A topologia que se vai estudar contém um conversor DC-DC do tipo *Boost* e um inversor em ponte completa a três níveis, num só andar. O conversor *Boost* está inserido no inversor, Fig. 3.1, o que leva a uma diminuição do número de componentes, sendo esta uma vantagem na medida em que diminui o nível de perdas. Com esta redução de perdas consegue-se uma optimização do rendimento.

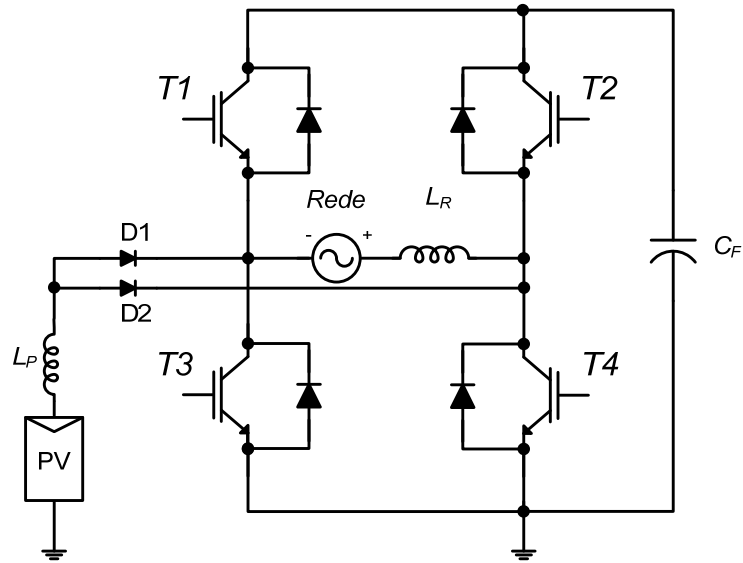


Fig. 3.1 – Conversor DC-AC de um só andar para sistemas fotovoltaicos.

### 3.2.1 Inversor

A topologia em estudo é constituída por um inversor em ponte completa, Fig. 3.2. Este é constituído pelos transístores T1, T2, T3 e T4, pelo condensador  $C_F$ , pelo filtro que neste caso é apenas a bobine  $L_R$ , e pela rede eléctrica monofásica.

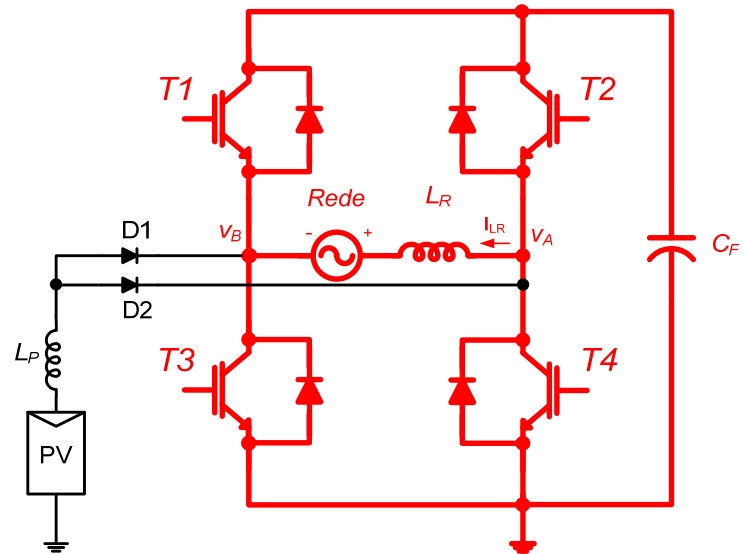


Fig. 3.2 – Esquema do inversor em ponte completa a vermelho.

As tensões  $v_A$  e  $v_B$  são as tensões no emissor do transístor T2 e T1 respectivamente, e  $v_{AB}$  é a tensão de saída do inversor. Existem 4 estados possíveis de funcionamento para os transístores, estes estão esquematizados na Tabela 3.1. Nesta topologia o inversor tem a tensão de saída a três níveis, ou seja,  $v_{AB}$  pode assumir os valores 0,  $\overline{v_{CF}}$  e  $-\overline{v_{CF}}$ .

**Tabela 3.1 – Estados de funcionamento dos transístores do inversor em ponte completa.**

T1	T2	T3	T4	$v_A$	$v_B$	$v_{AB}$	$V_{Rede} > 0$	$V_{Rede} < 0$	Nome do estado
off	on	on	off	$\overline{v_{CF}}$	0	$\overline{v_{CF}}$	↑	↑	$s_{00}$
on	off	off	on	0	$\overline{v_{CF}}$	$-\overline{v_{CF}}$	↓	↓	$s_{01}$
on	on	off	off	$\overline{v_{CF}}$	$\overline{v_{CF}}$	0	↓	↑	$s_{10}$
off	off	on	on	0	0	0	↓	↑	$s_{11}$

### 3.2.1.1 Tensão da rede positiva

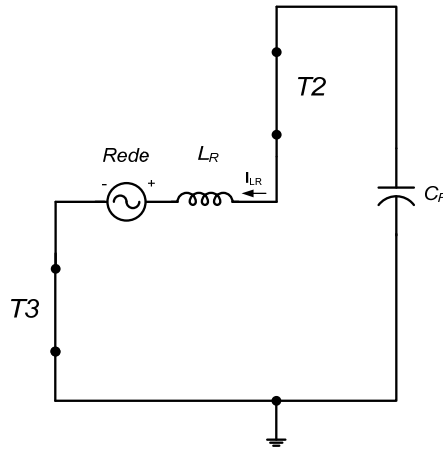
No caso da tensão da rede ser positiva, utilizam-se apenas os estados  $s_{00}$ ,  $s_{10}$  e  $s_{11}$ . O estado  $s_{00}$  faz com que a tensão de saída do inversor seja  $\overline{v_{CF}}$ , e assim, o valor da corrente na bobine  $L_R$  suba. Por outro lado utiliza-se o estado  $s_{10}$ , ou  $s_{11}$  para fazer com que a tensão de saída do inversor seja nula, e assim, o valor da corrente na bobine  $L_R$  desça.

$$V_{Rede} > 0 \quad (3.1)$$

$$V_{AB} = V_{LR} + V_{Rede} \quad (3.2)$$

No estado  $s_{00}$ , Fig. 3.3,

$$V_{AB} = \overline{v_{CF}} \quad (3.3)$$



**Fig. 3.3 – Esquema do circuito no estado  $s_{00}$ .**

Por (3.2) e (3.3) tem-se:

$$V_{LR} = \overline{v_{CF}} - V_{Rede} \quad (3.4)$$

$$i_L(t) = I_{LRinicial} + \frac{1}{L} \int v_L dt \quad (3.5)$$

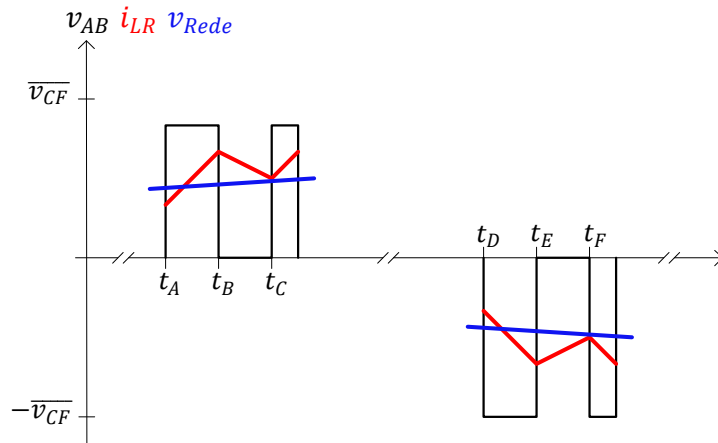
Substituindo (3.4) em (3.5) obtém-se para  $t_A < t < t_B$ :

$$i_{LR}(t) = I_{LR1} + \frac{1}{L_R} \int (\overline{v_{CF}} - V_{Rede}) dt \quad (3.6)$$

Como a frequência de comutação dos transístores ( $\approx 20$  kHz) é muito superior à frequência da rede (50Hz), então entre  $t_A$  e  $t_B$  a tensão da rede é aproximadamente constante,  $V_{Rede} \approx \text{cte}$ , pelo que:

$$i_{LR}(t) = I_{LR1} + \frac{t}{L_R} (\overline{v_{CF}} - V_{Rede}), \quad (3.7)$$

isto significa que entre  $t_A$  e  $t_B$  a corrente  $i_{LR}$  é uma recta com declive positivo, Fig. 3.4, dado que  $\overline{v_{CF}}$  será sempre superior ao valor da tensão da rede. O declive é dado pelo valor da tensão da rede, pelo valor da tensão no condensador e pelo valor da bobine  $L_R$ .

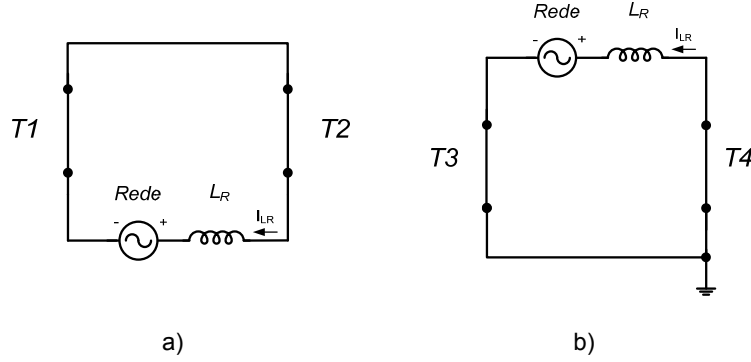


**Fig. 3.4 – Diagramas temporais da tensão de saída do inversor, corrente na bobine e tensão da rede.**

No estado  $s_{10}$ , Fig. 3.5 a), ou no estado  $s_{11}$ , Fig. 3.5 b),

$$V_{AB} = 0 \quad (3.8)$$





**Fig. 3.5 – Esquema do circuito: a) no estado  $s_{10}$ , b) no estado  $s_{11}$ .**

Por (3.2) e (3.8) tem-se:

$$V_{LR} = -V_{Rede} \quad (3.9)$$

Substituindo (3.9) em (3.5) obtém-se para  $t_B < t < t_C$ :

$$i_{LR}(t) = I_{LR2} + \frac{1}{L_R} \int (-V_{Rede}) dt \quad (3.10)$$

Assumindo a simplificação acima referida, então entre  $t_B$  e  $t_C$  a tensão da rede é aproximadamente constante,  $V_{Rede} \approx \text{cte}$ , pelo que:

$$i_{LR}(t) = I_{LR2} + \frac{t}{L_R} (-V_{Rede}), \quad (3.11)$$

isto significa que entre  $t_B$  e  $t_C$  a corrente  $i_{LR}$  é uma recta com declive negativo, Fig. 3.4. O declive é dado pelo valor da tensão da rede e pelo valor da bobine  $L_R$ .

### 3.2.1.2 Tensão da rede negativa

No caso da tensão da rede ser negativa, utilizam-se apenas os estados  $s_{01}$ ,  $s_{10}$  e  $s_{11}$ . O estado  $s_{01}$  faz com que a tensão de saída do inversor seja  $-\overline{v_{CF}}$  e assim, o valor da corrente na bobine  $L_R$  desça. Por outro lado utiliza-se o estado  $s_{10}$ , ou o estado  $s_{11}$  para fazer com que a tensão de saída do inversor seja nula, e assim, o valor da corrente na bobine  $L_R$  suba.

$$V_{Rede} < 0 \quad (3.12)$$

No estado  $s_{01}$ , Fig. 3.6,

$$V_{AB} = -\overline{v_{CF}} \quad (3.13)$$

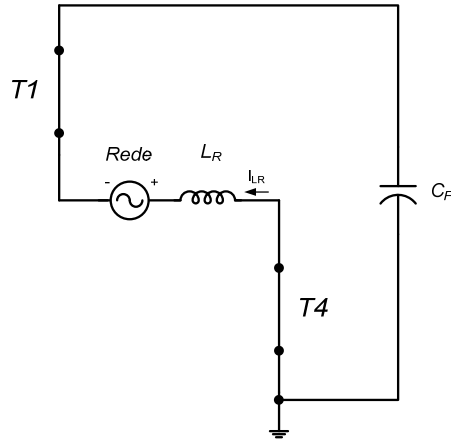


Fig. 3.6 – Esquema do circuito no estado  $s_{01}$ .

Por (3.2) e (3.13) tem-se:

$$V_{LR} = -\overline{v_{CF}} - V_{Rede} \quad (3.14)$$

Substituindo (3.14) em (3.5) obtém-se para  $t_D < t < t_E$ :

$$i_{LR}(t) = I_{LR3} + \frac{1}{L_R} \int (-\overline{v_{CF}} - V_{Rede}) dt \quad (3.15)$$

Assumindo a simplificação acima referida, então entre  $t_D$  e  $t_E$  a tensão da rede é aproximadamente constante,  $V_{Rede} \approx \text{cte}$ , pelo que:

$$i_{LR}(t) = I_{LR3} + \frac{t}{L_R} (-\overline{v_{CF}} - V_{Rede}), \quad (3.16)$$

isto significa que entre  $t_D$  e  $t_E$  a corrente  $i_{LR}$  é uma recta com declive negativo, Fig. 3.4, dado que  $\overline{v_{CF}}$  será sempre superior ao valor da tensão da rede. O declive é dado pelo valor da tensão da rede, pelo valor da tensão no condensador e pelo valor da bobine  $L_R$ .

No estado  $s_{10}$ , Fig. 3.5 a), ou no estado  $s_{11}$ , Fig. 3.5 b),

$$V_{AB} = 0 \quad (3.17)$$

Por (3.2) e (3.17) têm-se:

$$V_{LR} = -V_{Rede} \quad (3.18)$$

Substituindo (3.18) em (3.5) obtém-se para  $t_E < t < t_F$ :

$$i_{LR}(t) = I_{LR4} + \frac{1}{L_R} \int (-V_{Rede}) dt \quad (3.19)$$

Assumindo a simplificação acima referida, então entre  $t_E$  e  $t_F$  a tensão da rede é aproximadamente constante,  $V_{Rede} \approx \text{cte}$ , pelo que:

$$i_{LR}(t) = I_{LR4} + \frac{t}{L_R} (-V_{Rede}) \quad (3.20)$$

Como a tensão da rede é negativa, então entre  $t_E$  e  $t_F$  a corrente  $i_{LR}$  é uma recta com declive positivo, Fig. 3.4. O declive é dado pelo valor da tensão da rede e pelo valor da bobine  $L_R$ .

### 3.2.1.3 Factor de ciclo do inversor

Para garantir que a corrente seja injectada na rede de  $t_A$  a  $t_C$ , o valor médio da tensão  $v_{AB}$  tem de ser superior ao valor de tensão na rede, nesse intervalo de tempo, ou seja:

$$\overline{v_{AB}} = \frac{1}{T} \int_{t_A}^{t_C} v_{AB}(t) dt = \frac{t_B - t_A}{T} \overline{v_{CF}} + 0 \geq v_{Rede} \quad (3.21)$$

$$v_{Rede}(t) = V_{Rede} \sin(\omega t) \quad (3.22)$$

$$T = (t_B - t_A) + (t_C - t_B) \quad (3.23)$$

$$D_I = \frac{t_B - t_A}{T} \quad (3.24)$$

Sendo a tensão da rede, o período da funcionamento do inversor e o factor de ciclo do inversor dado por (3.22), (3.23) e (3.24) respectivamente, obtém-se:

$$D_I \geq \frac{V_{Rede}}{\overline{v_{CF}}} \quad (3.25)$$

### 3.2.2 Conversor DC-DC

A topologia em estudo tem um conversor DC-DC, do tipo *Boost*, inserido no inversor, de forma a constituir uma topologia de um só andar, Fig. 3.7. O conversor *Boost* é constituído pelos transístores T3 e T4, pelo condensador  $C_F$ , pelos díodos D1, D2, pelos díodos que estão em anti-paralelo com os transístores T1 e T2, pela bobine  $L_P$ , e pelo painel PV (ou vector de painéis PV).

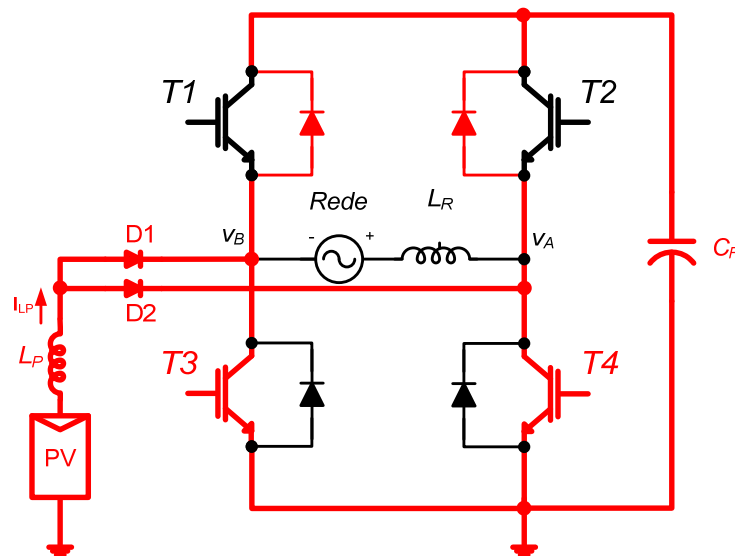
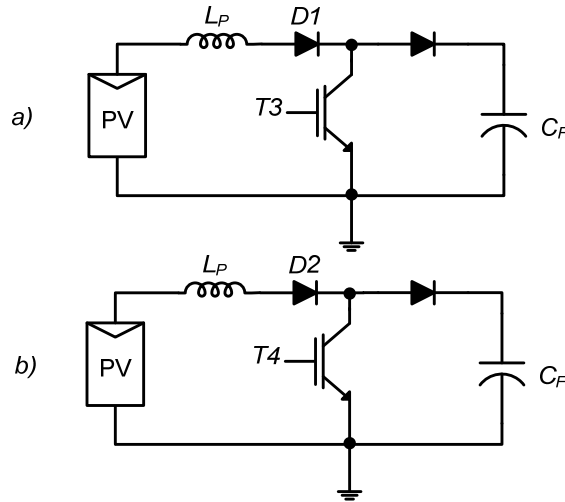


Fig. 3.7 – Esquema do conversor *Boost* a vermelho.

Esta topologia ao utilizar os componentes do inversor permite ter dois conversores *Boost*, Fig. 3.8. Ambos têm em comum o painel PV, o condensador  $C_F$  e a bobine  $L_P$ . Relativamente a um conversor *Boost* convencional, estes possuem mais dois díodos, D1 e D2. Estes servem para protecção, impedindo que a corrente do inversor afecte o funcionamento dos conversores *Boost*.



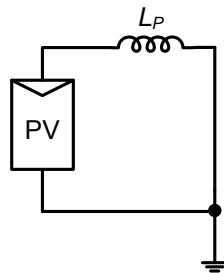
**Fig. 3.8 – Esquema dos dois conversores *Boost* formados por esta topologia: a) primeiro conversor *Boost*, b) segundo conversor *Boost*.**

Assumindo que o conversor opera a um período  $T$  e que os componentes são ideais, vai analisar-se o funcionamento do primeiro conversor *Boost* num período de operação, sendo que para o segundo conversor a análise é análoga.

### 3.2.2.1 Para $t_A < t < t_B$

O transístor  $T3$  está ligado, Fig. 3.9.

$$V_{LP} = V_{Painel} \quad (3.26)$$



**Fig. 3.9 – Esquema do circuito do conversor *Boost* com  $T3$  ligado.**

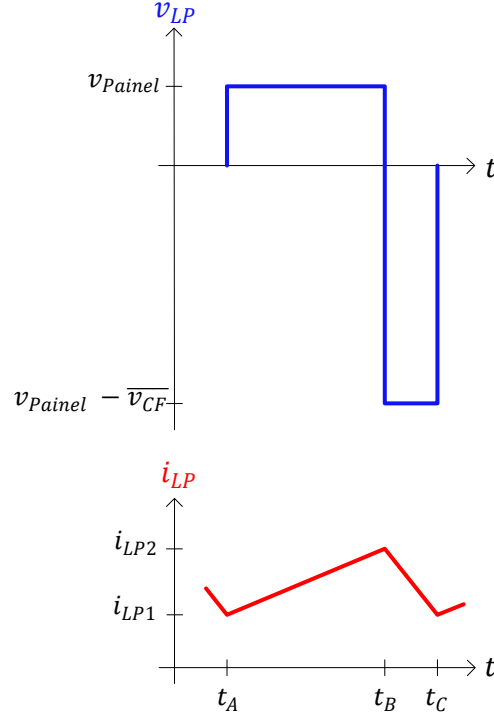
A corrente na bobine do conversor *Boost*,  $i_{LP}$ , é dada por:

$$i_{LP}(t) = I_{LPinicial} + \frac{1}{L_P} \int v_{LP} dt \quad (3.27)$$

Assumindo que no instante  $t_A$  a corrente tem o valor  $I_{LP1}$ , e o valor da tensão no painel é constante, então:

$$i_{LP}(t) = I_{LPinicial} + \frac{1}{L_P} \int V_{Painel} dt = I_{LP1} + \frac{V_{Painel}}{L_P} t, \quad (3.28)$$

isto significa que a corrente  $i_{LP}$  é uma recta com declive positivo que parte do valor inicial  $I_{LP1}$ , Fig. 3.10. O declive é dado pelo valor da tensão no painel e pelo valor da bobine  $L_P$ .

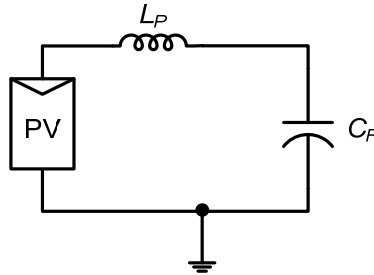


**Fig. 3.10 – Diagramas temporais da tensão e corrente na bobine  $L_P$  do conversor *Boost*, quando está a funcionar no modo de condução contínua.**

### 3.2.2.2 Para $t_B < t < t_C$

O transístor T3 está desligado, Fig. 3.11.

$$V_{LP} = V_{Painel} - \overline{v_{CF}} \quad (3.29)$$



**Fig. 3.11 – Esquema do circuito do conversor *Boost* com T3 desligado.**

Assumindo que no instante  $t_B$  a corrente tem o valor  $I_{LP2}$ , e os valores das tensões no painel e no condensador  $C_F$  são constantes, então por (3.27) tem-se:

$$i_{LP}(t) = I_{LPinicial} + \frac{1}{L_P} \int (V_{Painel} - \overline{v_{CF}}) dt = I_{LP2} + \frac{V_{Painel} - \overline{v_{CF}}}{L_P} t, \quad (3.30)$$

isto significa que a corrente  $i_{LP}$  é uma recta que parte do valor inicial  $I_{LP2}$ , com declive negativo, pois o valor da tensão  $\overline{v_{CF}}$  é superior ao valor da tensão do painel PV, Fig. 3.10. O declive é dado pelo valor da tensão no painel, pelo valor da tensão no condensador  $C_F$ , e pelo valor da bobine  $L_P$ .

### 3.2.2.3 Factor de ciclo do conversor *Boost*

O valor médio da tensão na bobine  $L_P$  em regime permanente é zero:

$$\overline{v_{LP}} = \int_{t_A}^{t_C} V_{LP} dt = \int_{t_A}^{t_B} V_{LP} dt + \int_{t_B}^{t_C} V_{LP} dt = 0 \quad (3.31)$$

$$t_B - t_A = D_B \cdot T \quad (3.32)$$

$$t_C - t_B = (1 - D_B)T \quad (3.33)$$

Por (3.31), (3.32) e (3.33) tem-se:

$$V_{Painel} \cdot D_B \cdot T + (V_{Painel} - \overline{v_{CF}}) \cdot (1 - D_B)T = 0 \quad (3.34)$$

Através de (3.34) podemos obter o factor de ciclo para o conversor *Boost*:

$$D_B = \frac{\overline{v_{CF}} - V_{Painel}}{\overline{v_{CF}}} \quad (3.35)$$

## 3.2.3 Conversor de um só andar

Do ponto de vista do funcionamento do inversor, o zero da tensão de saída do inversor,  $v_{AB}=0$ , pode ser obtido tanto com o estado  $s_{10}$  como com o  $s_{11}$ . Do ponto de vista do funcionamento do conversor *Boost* estes dois estados são diferentes. A escolha do estado  $s_{11}$  faz elevar o valor da corrente na bobine  $L_P$ , enquanto o estado  $s_{10}$  faz com que o valor desta corrente desça. Este grau de liberdade permite que no zero da tensão de saída do inversor, seja possível o controlo do conversor *Boost*.

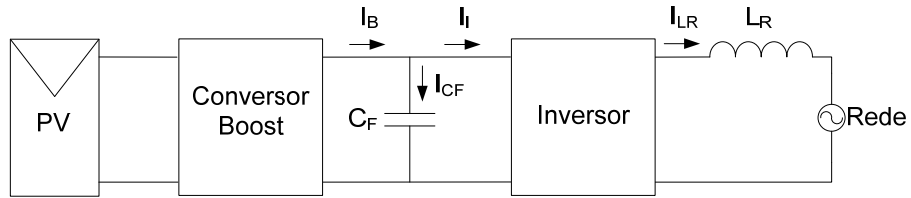
### 3.2.3.1 Equilíbrio energético

O conversor *Boost* retira a energia do painel PV e armazena-a no condensador  $C_F$ . O inversor retira a energia armazenada no condensador e transfere-a para a rede eléctrica. Considerando um rendimento do sistema de 100 %, então qualquer diferença entre a potência fornecida pelo painel,  $P_{PV}$ , e a potência entregue à rede,  $P_R$ , provoca uma perturbação no valor da tensão em  $C_F$ . Se o sistema estiver a entregar à rede mais potência do que aquela que está a ser extraída

do painel,  $P_R > P_{PV}$ , então o valor da tensão em  $C_F$  vai diminuir. Pelo contrário, se o sistema estiver a extrair do painel uma potência superior àquela que está a entregar à rede,  $P_{PV} > P_R$ , então o valor da tensão em  $C_F$  vai aumentar. O valor da tensão no condensador  $C_F$  é um indicador do equilíbrio energético deste conversor, e é utilizada no sistema de controlo, para regular a amplitude da corrente sinusoidal injectada na rede pelo inversor.

### 3.2.3.2 Formas de onda da corrente e da tensão no condensador $C_F$

A corrente e a tensão no condensador  $C_F$  vão ser definidas considerando que o conversor *Boost* e o inversor são dois blocos independentes, ou seja, enquadram-se numa topologia de dois andares, Fig. 3.12. Esta topologia é equivalente à topologia de um só andar em estudo, contudo o raciocínio para definir a corrente e a tensão no condensador  $C_F$  torna-se mais simples.



**Fig. 3.12 – Topologia equivalente à topologia em estudo.**

A tensão da rede é dada por (3.22) em que a frequência da rede é 50 Hz. A corrente na bobine  $L_R$ ,  $i_{LR}$ , tem a componente fundamental a 50Hz, e outras componentes de alta frequência devido à frequência de comutação dos transístores do inversor. Considerando apenas a componente fundamental, a corrente  $i_{LR}$  pode ser dada por:

$$i_{LR}(t) = I_{LR} \sin(\omega t) \quad (3.36)$$

Sendo a potência instantânea injectada na rede eléctrica dada por:

$$p_{Rede} = v_{Rede} \cdot i_{LR} = V_{Rede} \cdot I_{LR} \cdot \sin^2(\omega t) \quad (3.37)$$

$$\sin^2(\omega t) = \frac{1}{2} - \frac{1}{2} \cos(2\omega t) \quad (3.38)$$

Pela relação trigonométrica (3.38) pode reescrever-se a expressão (3.37) como:

$$p_{Rede} = V_{Rede} \cdot I_{LR} \cdot \left[ \frac{1}{2} - \frac{1}{2} \cos(2\omega t) \right] \quad (3.39)$$

Considerando um rendimento de 100 % no inversor, então a potência entregue à rede será igual à potência na entrada do inversor, e assumindo que o condensador  $C_F$  já está carregado com  $\overline{v_{CF}}$  tem-se:

$$i_I(t) \cdot \overline{v_{CF}} = V_{Rede} \cdot I_{LR} \cdot \left[ \frac{1}{2} - \frac{1}{2} \cos(2\omega t) \right] \Leftrightarrow$$

$$\Leftrightarrow i_I(t) = \frac{V_{Rede} \cdot I_{LR}}{2 \cdot \overline{v_{CF}}} \cdot [1 - \cos(2\omega t)] \quad (3.40)$$

Assumindo que o conversor de um só andar está a funcionar de forma a obter um equilíbrio energético, ou seja, o valor da potência extraída do painel é igual ao valor da potência entregue à rede, então o valor médio da corrente no condensador  $C_F$  é zero. Estando o condensador  $C_F$  a contribuir apenas com a componente alternada para a corrente  $i_I(t)$ , tem-se:

$$i_{CF}(t) = i_i = \frac{V_{Rede} \cdot I_{LR}}{2 \cdot \overline{v_{CF}}} \cos(2\omega t) \quad (3.41)$$

$$v_{cf} = \frac{1}{C_F} \int i_{CF}(t) dt = \frac{V_{Rede} \cdot I_{LR}}{4 \cdot C_F \cdot \omega \cdot \overline{v_{CF}}} \cos(2\omega t) \quad (3.42)$$

$$v_{CF}(t) = \overline{v_{CF}} + \frac{V_{Rede} \cdot I_{LR}}{4 \cdot C_F \cdot \omega \cdot \overline{v_{CF}}} \cos(2\omega t) \quad (3.43)$$

$$\Delta v_{CF} = 2 \cdot \frac{V_{Rede} \cdot I_{LR}}{4 \cdot C_F \cdot \omega \cdot \overline{v_{CF}}} \quad (3.44)$$

Observa-se através da Fig. 3.13, que a tensão no condensador oscila em torno do seu valor médio,  $\overline{v_{CF}}$ , com uma frequência que é o dobro da frequência da rede. Quando o valor da corrente injectada na rede é baixo, o painel está a fornecer mais energia do que aquela que o conversor fornece à rede, e esse excesso de energia é armazenada no condensador  $C_F$ , fazendo subir o valor da tensão  $v_{CF}$ . Quando o valor da corrente injectada na rede é elevado, o painel está a fornecer menos energia do que aquela que o conversor fornece à rede, e essa diferença de energia é fornecida pelo condensador  $C_F$ , fazendo descer o valor da tensão  $v_{CF}$ .



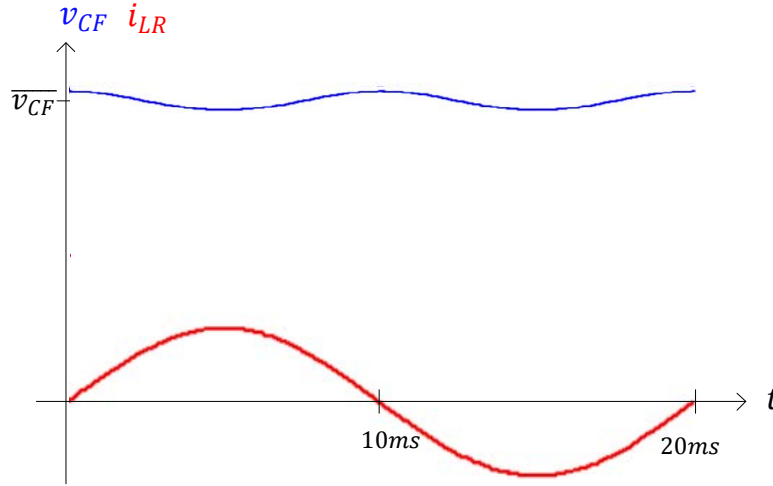


Fig. 3.13 – Formas de onda da tensão no condensador  $C_F$  e da rede eléctrica.

### 3.2.4 Dimensionamento

No dimensionamento do conversor de um só andar são impostas algumas restrições, para ser possível o funcionamento simultâneo do inversor e do conversor *Boost*.

#### 3.2.4.1 Definir o valor de $\overline{v_{CF}}$

Analisando este conversor conclui-se que a capacidade de controlar a corrente injectada na rede,  $i_{LR}$ , em simultâneo com a corrente vinda do painel fotovoltaico,  $i_{LP}$ , está dependente da existência de tempos em que a tensão de saída do inversor é nula,  $v_{AB}=0$ , o que permite aumentar ou diminuir o valor da corrente  $i_{LP}$ . Desta forma o funcionamento do conversor *Boost* está dependente do funcionamento do inversor, o que faz com que o factor de ciclo do conversor *Boost* tenha de ser superior ao factor de ciclo mínimo do inversor, para que o primeiro possa corrigir durante o tempo em que  $v_{AB}=0$  o erro na corrente  $i_{LP}$  introduzido durante o tempo que  $v_{AB} \neq 0$ . Através das expressões do factor de ciclo do inversor (3.25) e do conversor *Boost* (3.35), obtém-se:

$$\frac{\overline{v_{CF}} - V_{Painel}}{\overline{v_{CF}}} > \frac{V_{Rede}}{\overline{v_{CF}}} \quad (3.45)$$

Considerando  $V_R=230\sqrt{2}$  V e colocando (3.45) em ordem a  $\overline{v_{CF}}$ , encontra-se os valores mínimos para a tensão no condensador  $C_F$ ,  $\overline{v_{CF min}}$ , em função da tensão máxima no painel PV:

$$\overline{v_{CF min}} = V_{Rede} + V_{Painel} \quad (3.46)$$

#### 3.2.4.2 Dimensionamento de $C_F$

O condensador  $C_F$  é dimensionado consoante o *ripple* de tensão que se pretende, sendo este obtido através de (3.44). Colocando a expressão do *ripple* em ordem a  $C_F$ , obtém-se:

$$C_F = \frac{V_{Rede} \cdot I_{LR}}{\Delta v_{CF} \cdot 2 \cdot \omega \cdot \overline{v_{CF}}} = \frac{P_{Rede}}{\Delta v_{CF} \cdot \omega \cdot \overline{v_{CF}}} \quad (3.47)$$

### 3.2.4.3 Dimensionamento da bobine $L_R$

O intervalo de variação da frequência de funcionamento do inversor,  $f_i$ , é obtido através da evolução de  $i_{LR}$  e o seu respectivo *ripple*,  $\Delta i_{LR}$ , sendo este último constante. Considerando o caso em que  $v_R$  é positiva, então de acordo com a Fig. 3.4 obtém-se para  $v_{AB} = \overline{v_{CF}}$  (3.48) e  $v_{AB}=0$  (3.49).

$$\Delta i_{LR}^+ = \frac{\overline{v_{CF}} - V_{Rede}}{L_R} (t_B - t_A) \quad (3.48)$$

$$\Delta i_{LR}^- = \frac{-V_{Rede}}{L_R} (t_C - t_B) \quad (3.49)$$

$$\Delta i_{LR} = \Delta i_{LR}^+ = -\Delta i_{LR}^- \quad (3.50)$$

$$T_I = (t_B - t_A) + (t_C - t_B) = \Delta i_{LR} \cdot L_R \frac{\overline{v_{CF}}}{\overline{v_{CF}} \cdot V_{Rede} - V_{Rede}^2} \quad (3.51)$$

Para  $V_{Rede}=V_{Rede\ fmax}$  obtém-se  $T_{Imin}$ :

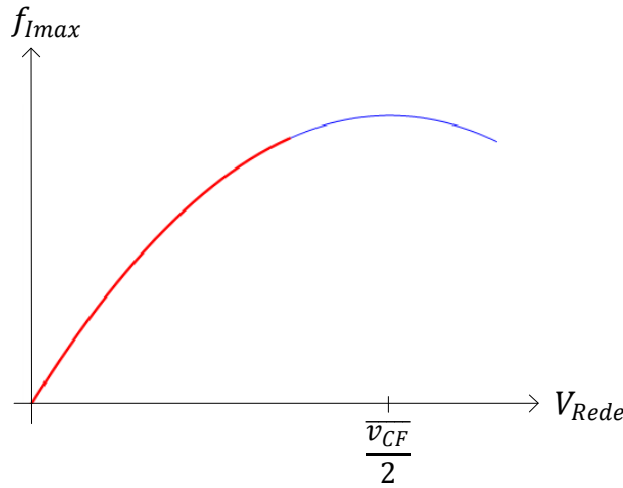
$$T_{Imin} = \Delta i_{LR} \cdot L_R \frac{\overline{v_{CF}}}{\overline{v_{CF}} \cdot V_{Rede\ fmax} - V_{Rede\ fmax}^2} \quad (3.52)$$

$$f_{Imax} = \frac{1}{T_{Imin}} = \frac{\overline{v_{CF}} \cdot V_{Rede\ fmax} - V_{Rede\ fmax}^2}{\Delta i_{LR} \cdot L_R \cdot \overline{v_{CF}}} \quad (3.53)$$

De acordo a Fig. 3.14, o valor máximo para a frequência de funcionamento do inversor,  $f_{Imax}$ , é obtido para:

$$V_{Rede\ fmax} = \begin{cases} \frac{\overline{v_{CF}}}{2}, & V_{Rede} > \frac{\overline{v_{CF}}}{2} \\ V_{Rede}, & V_{Rede} < \frac{\overline{v_{CF}}}{2} \end{cases} \quad (3.54)$$

$$f_{Imax} = \begin{cases} \frac{\overline{v_{CF}}}{4 \cdot \Delta i_{LR} \cdot L_R}, & V_{Rede} > \frac{\overline{v_{CF}}}{2} \\ \frac{\overline{v_{CF}} \cdot V_{Rede} - V_{Rede}^2}{\overline{v_{CF}} \cdot \Delta i_{LR} \cdot L_R}, & V_{Rede} < \frac{\overline{v_{CF}}}{2} \end{cases} \quad (3.55)$$



**Fig. 3.14 – Representação de  $f_{I\max}$  em função de  $V_{Rede}$  (3.53). A vermelho para  $V_{Rede} < \frac{\overline{v_{CF}}}{2}$ , e a azul para  $V_{Rede} > \frac{\overline{v_{CF}}}{2}$ .**

O dimensionamento da bobine  $L_R$  é definido para um determinado valor de *ripple* da corrente  $i_{LR}$ , assim como para um valor de frequência máxima de funcionamento do inversor.

$$L_R = \begin{cases} \frac{\overline{v_{CF}}}{4 \cdot \Delta i_{LR} \cdot f_{I\max}}, & V_{Rede} > \frac{\overline{v_{CF}}}{2} \\ \frac{\overline{v_{CF}} \cdot V_{Rede} - V_{Rede}^2}{\overline{v_{CF}} \cdot \Delta i_{LR} \cdot f_{I\max}}, & V_{Rede} < \frac{\overline{v_{CF}}}{2} \end{cases} \quad (3.56)$$

#### 3.2.4.4 Dimensionamento da bobine $L_P$

O intervalo de variação da frequência de funcionamento do conversor *Boost*,  $f_B$ , é obtido através da evolução de  $i_{LP}$  e o seu respectivo *ripple*,  $\Delta i_{LP}$ , sendo este último constante. De acordo com a Fig. 3.10 obtém-se:

$$\Delta i_{LP}^+ = \frac{V_{Painel}}{L_P} (t_B - t_A) \quad (3.57)$$

$$\Delta i_{LP}^- = \frac{V_{Painel} - \overline{v_{CF}}}{L_P} (t_C - t_B) \quad (3.58)$$

$$\Delta i_{LP} = \Delta i_{LP}^+ = -\Delta i_{LP}^- \quad (3.59)$$

$$T_B = (t_B - t_A) + (t_C - t_B) = \Delta i_{LP} \cdot L_P \frac{\overline{v_{CF}}}{\overline{v_{CF}} \cdot V_{Painel} - V_{Painel}^2} \quad (3.60)$$

Para  $V_{Painel} = V_{Painel \max}$  obtém-se  $T_{Bmin}$ :

$$T_{Bmin} = \Delta i_{LP} \cdot L_P \frac{\overline{v_{CF}}}{\overline{v_{CF}} \cdot V_{Painel \max} - V_{Painel \max}^2} \quad (3.61)$$

$$f_{Bmax} = \frac{1}{T_{Bmin}} \quad (3.62)$$

O dimensionamento da bobine  $L_P$  é definido para um determinado valor de *ripple* da corrente  $i_{LP}$ , assim como para um valor de frequência máxima de funcionamento do conversor *Boost*.

$$L_P = \frac{\overline{v_{CF}} \cdot V_{Painel\ max} - V_{Painel\ max}^2}{\Delta i_{LP} \cdot f_{B\ max} \cdot \overline{v_{CF}}} \quad (3.63)$$

#### 3.2.4.4 Tabela com dimensionamento do conversor

Na Tabela 3.2 estão representados os valores para os quais se pretende dimensionar este conversor.

**Tabela 3.2 – Tabela com o dimensionamento da topologia.**

Variáveis	Valores
Potência	1 kW
$V_{Painel}$	143 V
$F_{I\ max}$	20 kHz
$F_{B\ max}$	10 kHz
$I_{LR}$	6,15 A
$\Delta i_{LR}$	9,75 %
$i_{LP}$	7 A
$\Delta i_{LP}$	10 %
$V_{CF}$	500 V
$\Delta v_{CF}$	2 %
$C_F$	640 $\mu$ F
$L_R$	10,4 mH
$L_P$	14,6 mH

### 3.3 Sistema de Controlo

O sistema de controlo do conversor é essencial, pois é este que vai determinar quais os transístores que devem estar à condução, em cada instante. Este conversor de um só andar necessita de controlar três variáveis:

- Corrente a injectar na rede,  $i_{LR}$  – para através desta controlar o valor de potência que o conversor está a entregar à rede.
- Corrente pedida ao painel PV,  $i_{LP}$  – para através desta controlar o valor de potência que o conversor está a retirar do painel.
- Tensão no condensador  $C_F$ ,  $v_{CF}$  – para através desta conseguir que o conversor esteja a funcionar de modo a atingir o equilíbrio energético.

O esquema eléctrico do sistema de controlo utilizado neste conversor está representado na Fig. 3.15.

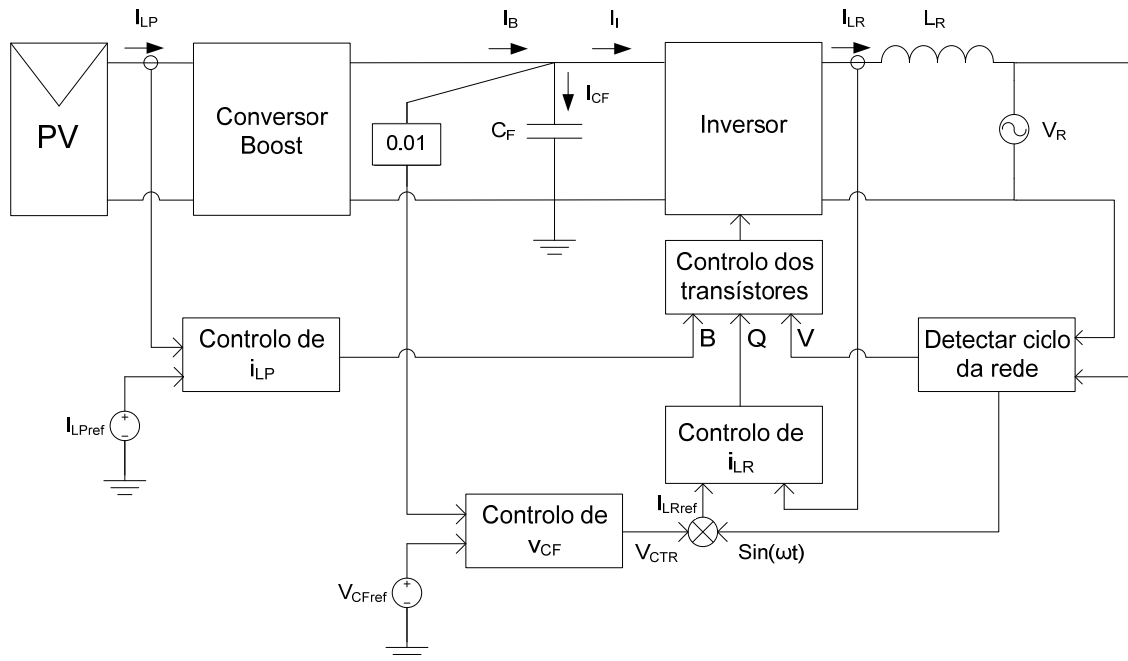


Fig. 3.15 – Esquema eléctrico do sistema de controlo do conversor.

### 3.3.1 Sistema de controlo das correntes $i_{LR}$ e $i_{LP}$

O sistema de controlo das correntes  $i_{LR}$  e  $i_{LP}$  é baseado num controlo histerético [7]. Este tipo de controlo é feito em modo de corrente. Este método consiste essencialmente na comparação do valor da corrente amostrada com dois níveis de referência, tomando-se decisões quando a corrente cruza cada um desses dois níveis.

#### 3.3.1.1 Controlo de $i_{LR}$

O controlo da corrente  $i_{LR}$  consiste na comparação desta com uma corrente de referência,  $i_{LRref}$ , através de um comparador com uma janela de histerese de valor  $\Delta i_{LR}$ , Fig. 3.16. A forma de obter a corrente  $i_{LRref}$  é referida no capítulo 4.

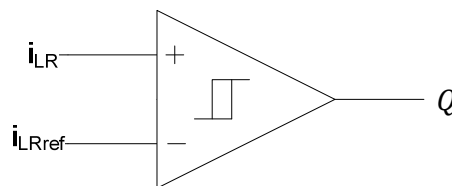
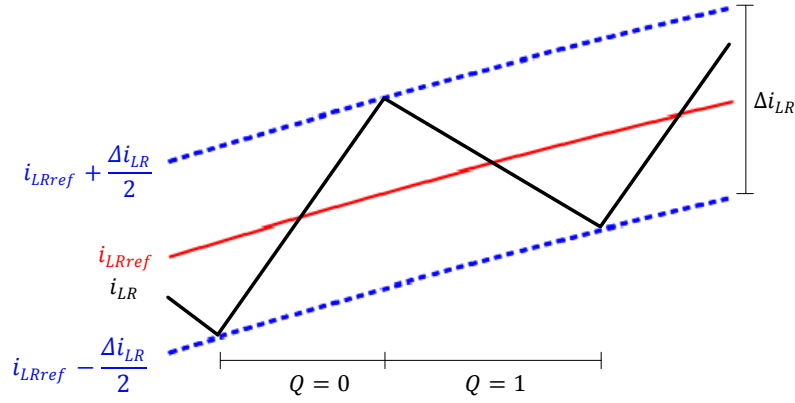


Fig. 3.16 – Controlo histerético de  $i_{LR}$ .

Ao sinal proveniente da saída do comparador é designado  $Q$ , este é um sinal digital e pode assumir os seguintes valores:

$$Q = \begin{cases} 0, & i_{LR} < i_{LRref} - \frac{\Delta i_{LR}}{2} \\ 1, & i_{LR} > i_{LRref} + \frac{\Delta i_{LR}}{2} \end{cases} \quad (3.64)$$

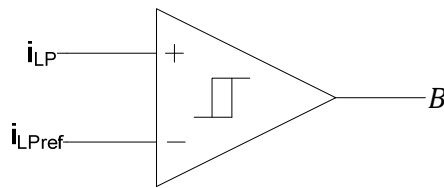
No diagrama temporal da Fig. 3.17, estão representados os sinais de entrada do comparador.



**Fig. 3.17 – Diagrama temporal do valor  $Q$  consoante a corrente  $i_{LR}$  e a sua referência.**

### 3.3.1.2 Controlo de $i_{LP}$

O controlo da corrente  $i_{LP}$  consiste na comparação desta com uma corrente de referência,  $i_{LPref}$ , através de um comparador com uma janela de histerese de valor  $\Delta i_{LP}$ , Fig. 3.18. A corrente  $i_{LPref}$  pode ser obtida através de um algoritmo de procura do ponto de potência máxima do painel PV.

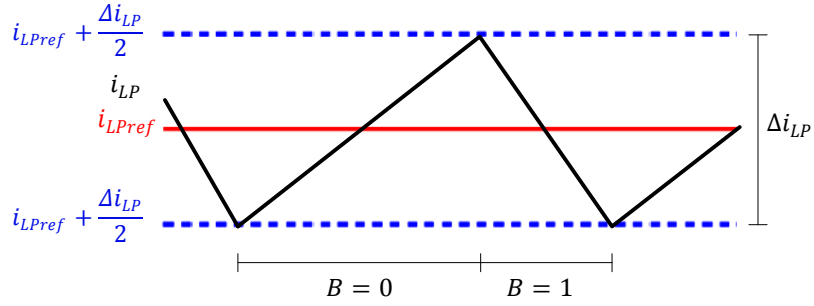


**Fig. 3.18 – Controlo histerético de  $i_{LP}$ .**

Ao sinal proveniente da saída do comparador é designado  $B$ , este é um sinal digital e pode assumir os seguintes valores:

$$B = \begin{cases} 0, & i_{LP} < i_{LPref} - \frac{\Delta i_{LP}}{2} \\ 1, & i_{LP} > i_{LPref} + \frac{\Delta i_{LP}}{2} \end{cases} \quad (3.65)$$

No diagrama temporal da Fig. 3.19, estão representados os sinais de entrada do comparador.



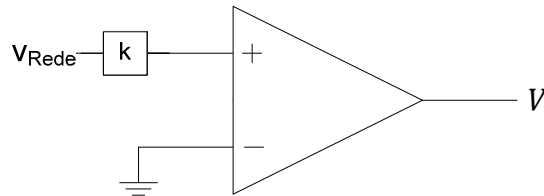
**Fig. 3.19 – Diagrama temporal do valor B consoante a corrente  $i_{LP}$  e a sua referência.**

### 3.3.1.3 Controlo dos transístores

Os sinais  $Q$  e  $B$  servem para controlar quais os transístores que devem estar ligados num determinado instante. Contudo nesta topologia está inserido um inversor em ponte completa a três níveis, sendo necessário ter outro sinal digital,  $V$ , que indica se a tensão da rede está no meio ciclo positivo ou negativo:

$$V = \begin{cases} 0, & v_{Rede} < 0 \\ 1, & v_{Rede} > 0 \end{cases} \quad (3.66)$$

Este sinal é obtido comparando uma amostra da tensão da rede com zero, Fig. 3.20. Através do controlo desta variável consegue-se que o conversor tenha um factor de potência quase unitário.



**Fig. 3.20 – Controlo para obter o ciclo de onda da tensão da rede.**

Tendo os três sinais digitais definidos é possível obter os estados dos transístores, assim como saber o que acontece às correntes  $i_{LR}$  e  $i_{LP}$  durante esses mesmos estados. Na Tabela 3.3 estão representados os níveis lógicos das tensões das portas dos transístores para os estados possíveis, consoante os sinais digitais  $V$ ,  $Q$  e  $B$ . No que diz respeito à corrente  $i_{LP}$  existem alguns estados em que esta não é controlada, devido ao funcionamento do conversor *Boost* estar dependente do funcionamento do inversor. Estes correspondem a estados em que os transístores das diagonais estão ligados,  $s_{00}$  e  $s_{01}$ . Nesta topologia os díodos de protecção D1 e D2 têm o ânodo comum, logo o que tiver menor tensão de cátodo é o que entra à condução. Isto faz com que nesses estados os transístores T3 ou T4 entrem à condução, fazendo aumentar a corrente  $i_{LP}$ , independentemente do controlo.

**Tabela 3.3 – Níveis lógicos das tensões das portas dos transístores.**

V	B	Q	Estado das variáveis	Efeito do		T1	T2	T3	T4
				$i_{LP}$	$i_{LR}$				
$v_R < 0$									
0	0	0	$i_{LP} < i_{LPref} - \frac{\Delta i_{LP}}{2}$ $i_{LR} < i_{LRref} - \frac{\Delta i_{LR}}{2}$	↑	↑	0	0	1	1
$v_R < 0$									
0	0	1	$i_{LP} < i_{LPref} - \frac{\Delta i_{LP}}{2}$ $i_{LR} > i_{LRref} + \frac{\Delta i_{LR}}{2}$	↑	↓	1	0	0	1
$v_R < 0$									
0	1	0	$i_{LP} > i_{LPref} + \frac{\Delta i_{LP}}{2}$ $i_{LR} < i_{LRref} - \frac{\Delta i_{LR}}{2}$	↓	↑	1	1	0	0
$v_R < 0$									
0	1	1	$i_{LP} > i_{LPref} + \frac{\Delta i_{LP}}{2}$ $i_{LR} > i_{LRref} + \frac{\Delta i_{LR}}{2}$	X	↓	1	0	0	1
$v_R > 0$									
1	0	0	$i_{LP} < i_{LPref} - \frac{\Delta i_{LP}}{2}$ $i_{LR} < i_{LRref} - \frac{\Delta i_{LR}}{2}$	↑	↑	0	1	1	0
$v_R > 0$									
1	0	1	$i_{LP} < i_{LPref} - \frac{\Delta i_{LP}}{2}$ $i_{LR} > i_{LRref} + \frac{\Delta i_{LR}}{2}$	↑	↓	0	0	1	1
$v_R > 0$									
1	1	0	$i_{LP} > i_{LPref} + \frac{\Delta i_{LP}}{2}$ $i_{LR} < i_{LRref} - \frac{\Delta i_{LR}}{2}$	X	↑	0	1	1	0
$v_R > 0$									
1	1	1	$i_{LP} > i_{LPref} + \frac{\Delta i_{LP}}{2}$ $i_{LR} > i_{LRref} + \frac{\Delta i_{LR}}{2}$	↓	↓	1	1	0	0

As tensões nas portas dos transístores T3 e T4 são o negado das tensões nas portas de T1 e T2 respectivamente, devido à impossibilidade de dois transístores do mesmo braço estarem em condução simultânea, então é necessário apenas definir a função de duas delas, neste caso para T1 e T2. Os mapas de Karnaugh destas funções estão representados na Fig. 3.21, de onde se retira as equações (3.67) e (3.68).



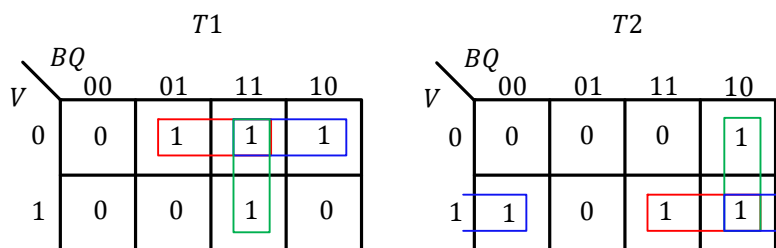


Fig. 3.21 – Mapas de Karnaugh para as funções de T1 e T2.

$$T1 = B \cdot Q + \bar{V} \cdot B + \bar{V} \cdot Q \quad (3.67)$$

$$T2 = V \cdot B + V \cdot \bar{Q} + B \cdot \bar{Q} \quad (3.68)$$

Com as equações (3.67) e (3.68) é possível implementar em portas lógicas o circuito de controlo dos transístores, Fig. 3.22. Para obter as funções de T3 e T4 basta uma porta lógica *not* na saída das funções T1 e T2 respectivamente.

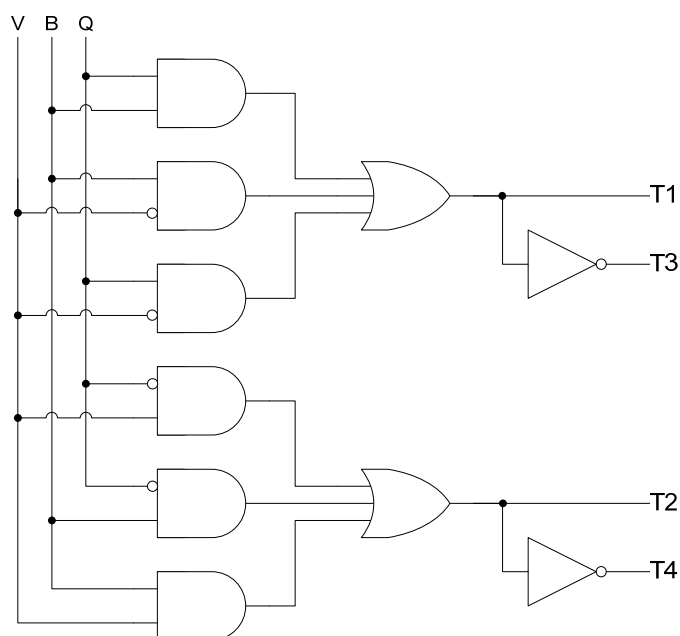
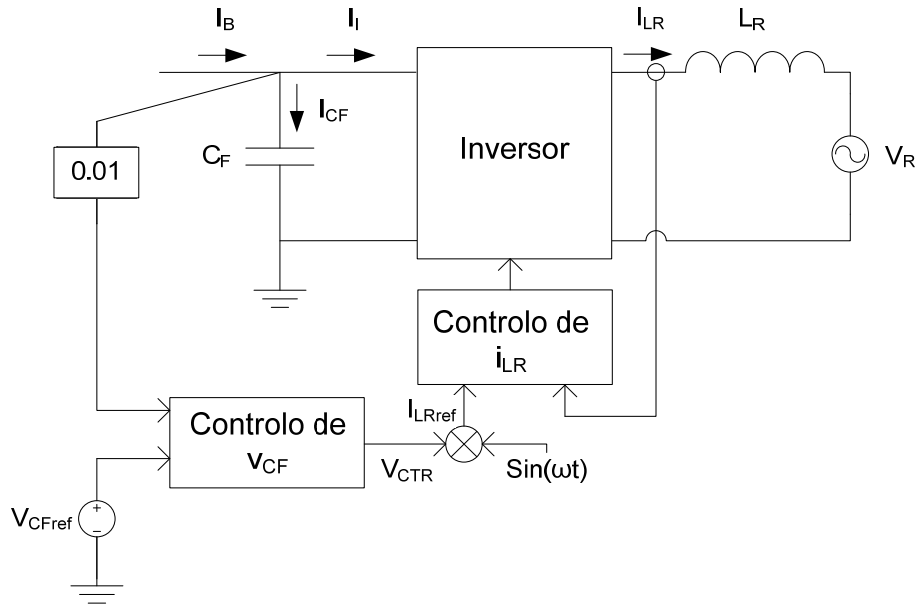


Fig. 3.22 – Circuito lógico de controlo dos transístores.

### 3.3.2 Sistema de controlo da tensão $v_{CF}$

O controlo da tensão no condensador  $C_F$ ,  $v_{CF}$ , é fundamental para obter o equilíbrio energético do sistema. Contudo apenas se irá controlar o valor médio da tensão no condensador  $C_F$ , e não o valor da harmónica de 100 Hz presente nesta tensão. Neste caso considerou-se a tensão média no condensador de 500 V. O circuito de controlo da tensão  $v_{CF}$  está representado na Fig. 3.23.



**Fig. 3.23 – Esquema eléctrico do sistema de controlo da tensão no condensador  $C_F$ .**

De acordo com a Fig. 3.23, a equação do sistema vem dada por:

$$v_{CF}(t) = \frac{1}{C_F} \int i_{CF} dt = \frac{1}{C_F} \int (I_B - i_I) dt \quad (3.69)$$

Aplicando a transformada de Laplace a (3.69) obtém-se:

$$V_{CF}(s) = \frac{I_B(s) - I_I(s)}{s \cdot C_F} \quad (3.70)$$

$$I_I = \frac{V_{Rede} \cdot I_{LR}}{2 \cdot V_{CF}} \quad (3.71)$$

Para que exista equilíbrio energético a amplitude da corrente  $i_{LR}$  tem de ser igual á amplitude do sinal  $v_{CTR}$ , portanto tem-se:

$$I_I = \frac{V_{Rede} \cdot V_{CTR}}{2 \cdot V_{CF}} \approx 0.325 \cdot V_{CTR} \quad (3.72)$$

O diagrama de blocos do sistema de controlo Fig. 3.24 tem a referência  $V_{CFref}(s)$  com sinal negativo e a realimentação com sinal positivo, para que o sistema possua realimentação negativa.

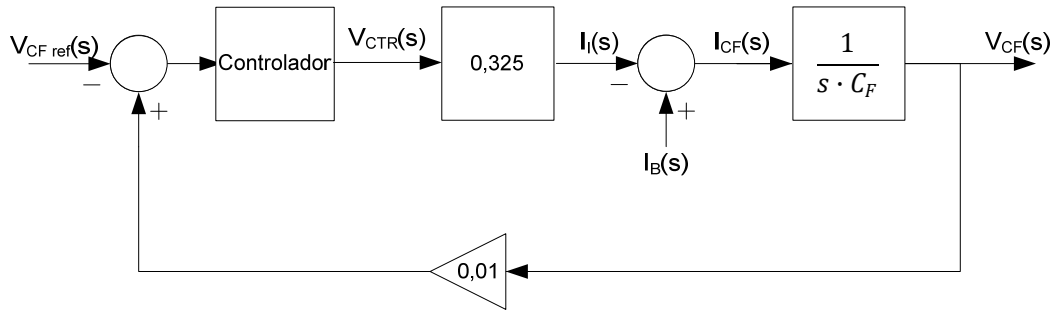


Fig. 3.24 – Diagrama de blocos do sistema.

### 3.3.2.1 Controlador proporcional

Ao adicionar ao diagrama de blocos do controlador um bloco com ganho  $k$  obtém-se o diagrama de blocos de um controlador proporcional Fig. 3.25.

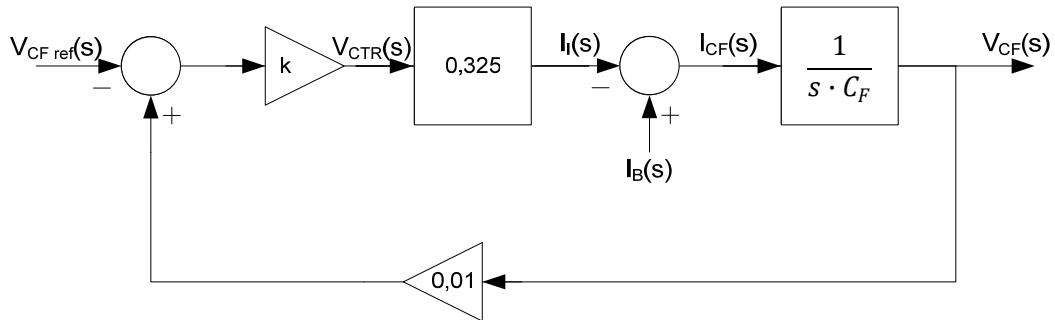


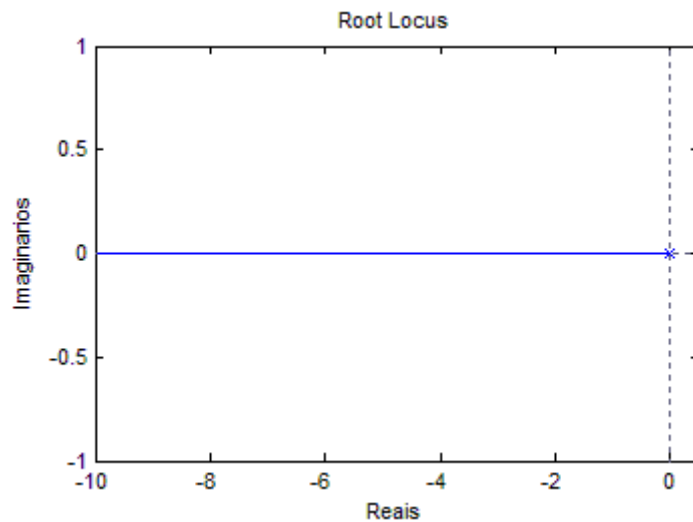
Fig. 3.25 – Diagrama de blocos do sistema com controlador proporcional.

Para analisar a estabilidade do sistema não se considerou a perturbação  $I_B(s)$ , obtendo-se a equação de transferência em cadeia fechada:

$$\frac{V_{CF}(s)}{V_{CFref}(s)} = \frac{k \cdot 0,325/C_F}{s + 0,01 \cdot k \cdot 0,325/C_F} \quad (3.73)$$

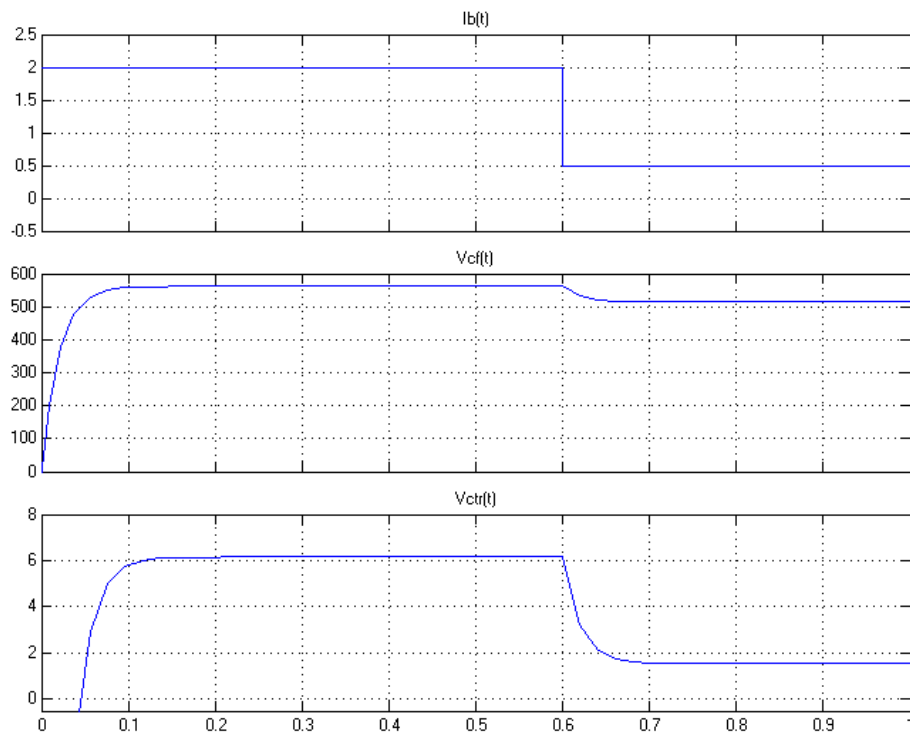
Com a função de transferência do sistema em cadeia aberta (3.74), pode utilizar-se o *root locus* para determinar o valor de  $k$ , Fig. 3.26. Podemos concluir que o sistema é sempre estável para um valor de  $k > 0$ .

$$ft_{ca}(s) = \frac{k \cdot 0,325 \cdot 0,01/C_F}{s} \quad (3.74)$$

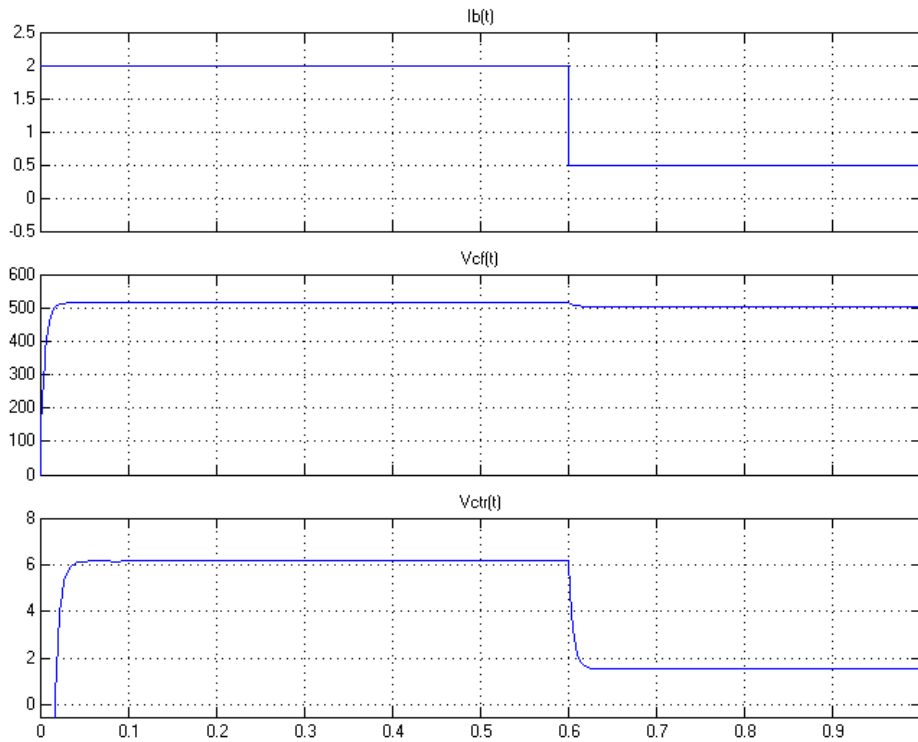


**Fig. 3.26 – Root locus do sistema em cadeia aberta.**

De seguida analisa-se a resposta no tempo do sistema em cadeia fechada, com a introdução da perturbação  $I_B(s)$  para diferentes valores de  $k$ .  $I_B(s)$  é um escalão de com valor inicial 2 A e valor final 0,5 A. Pelas Fig. 3.27 e Fig. 3.28 conclui-se que com o aumento de  $k$  o erro em regime estacionário na tensão  $v_{CF}$  diminui. A perturbação introduzida pela corrente  $I_B$ , faz com que o erro em regime permanente na tensão  $v_{CF}$  também diminua.

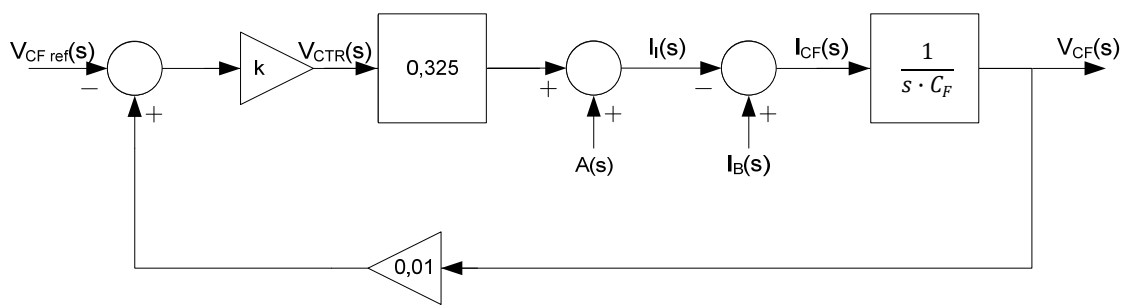


**Fig. 3.27 – Resposta no tempo do sistema com controlador proporcional,  $k=10$ .**

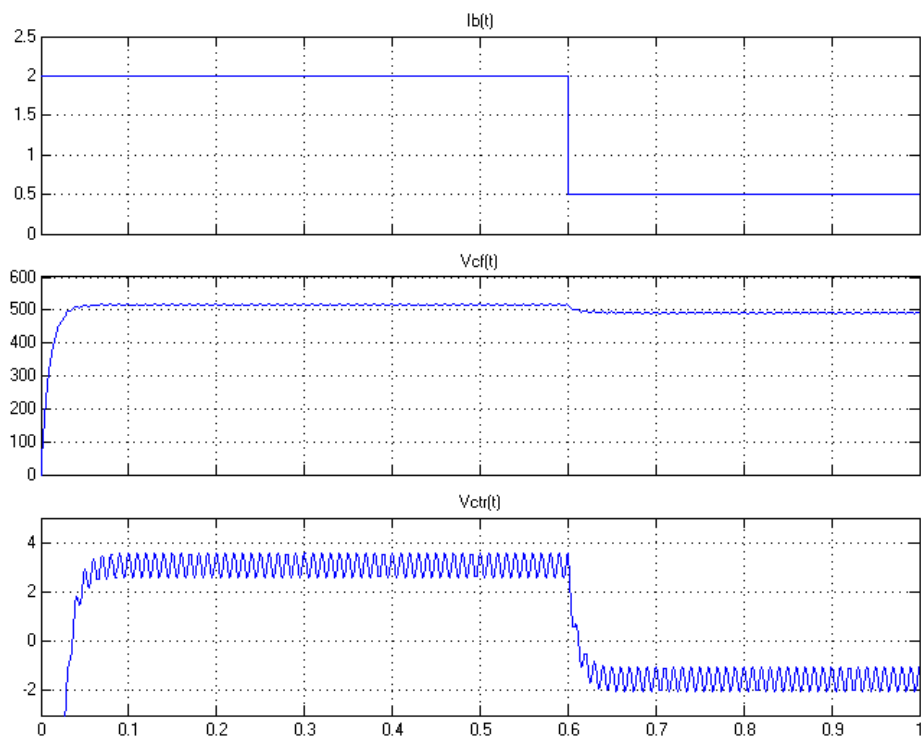


**Fig. 3.28 – Resposta no tempo do sistema com controlador proporcional,  $k=40$ .**

Na Fig. 3.29 analisa-se o sistema com a introdução da perturbação  $A(s)$ , que corresponde à componente alternada de 100 Hz na corrente  $i_l$  (3.40). Esta componente vai reflectir-se na tensão  $v_{CF}$ , fazendo com que  $v_{CTR}$  possua também uma componente a 100 Hz, Fig. 3.30. Como  $i_{LR}$  é proporcional a  $v_{CTR}$ , então a corrente a ser injectada na rede vai possuir uma distorção harmónica maior produzida por esta componente alternada. Este facto faz com que o uso de um controlador apenas proporcional não seja aconselhado.



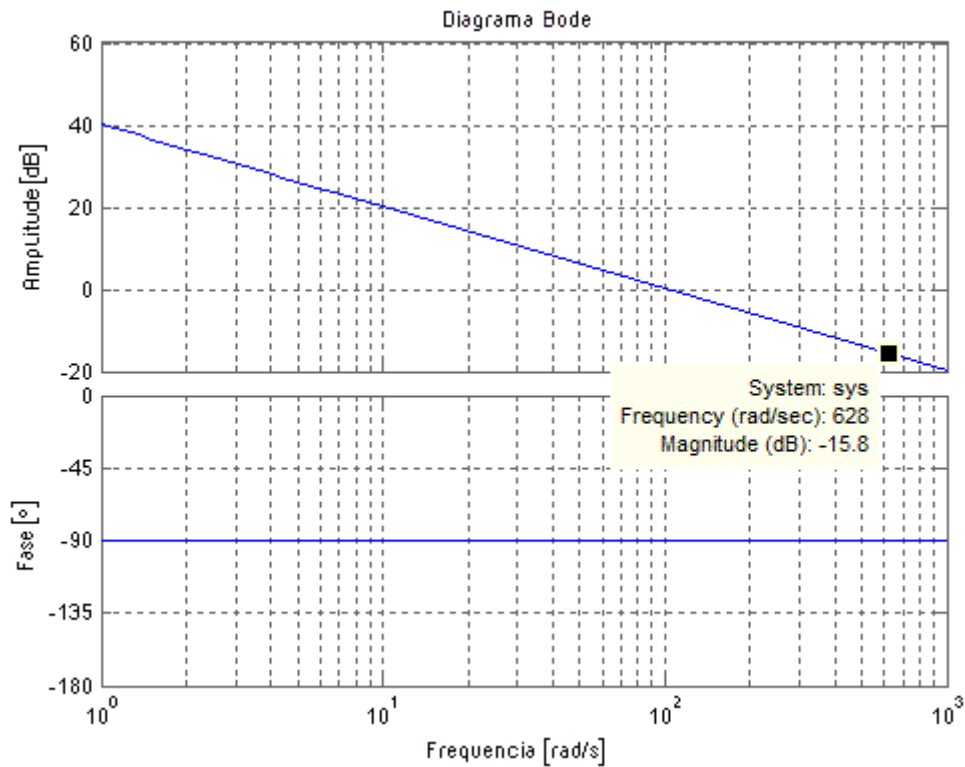
**Fig. 3.29 – Diagrama de blocos do sistema com controlador proporcional, com a perturbação de 100 Hz.**



**Fig. 3.30 – Resposta no tempo do sistema com controlador proporcional,  $k=20$  e perturbação de 100 Hz.**

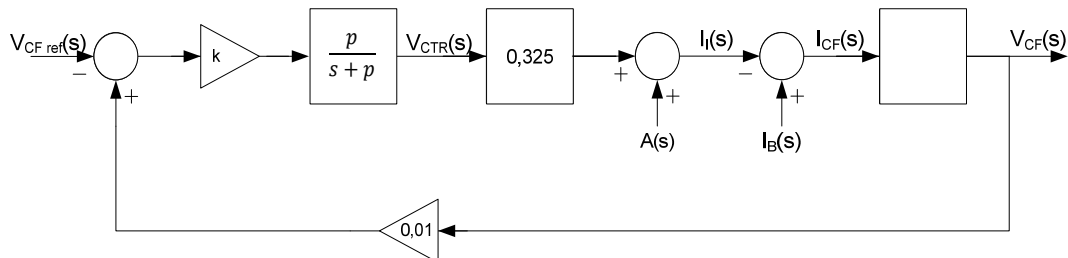
### 3.3.2.2 Controlador proporcional com constante de tempo

Para resolver o problema da componente alternada de 100 Hz na tensão  $v_{CTR}$  é necessário que o controlador tenha um ganho baixo a 100 Hz e elevado a baixa frequência. O diagrama de bode do sistema em cadeia aberta com controlador proporcional, para  $k=20$ , está representado na Fig. 3.31. Pelo diagrama de bode conclui-se que para obter um ganho de -40 dB a 100 Hz teria de se posicionar um pólo quase duas décadas antes. Contudo, quanto mais baixa for a frequência desse pólo, mais lenta vai ser a resposta no tempo do sistema. De forma a se obter uma relação de compromisso, vai posicionar-se a frequência deste pólo a 8 Hz e redimensionar o ganho  $k$  para se conseguir a atenuação pretendida a 100 Hz.



**Fig. 3.31 – Diagrama de bode do sistema em cadeia aberta com controlador proporcional, k=20.**

O diagrama de blocos do sistema com o controlador proporcional e a constante de tempo está representado na Fig. 3.32.



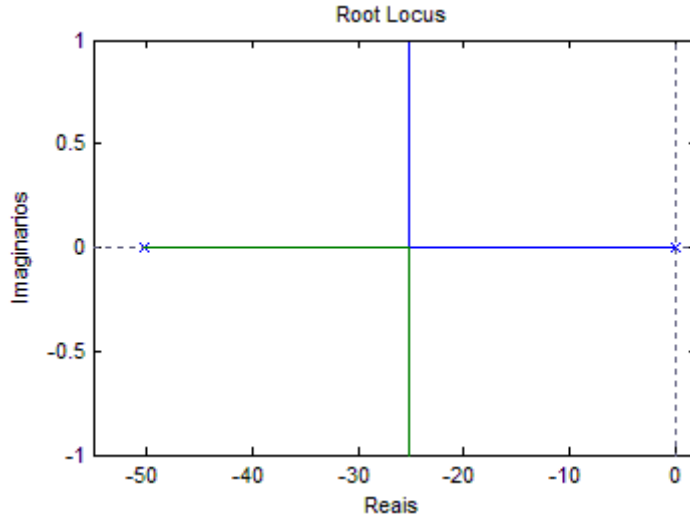
**Fig. 3.32 – Diagrama de blocos do sistema com controlador proporcional e constante de tempo**

Não se considerando as perturbações  $I_B(s)$  e  $A(s)$ , obtém-se a equação de transferência em cadeia fechada:

$$\frac{V_{CF}(s)}{V_{CFref}(s)} = \frac{k \cdot 0,325 \cdot \frac{p}{C_F}}{s^2 + s \cdot p + 0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F}} \quad (3.75)$$

Para analisar a estabilidade do sistema determina-se a função de transferência do sistema em cadeia aberta (3.76). Com esta equação, pode utilizar-se o *root locus* para determinar o valor de  $k$ , Fig. 3.33. Conclui-se que o sistema é sempre estável para um valor de  $k > 0$ , pois o valor de  $p$  é positivo.

$$ft_{ca}(s) = \frac{0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F}}{s^2 + s \cdot p} \quad (3.76)$$



**Fig. 3.33 – Root locus do sistema em cadeia aberta, com posicionamento do pólo a 8 Hz.**

Analisando o polinómio característico da função de transferência em cadeia fechada, e igualando-o ao polinómio de um sistema de 2ª ordem obtém-se:

$$s^2 + s \cdot p + 0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F} = s^2 + s \cdot 2 \cdot \xi \cdot \omega_n + \omega_n^2 \quad (3.77)$$

$$\omega_n = \sqrt{\frac{0,01 \cdot k \cdot 0,325 \cdot p}{C_F}} \quad (3.78)$$

$$\xi = \frac{1}{2 \cdot p} \sqrt{\frac{C_F}{0,01 \cdot k \cdot 0,325 \cdot p}} = \sqrt{\frac{p \cdot C_F}{4 \cdot 0,01 \cdot k \cdot 0,325}} \quad (3.79)$$

De forma a obter um ganho de -40 dB à frequência de 100 Hz é necessário definir o valor de k e da constante de tempo, sendo estes obtidos através do diagrama de Bode do sistema em cadeia aberta. O ganho do sistema em cadeia aberta vem dado por:

$$|ft_{ca}(j\omega)| = \frac{\left| 0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F} \right|}{|(j\omega)^2 + j\omega \cdot p|} = \frac{0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F}}{\omega \cdot \sqrt{\omega^2 + (p)^2}} \quad (3.80)$$

Escrevendo (3.80) em ordem a k, obtém-se:

$$k = \frac{|ft_{ca}(j2\pi f)| \cdot (2\pi f) \cdot \sqrt{(2\pi f)^2 + (p)^2}}{0,01 \cdot 0,325 \cdot \frac{p}{C_F}} \quad (3.81)$$

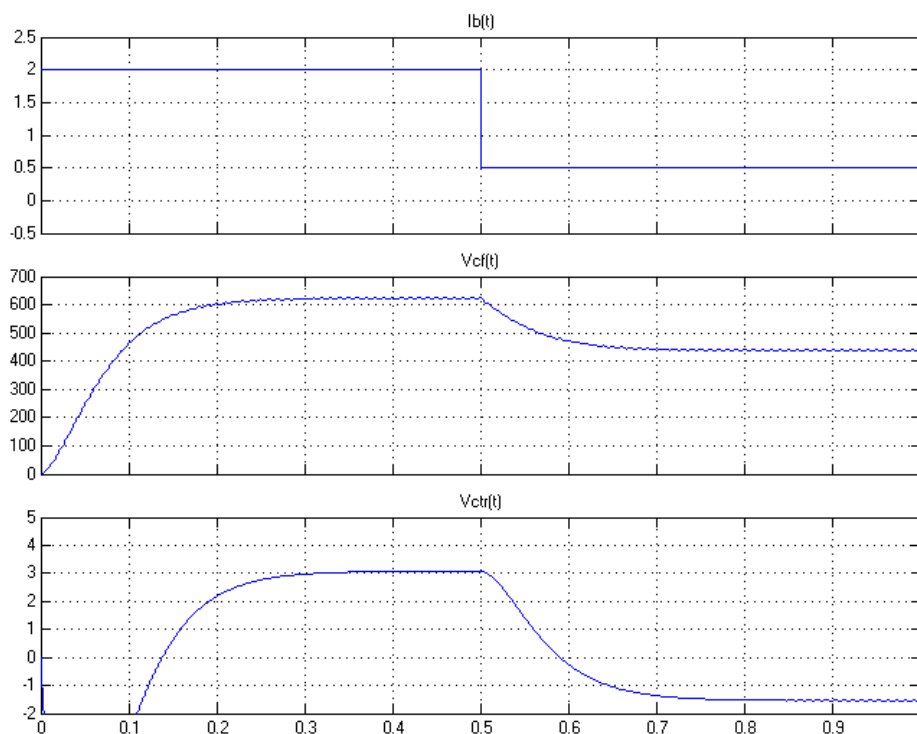
Com  $f=100\text{Hz}$  e  $|ft_{ca}(j2\pi \cdot 100)| < 0,01$  apresenta-se na Tabela 3.4 a variação do factor de amortecimento,  $\xi$ , em função de k, para o pólo à frequência de 8 Hz.



**Tabela 3.4 – Factor de amortecimento em função de k.**

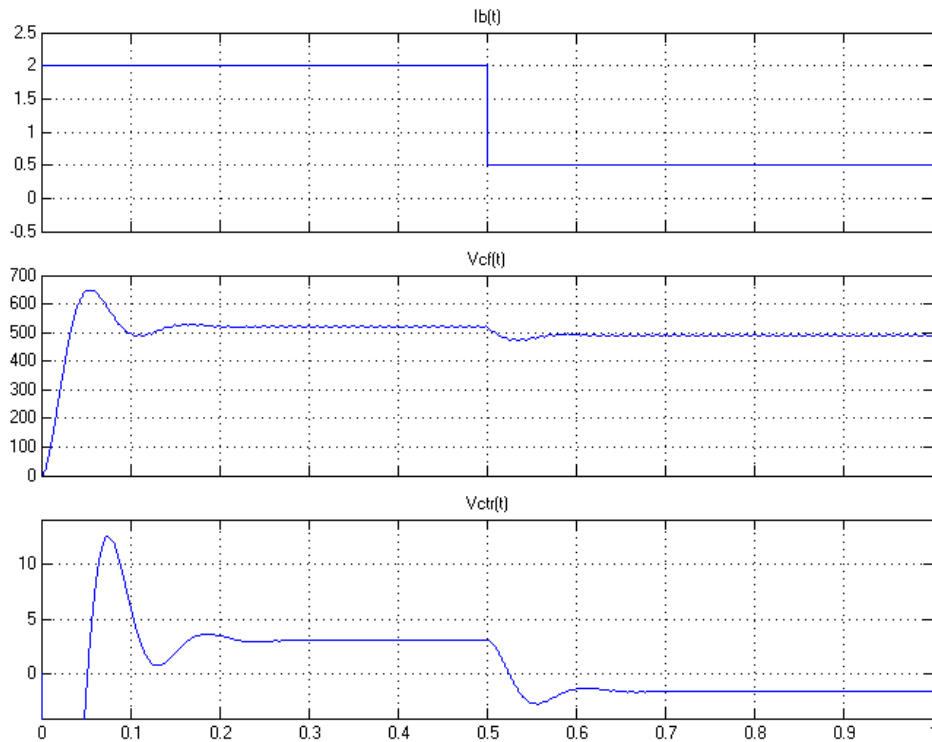
k	Ganho a 100Hz [dB]	$\xi$
2,5	-55,80	0,99
5	-49,78	0,70
7,5	-46,26	0,57
10	-43,76	0,50
12,5	-41,82	0,44
15	-40,24	0,41

De seguida analisa-se a resposta no tempo do sistema em cadeia fechada, com a introdução das perturbações para diferentes valores de k, Fig. 3.34 e Fig. 3.35.



**Fig. 3.34 – Resposta no tempo do sistema com controlador proporcional e constante de tempo,  $k=2,5$ .**

Analisando o efeito da perturbação  $A(s)$  na corrente  $i_l$ , verifica-se que esta foi bastante atenuada na tensão de  $V_{CTR}$ , relativamente ao sistema com controlador proporcional. Conclui-se também que com o aumento de k o erro em regime estacionário diminui, assim como a resposta no tempo se torna mais rápida. Contudo o aumento deste faz diminuir o valor do coeficiente de amortecimento, o que provoca uma sobrelevação na resposta no tempo de  $V_{CF}$ .



**Fig. 3.35 – Resposta no tempo do sistema com controlador proporcional e constante de tempo,  $k=15$ .**

A sobrelevação é dada por:

$$S[\%] = 100 \frac{v_{CF \max} - v_{CF \text{ final}}}{v_{CF \text{ final}}} = 100e^{-\frac{\xi \cdot \pi}{\sqrt{1-\xi^2}}} \quad (3.82)$$

Para  $k=15$  a sobrelevação quase atinge os 25 % da tensão do condensador  $C_F$ , Tabela 3.5. Uma sobrelevação muito elevada é indesejável, pois o valor da tensão no pico de sobrelevação pode ultrapassar os limites de tensão que o condensador aguenta. De forma obter uma relação de compromisso entre  $k$  e a sobrelevação, optou-se por valores de  $k$  entre os 7,5 e os 10.

**Tabela 3.5 – Sobrelevação em função de  $k$ .**

$k$	$\xi$	Sobrelevação [%]
2,5	0,99	3,39E-12
5	0,70	4,46
7,5	0,57	11,03
10	0,50	16,50
12,5	0,44	20,99
15	0,41	24,75

### 3.3.2.3 Controlador proporcional integral com constante de tempo

A escolha de um valor de  $k$  pequeno conduz a um erro em regime estacionário maior. Para resolver este problema introduziu-se uma componente integradora no sistema. A utilização de um controlador integral insere no sistema um pólo na origem, o que faz com que o erro em regime estacionário seja nulo [8]. O diagrama de blocos do controlador proporcional integral está representado na Fig. 3.36, e o diagrama de blocos do sistema com controlador proporcional integral e constante de tempo está representado na Fig. 3.37.

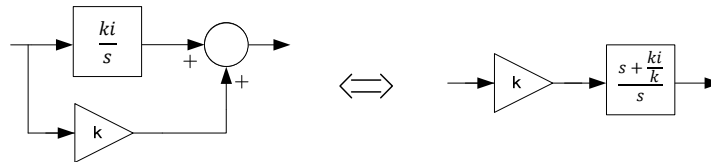


Fig. 3.36 – Diagrama de blocos de um controlador proporcional integral.

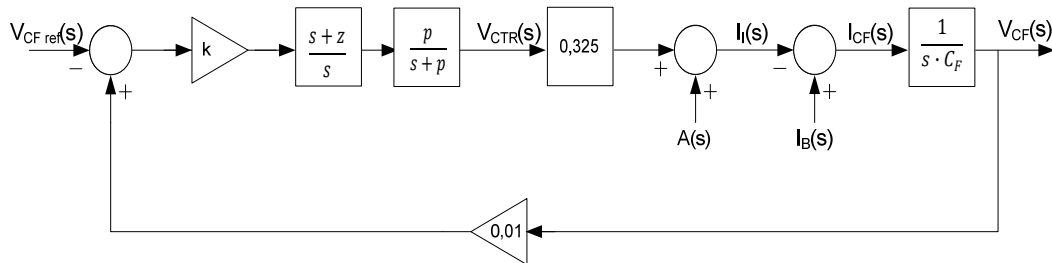


Fig. 3.37 – Diagrama de blocos do sistema com controlador proporcional integral e constante de tempo.

Não se considerando as perturbações  $I_B(s)$  e  $A(s)$ , obtém-se a equação de transferência em cadeia fechada:

$$\frac{V_{CF}(s)}{V_{CFref}(s)} = \frac{(s + Z) \cdot k \cdot 0,325 \cdot \frac{p}{C_F}}{s^3 + s^2 \cdot p + (s + Z) \cdot 0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F}} \quad (3.83)$$

Com a função de transferência do sistema em cadeia aberta (3.84) e o desenho do *root locus*, é feita uma análise para saber onde se deve posicionar o zero.

$$f_{tca}(s) = \frac{(s + Z) \cdot 0,01 \cdot k \cdot 0,325 \cdot \frac{p}{C_F}}{s^3 + s^2 \cdot p} \quad (3.84)$$

Existem várias posições possíveis para colocar o zero, sendo certo que este tem de estar a uma frequência mais baixa que o pólo da constante de tempo, caso contrário tornaria o sistema instável, Fig. 3.38. Ao analisar a influência do posicionamento do zero no *root locus* do sistema em cadeia aberta, podemos concluir que para um zero posicionado a uma frequência da ordem dos 3 Hz, Fig. 3.39, o sistema apresenta pólos complexos conjugados com um factor de amortecimento baixo, o que faz com que o sistema possua uma sobrelevação elevada. Se o posicionamento do zero for para uma frequência perto de 1 Hz, Fig. 3.40 e Fig. 3.41, então os

pólos complexos conjugados têm um factor de amortecimento mais elevado, provocando uma sobreelevação menor na resposta do sistema no tempo.

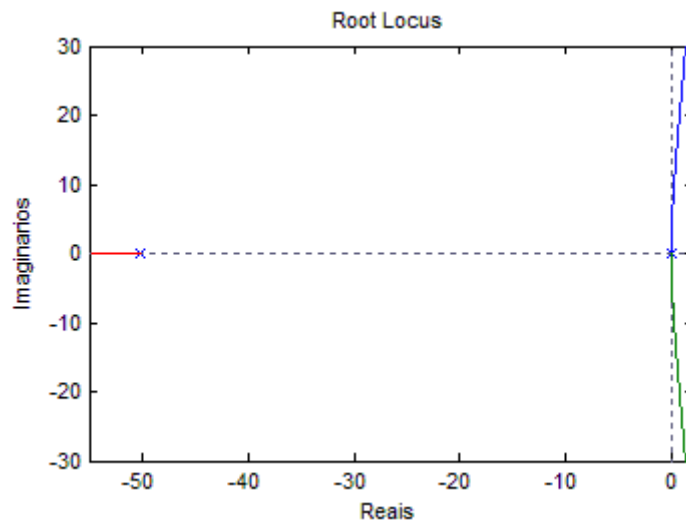


Fig. 3.38 – *Root locus* do sistema em cadeia aberta, com o zero posicionado em 10 Hz.

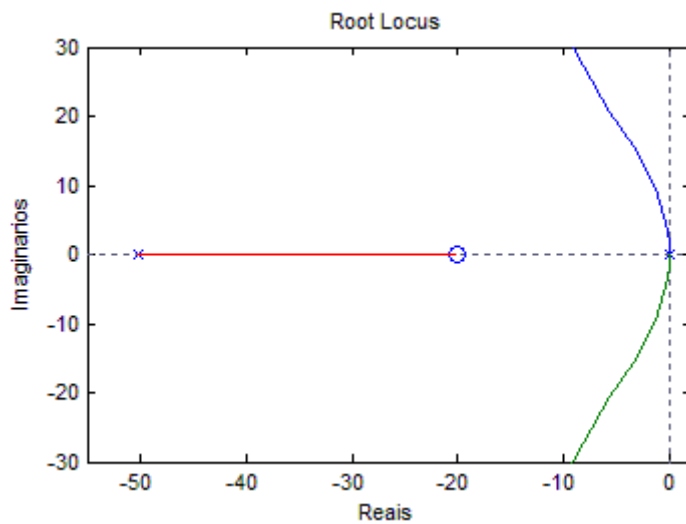
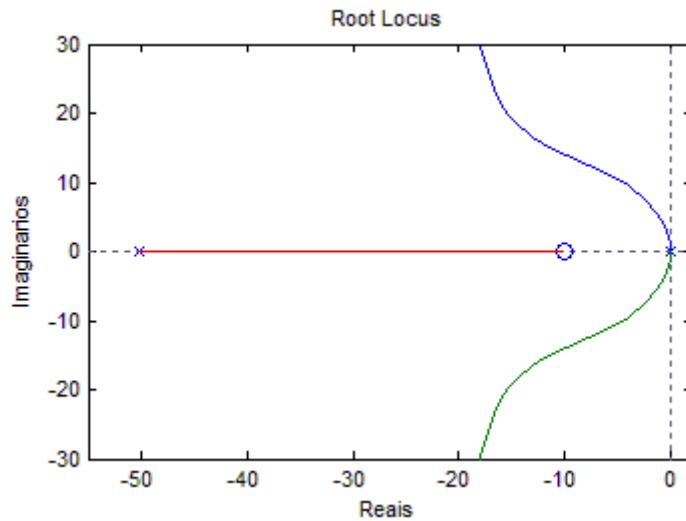
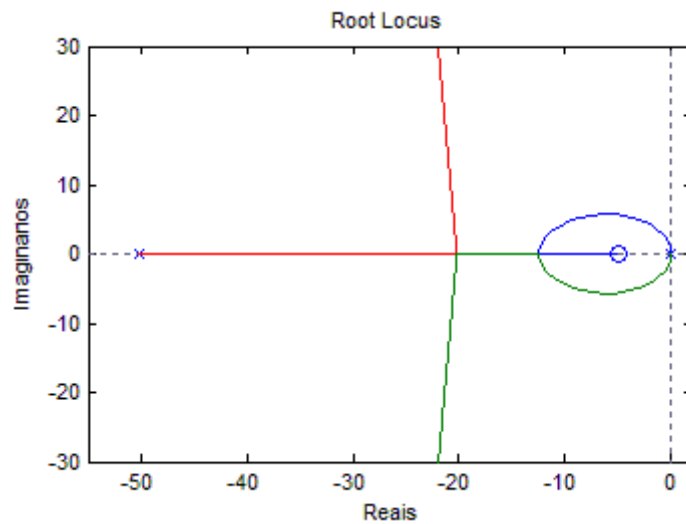


Fig. 3.39 – *Root locus* do sistema em cadeia aberta, com o zero posicionado em 3,18 Hz.



**Fig. 3.40 – Root locus do sistema em cadeia aberta, com o zero posicionado em 1,6 Hz.**



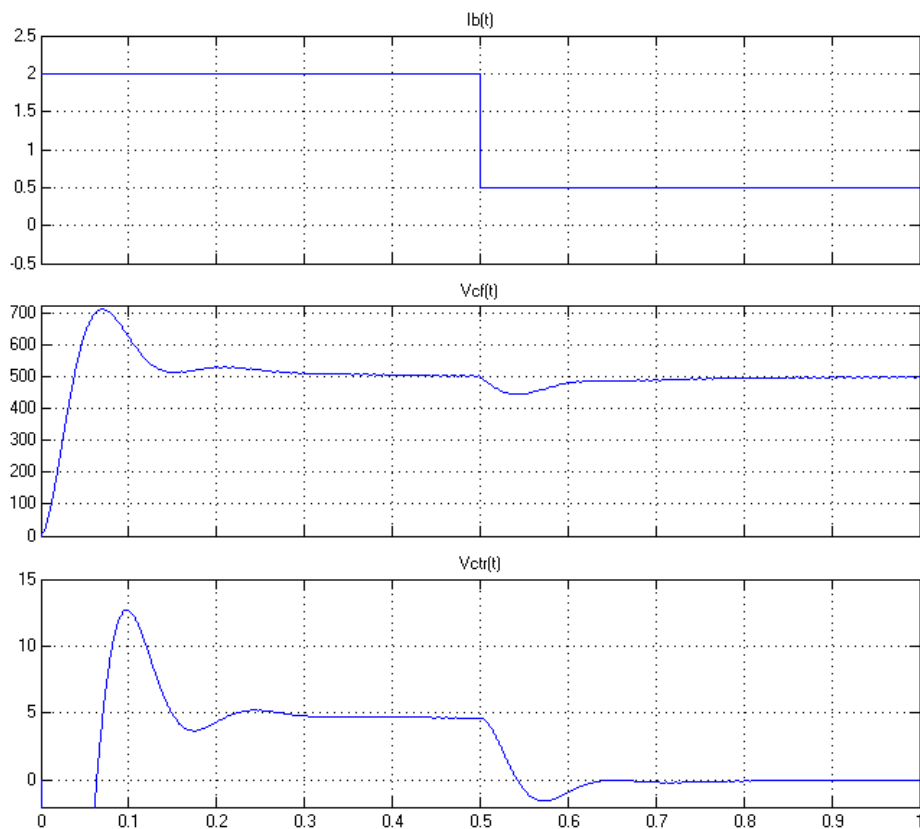
**Fig. 3.41 – Root locus do sistema em cadeia aberta, com o zero posicionado em 0,8 Hz.**

Em conformidade, efectuou-se simulações da resposta do sistema no tempo para várias posições do zero, e para cada uma observou-se a sobreelevação e o tempo de estabelecimento, Tabela 3.6. Para o dimensionamento final do controlador tem de existir uma relação de compromisso entre sobreelevação e o tempo que o sistema demora a responder. Em termos de sobreelevação, esta é menor para frequências do zero abaixo dos 1 Hz, e em termos de tempo de estabelecimento a 2 %, este é menor para frequências do zero acima dos 1Hz.

**Tabela 3.6 – Análise dos parâmetros do sistema conforme o posicionamento do zero.**

Frequência do zero	Ganho k	Sobreelevação	Tempo de estabelecimento a 2%
0,64 Hz	7	34 %	0,7 s
	10	36 %	
0,80 Hz	7	36 %	0,6 s
	10	38 %	
0,95 Hz	7	39 %	0,5 s
	10	40 %	
1,11 Hz	7	41 %	0,4s
	10	42 %	
1,27 Hz	7	43 %	0,4 s
	10	44 %	
1,43 Hz	10	47 %	0,3 s

Por último verifica-se a resposta no tempo do sistema em cadeia fechada, com a introdução das perturbações, Fig. 3.42, e o diagrama de bode do sistema em cadeia aberta, Fig. 3.43, para o zero posicionado a 1,11 Hz e  $k=10$ .



**Fig. 3.42 – Resposta no tempo do sistema com controlador proporcional integral e constante de tempo.**

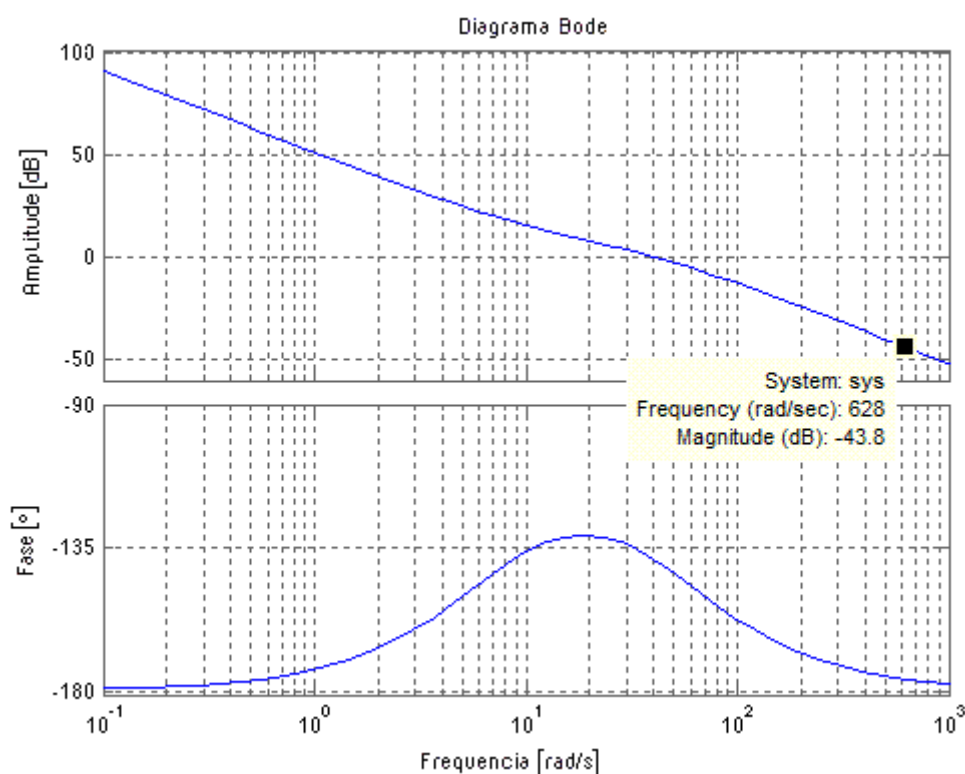


Fig. 3.43 – Diagrama de bode do sistema em cadeia aberta com controlador proporcional integral e constante de tempo.

### 3.4 Conclusões

O conversor em estudo engloba um conversor *Boost* e um inversor numa topologia de um só andar. O funcionamento do conversor *Boost* está dependente do funcionamento do inversor, sendo este controlado nos intervalos em que a tensão de saída do inversor se anula. O funcionamento deste conversor só é possível se este estiver em equilíbrio energético, para isso é necessário que a potência extraída do painel seja fornecida à rede eléctrica. O sistema de controlo deste conversor é baseado num controlo histerético da corrente injectada na rede e da corrente pedida ao painel PV, e num controlo da tensão do condensador  $C_F$  a partir de um proporcional integral com constante de tempo.





## Capítulo 4

### Circuito de Controlo e de Potência – *Hardware*.

#### 4.1 Introdução

Neste capítulo são apresentados o circuito de controlo e o circuito de potência para o conversor em estudo. Na secção 4.2 é explicado o circuito de controlo, que é constituído pelo circuito de ataque às portas dos transístores, pelo circuito de controlo histerético, pelo circuito de controlo da tensão no condensador  $C_F$ , e pelo circuito de segurança da tensão no condensador  $C_F$ . Por fim, na secção 4.3 é apresentado o circuito de potência, onde se encontra o conversor de um só andar.

#### 4.2 Circuito de Controlo

O circuito de controlo para o conversor de um só andar foi implementado a nível analógico, utilizando componentes discretos. Na Fig. 4.1 encontra-se a PCB do circuito de controlo feita para este trabalho. O *layout* da PCB do circuito de controlo encontra-se no Anexo B.

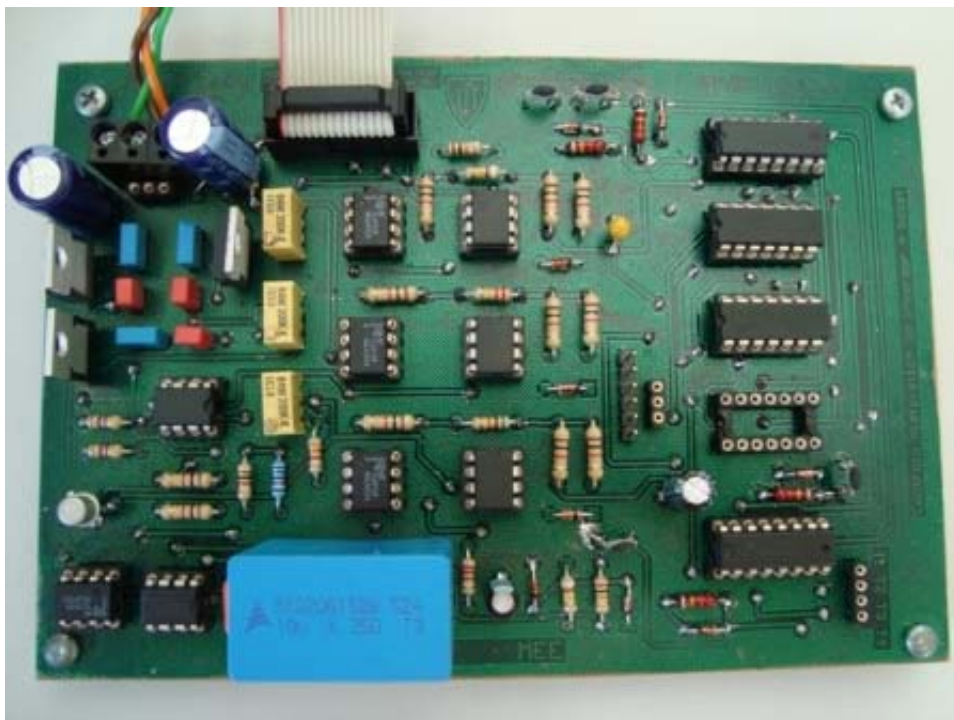
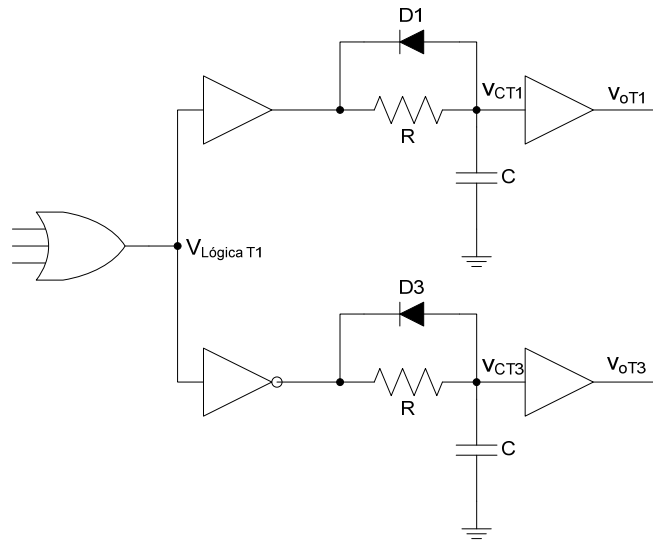


Fig. 4.1 – PCB do circuito de controlo.

#### 4.2.1 Circuito de ataque às portas dos transístores

Os transístores pertencentes ao mesmo braço do inversor não podem estar em condução simultaneamente, pois isso causa um curto-circuito aos terminais do condensador  $C_F$ . No capítulo 3 foi apresentado o circuito lógico de ataque às portas dos transístores que evitaria a condução simultânea dos transístores do mesmo braço, Fig. 3.22. Contudo os transístores têm um tempo de passagem ao corte e à condução, e o circuito lógico provocaria transições instantâneas nestas transições, que seriam indesejadas. Para resolver este problema é adicionado à saída do circuito lógico um circuito com uma constante de tempo RC e um diodo, Fig. 4.2. O circuito lógico é alimentado entre 0 e 15V.

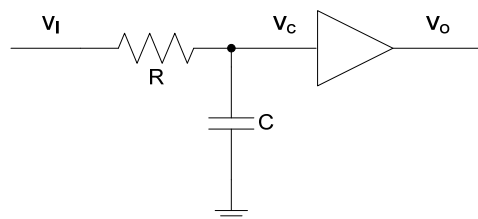


**Fig. 4.2 – Circuito com atraso de tempo para evitar condução simultânea dos transístores.**

Se num determinado instante de tempo a saída de T1 passar de 0 a 15 V, o diodo D1 está ao corte e obtém-se o circuito equivalente representado na Fig. 4.3, em que a resistência R e o condensador C introduzem uma constante de tempo no circuito. Através dessa constante de tempo consegue-se um atraso que evita que o transístor T1 entre à condução antes de T3 entrar ao corte.

$$v_I = i_R \cdot R + v_C = \frac{dv_C}{dt} \cdot R \cdot C + v_C \quad (4.1)$$

$$v_C = v_I - v_I \cdot e^{-\frac{t}{R \cdot C}} = 15 - 15 \cdot e^{-\frac{t}{R \cdot C}} \quad (4.2)$$



**Fig. 4.3 – Circuito equivalente para a situação em que  $V_I=15V$ .**

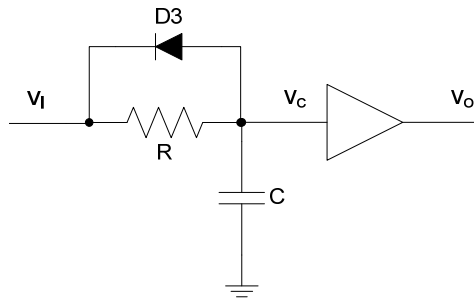
Definindo um tempo morto de 1500 ns entre 0 e 7,5 V, sendo este superior ao tempo necessário para o transístor entrar ao corte, obtém-se:

$$v_c(1500 \times 10^{-9}) = 7,5 = 15 - 15 \cdot e^{-\frac{1500 \times 10^{-9}}{R \cdot C}} \Leftrightarrow$$

$$\Leftrightarrow R \cdot C = \frac{1500 \times 10^{-9}}{\ln 2} \approx 2,16 \times 10^{-6} \text{ s} \quad (4.3)$$

O buffer, que se encontra na saída do circuito, faz com que valores de tensões em  $v_c$  abaixo dos 7,5 V sejam zero na tensão da porta do transístor, e valores de tensões acima deste sejam 15 V na tensão da porta do transístor.

No mesmo instante de tempo T3 passa de 15 a 0 V, obtendo-se o circuito equivalente representado na Fig. 4.4, onde o diodo D3 entra à condução. Como este tem uma resistência de condução inferior ao valor de R, faz com que a constante de tempo seja muito inferior a RC e o condensador descarregue rapidamente. O buffer, que se encontra na saída do circuito, tem a mesma função do buffer referido acima.



**Fig. 4.4 – Circuito equivalente para a situação em que  $V_I=0V$ .**

Com os parâmetros da Tabela 4.1 consegue-se que o sinal, para o transístor T3 entrar ao corte, aconteça 1500 ns antes do sinal para o transístor T1 entrar à condução. O esquema eléctrico deste circuito encontra-se na Fig. A.1 no Anexo A.

**Tabela 4.1 - Valores dos parâmetros do circuito de ataque às portas dos transístores.**

Variáveis	Valores
R	22 kΩ
C	100 pF

#### 4.2.2 Circuito para efectuar o controlo histerético

O conversor de um só andar em estudo utiliza um controlo histerético para as correntes  $i_{LR}$  e  $i_{LP}$ . Nesta secção vai explicar-se como é constituído este circuito.

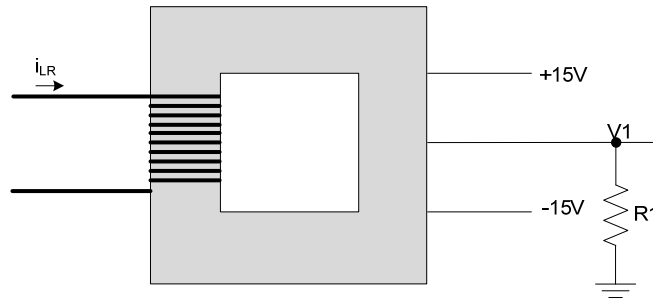
#### 4.2.2.1 Amostras dos sinais de tensão e de corrente

Para se retirar uma amostra das correntes, recorre-se a um transdutor de corrente que utiliza efeito de hall – LA55-P. Para obter uma amostra da corrente  $i_{LR}$  é necessário passá-la pelo primário do transdutor, obtendo à saída do secundário uma corrente proporcional a  $i_{LR}$ . A relação de proporcionalidade depende do número de espiras do primário, e é dada por:

$$\frac{i_{LR}}{i_{Secundário}} = \frac{1000}{n^{\circ} \text{ espiras}} \quad (4.4)$$

Para obter uma tensão com proporcionalidade de 1:1 em relação à corrente  $i_{LR}$ , foi utilizado o circuito da Fig. 4.5, em que o primário tem 10 espiras.

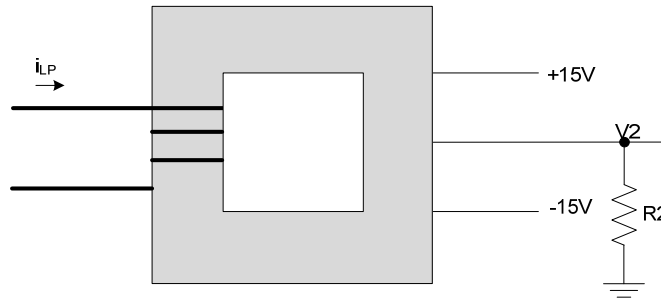
$$v_1 = i_{Secundário} \cdot R1 = \frac{i_{LR} \cdot n^{\circ} \text{ espiras}}{1000} \cdot R1 = 1 \cdot i_{LR} \quad (4.5)$$



**Fig. 4.5 Circuito para retirar uma amostra da corrente  $i_{LR}$ .**

A amostra da corrente  $i_{LP}$  é feita de forma semelhante Fig. 4.6, sendo que o primário tem 3 espiras.

$$v_2 = i_{Secundário} \cdot R2 = \frac{i_{LP} \cdot n^{\circ} \text{ espiras}}{1000} \cdot R2 \approx 1 \cdot i_{LP} \quad (4.6)$$



**Fig. 4.6 – Circuito para retirar uma amostra da corrente  $i_{LP}$ .**

Para retirar o sinal de tensão da rede foi utilizado um transformador com a relação do número de espiras de 1:0,07, o que faz reduzir a tensão de  $230\sqrt{2}$  V no primário para 22,77 V no secundário. Como o comparador é alimentado entre -15 V e 15 V foi necessário ter um divisor resistivo para reduzir a tensão do secundário do transformador, Fig. 4.7.

$$v3 = \frac{R4}{R3 + R4} \cdot 0,07 \cdot v_{Rede} \quad (4.7)$$

Os valores de R3 e R4 são obtidos de forma a obter uma tensão máxima de 10 V.

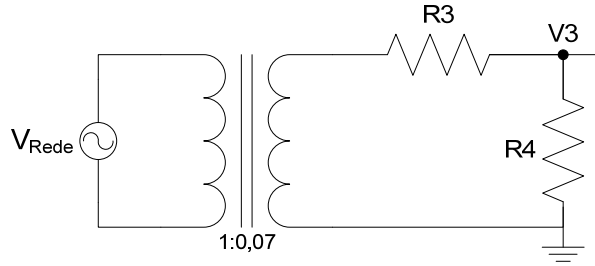


Fig. 4.7 – Circuito para retirar uma amostra da tensão da rede.

#### 4.2.2.2 Comparadores

O comparador de histerese [9] é um comparador em que o estado actual depende não só do valor da entrada actual, mas também dos valores anteriores. O comparador com histerese não inversor resulta da montagem inversora e está representado na Fig. 4.8 a). Aplicando o teorema da sobreposição ao circuito, obtém-se:

$$v_x = \frac{R6}{R5 + R6} v_I + \frac{R5}{R5 + R6} v_O \quad (4.8)$$

No caso em que  $v_x > V_{ref}$  tem-se:

$$v_O = V_{SAT}^+ \Rightarrow v_I > -\frac{R5}{R6} V_{SAT}^+ + \left(1 + \frac{R5}{R6}\right) \cdot V_{ref} \quad (4.9)$$

No caso em que  $v_x < V_{ref}$  tem-se:

$$v_O = V_{SAT}^- \Rightarrow v_I < -\frac{R5}{R6} V_{SAT}^- + \left(1 + \frac{R5}{R6}\right) \cdot V_{ref} \quad (4.10)$$

Daqui resulta a característica de transferência representada na Fig. 4.8 b). Tendo o valor da janela de histerese para cada uma das correntes, Tabela 3.2, apenas falta dimensionar o valor das resistências R5 e R6 para cada comparador.

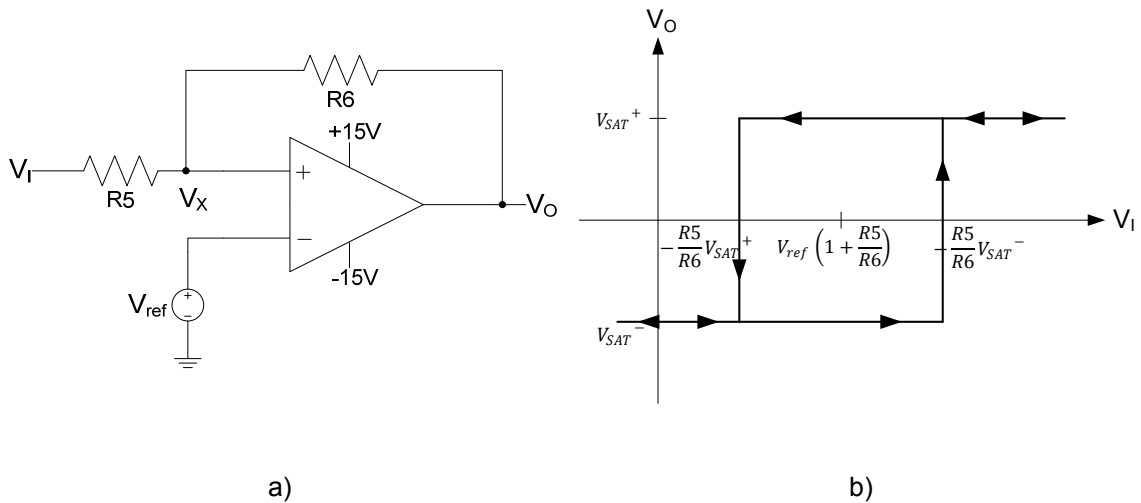


Fig. 4.8 – Comparador com histerese não inversor, a) circuito e b) característica.

Como se obteve um sinal de tensão à saída do sensor de corrente proporcional 1:1 com as correntes, então:

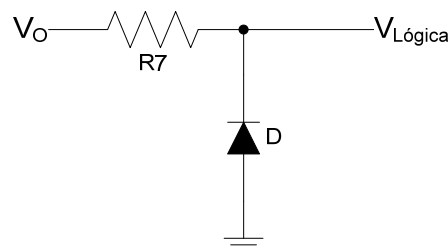
$$\Delta v = 2 \cdot \frac{R5}{R6} V_{SAT}^+ \quad (4.11)$$

São utilizados dois circuitos como o da Fig. 4.8 a), um para cada um dos sinais  $v1$  e  $v2$ . A referência para o comparador da corrente  $i_{LR}$  é obtida através do controlo do condensador  $C_F$  que vai ser explicado na secção 4.2.3.4. A referência para o comparador da corrente  $i_{LP}$  é definida pelo utilizador, sendo obtida através de um potenciómetro. No caso de se possuir um algoritmo de procura do ponto de potência máxima, a tensão de referência é controlada por este.

Para obter o sinal  $V$  (sinal de entrada do circuito lógico) utiliza-se uma montagem como a da Fig. 3.20, onde o sinal da rede é comparado com 0V, sendo  $k$  dado pela relação do número de espiras do transformador e pelo divisor resistivo, Fig. 4.7.

#### 4.2.2.3 Condicionamento do sinal de saída dos comparadores

Os sinais à saída dos comparadores, tem uma tensão de 15 e -15V, contudo o circuito lógico ao qual estes sinais vão ligar, é alimentado entre 0V e 15V. O circuito para condicionamento destes sinais está representado na Fig. 4.9.



**Fig. 4.9 – Circuito de condicionamento do sinal de saída dos comparadores.**

Quando o sinal em  $V_O$  tem 15V o diodo entra ao corte, e obtém-se:

$$V_{lógica} = 15V$$

Quando o sinal  $V_O$  tem -15V o diodo entra à condução, e obtém-se:

$$V_{lógica} = 0 - V_D,$$

caindo na resistência  $R7$  a restante tensão.

O esquema eléctrico do circuito que efectua o controlo histerético encontra-se na Fig. A.2 no Anexo A, e o dimensionamento dos parâmetros na Tabela 4.2.

**Tabela 4.2 – Valores dos parâmetros para o circuito de controlo histerético.**

Variável	Valor
R1	100 $\Omega$
R2	330 $\Omega$
R3	1 k $\Omega$
R4	750 $\Omega$
R5 de $i_{LR}$	1 k $\Omega$
R6 de $i_{LR}$	50 k $\Omega$
R5 de $i_{LP}$	1,2 k $\Omega$
R6 de $i_{LP}$	51 k $\Omega$
R7	1 k $\Omega$

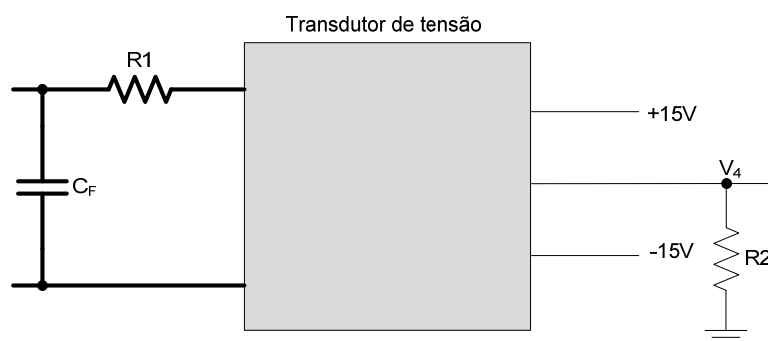
### 4.2.3 Circuito para efectuar o controlo de $v_{CF}$

O circuito de controlo para a tensão do condensador  $C_F$  é fundamental para garantir o equilíbrio energético do conversor de um só andar. O circuito de controlo da tensão  $v_{CF}$  está representado na Fig. 3.23, e será explicado detalhadamente nesta secção.

#### 4.2.3.1 Amostra do sinal de tensão no condensador $C_F$

Para retirar uma amostra da tensão  $v_{CF}$ , recorre-se a um transdutor de tensão que utiliza efeito de hall – LV25-P. A amostra da tensão  $v_{CF}$  é obtida através do circuito da Fig. 4.10. A resistência R1 é dimensionada de forma a obter uma corrente à entrada do transdutor de 10 mA (corrente máxima recomendada pelo fabricante) para um valor de tensão no condensador  $C_F$  de 1000 V. Sendo a relação entre a corrente de entrada e a de saída do transdutor de 1:2,5, obtém-se à sua saída 25 mA de corrente. Para ter em  $v_4$  uma tensão proporcional à tensão no condensador  $C_F$ , com constante de proporcionalidade 1:0,01, é necessário dimensionar R2 de acordo com:

$$v_4 = v_{CF} \cdot \frac{1}{100} \Leftrightarrow v_4 = v_{CF} \cdot \frac{R2 \cdot 2,5}{R1} \quad (4.12)$$



**Fig. 4.10 – Circuito para retirar uma amostra da tensão  $v_{CF}$ .**

#### 4.2.3.2 Controlador proporcional integral com constante de tempo

Para efectuar o controlo da tensão no condensador  $C_F$  é necessário ter um controlador proporcional integral com constante de tempo, como foi explicado no capítulo 3. O controlador está representado na Fig. 4.11.

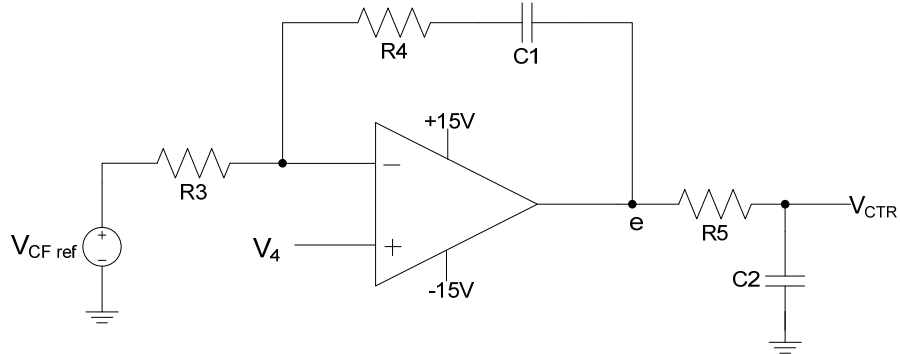


Fig. 4.11 – Circuito do controlador proporcional integral com constante de tempo.

Aplicando o teorema da sobreposição tem-se:

$$\frac{E(s)}{V_{CF\ ref}(s)} = -\frac{R4 + \frac{1}{s \cdot C1}}{R3} = -\frac{R4}{R3} \cdot \frac{s + \frac{1}{C1 \cdot R4}}{s} \quad (4.13)$$

$$\frac{E(s)}{V_4(s)} = 1 + \frac{R4 + \frac{1}{s \cdot C1}}{R3} = 1 + \frac{R4}{R3} \cdot \frac{s + \frac{1}{C1 \cdot R4}}{s} \quad (4.14)$$

$$E(s) = \frac{R4}{R3} \cdot \frac{s + \frac{1}{C1 \cdot R4}}{s} \cdot (V_4(s) - V_{CF\ ref}(s)) + V_4(s) \quad (4.15)$$

Por (4.15) conclui-se que este circuito não é uma montagem diferença ideal, contudo como o sistema é estável e tem realimentação negativa, o erro da tensão de  $v_{CF}$  vai tender para zero.

$$e = i_{R3} \cdot R5 + v_{CTR} = C2 \cdot \frac{dv_{CTR}}{dt} \cdot R5 + v_{CTR} \quad (4.16)$$

Utilizando a transformada de Laplace tem-se:

$$\frac{V_{CTR}(s)}{E(s)} = \frac{\frac{1}{R5 \cdot C2}}{s + \frac{1}{R5 \cdot C2}} \quad (4.17)$$

Através do diagrama de blocos do sistema, Fig. 3.37, obtém-se:

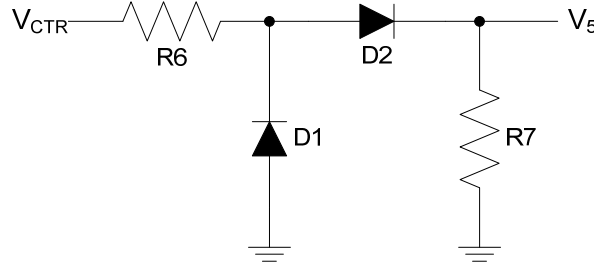
$$\frac{R4}{R3} \cdot \frac{s + \frac{1}{C1 \cdot R4}}{s} = k \cdot \frac{s + z}{s} \quad (4.18)$$

$$\frac{\frac{1}{R5 \cdot C2}}{s + \frac{1}{R5 \cdot C2}} = \frac{p}{s + p} \quad (4.19)$$



#### 4.2.3.3 Condicionamento do sinal $v_{CTR}$

Através do estudo feito para o dimensionamento do controlador, no capítulo 3, verifica-se que a tensão  $v_{CTR}$  é negativa no intervalo de tempo em que o condensador  $C_F$  está a carregar. Se a tensão  $v_{CTR}$  for negativa então a corrente injectada na rede vem com uma desfasagem de  $0^\circ$  em relação à tensão da rede, o que queria dizer que estaríamos a consumir energia e não a fornecer-la. Para evitar este problema utiliza-se, a seguir ao controlador, o circuito da Fig. 4.12.



**Fig. 4.12 – Circuito de condicionamento do sinal de saída do controlador.**

Quando o sinal em  $v_{CTR}$  tem -15 V, o díodo D1 entra à condução e o díodo D2 entra ao corte, obtendo-se:

$$v_5 = 0 \quad (4.20)$$

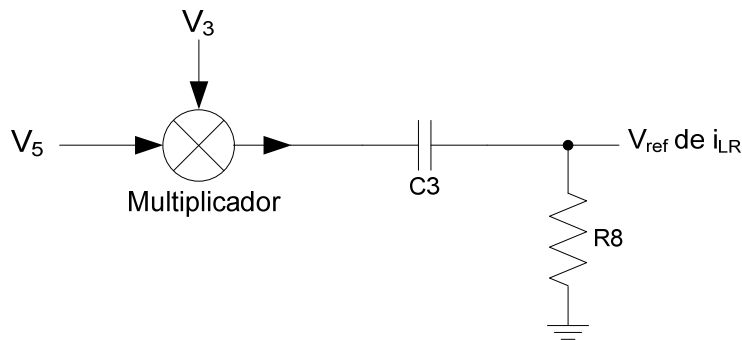
Quando o sinal em  $v_{CTR}$  tem 15 V, o díodo D1 entra ao corte e o díodo D2 entra à condução, obtendo-se:

$$v_5 = V_{D2} - \frac{R7}{R6 + R7} v_{CTR} \quad (4.21)$$

O valor de  $R6$  é dimensionado para ser inferior ao de  $R7$ , para o valor de  $v_5$  ser mais próximo de 15 V. De forma a poupar componentes, suprime-se a resistência  $R6$  e utiliza-se a resistência  $R5$ , utilizada na constante de tempo do controlador.

#### 4.2.3.4 Referência da corrente $i_{LR}$

Para manter o funcionamento do conversor em equilíbrio energético, utiliza-se uma medida do valor da tensão  $v_{CTR}$  como referência de amplitude para o sinal  $V1$ , que é proporcional à corrente a injectar na rede. Se a tensão no condensador  $C_F$  estiver a aumentar, o valor da tensão  $v_{CTR}$  aumenta e o valor da amplitude da corrente a injectar na rede também aumenta, fazendo com que o valor de tensão no condensador  $C_F$  desça, e vice-versa. Desta forma consegue-se regular o funcionamento do conversor para que forneça à rede a potência que conseguiu extrair do painel. O circuito para realizar este procedimento está representado na Fig. 4.13. Na saída do multiplicador é aplicado um filtro passa-alto para retirar o *offset* introduzido pelo multiplicador e pela tensão  $V3$ .



**Fig. 4.13 – Circuito para obter a referência de corrente  $i_{LR}$ .**

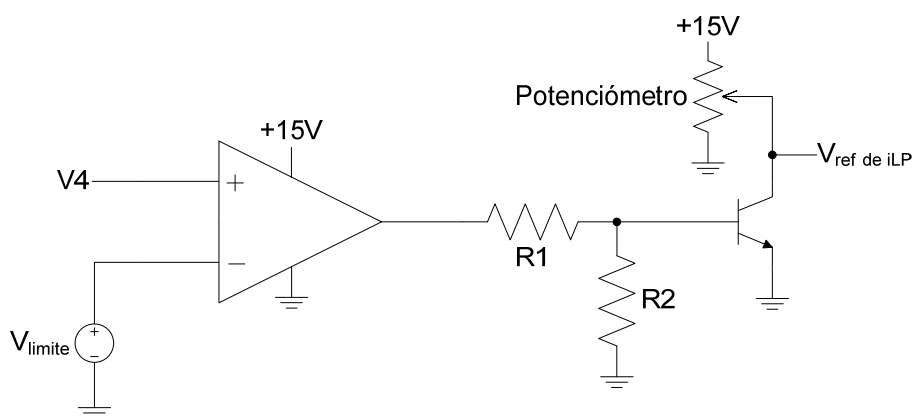
O esquema eléctrico do circuito que efectua o controlo da tensão no condensador  $C_F$  encontra-se na Fig. A.3 no Anexo A, e o dimensionamento dos parâmetros na Tabela 4.3.

**Tabela 4.3 – Valores dos parâmetros para o circuito de controlo de  $v_{CF}$ .**

Variáveis	Valor
R1	100 k $\Omega$
R2	400 $\Omega$
p	50 rad/s
z	7,1 rad/s
k	10
R3	1 k $\Omega$
R4	10 k $\Omega$
R5	2 k $\Omega$
C1	14 $\mu$ F
C2	10 $\mu$ F
R7	20 k $\Omega$
C3	910 k $\Omega$
R8	1 $\mu$ F

#### 4.2.4 Circuito de segurança de $v_{CF}$

O sistema de controlo conta também com um circuito de segurança para evitar que a tensão no condensador  $C_F$  exceda o seu limite de funcionamento Fig. 4.14. Neste circuito é comparada a amostra da tensão no condensador  $C_F$ ,  $v_4$ , com um valor limite que é definido pelo utilizador,  $V_{limite}$ . Quando a tensão  $v_4$  estiver abaixo deste valor, o comparador tem à sua saída 0V e o transístor está ao corte. Neste caso  $V_{ref\ de\ i_{LP}}$  tem o valor definido pelo utilizador, e o conversor transfere energia do painel para o condensador  $C_F$ . Quando a tensão  $v_4$  estiver acima do valor limite, o comparador tem à sua saída 15 V e o transístor entra à condução. Neste caso  $V_{ref\ de\ i_{LP}}$  fica com 0 V, e o conversor deixa de transferir energia do painel para o condensador  $C_F$ .



**Fig. 4.14 – Circuito de segurança.**

O esquema eléctrico do circuito de segurança da tensão no condensador  $C_F$  encontra-se na Fig. A.3 no Anexo A, e o dimensionamento dos parâmetros na Tabela 4.4.

**Tabela 4.4 – Valores dos parâmetros para o circuito de segurança de  $v_{CF}$ .**

Variável	Valor
R1	1 kΩ
R2	1 kΩ

### 4.3 Circuito de Potência

O circuito de potência onde se encontra o conversor de um só andar, foi projectado a partir de um circuito de potência de um inversor em ponte completa<sup>1</sup>. Neste foram feitas modificações de forma a transformar o inversor no conversor em estudo. Foram adicionadas duas sondas de corrente, uma sonda de tensão e um transformador de 230 V para 15 V. Foram também introduzidas as bobinas  $L_R$  e  $L_P$ . Foi trocado o condensador  $C_F$ , e foram adicionados *snubbers* em anti-paralelo com os diodos dos IGBTs. Neste projecto foram utilizados IGBTs de 1200 V e 20 A de corrente a 20 kHz. Os transístores MOSFET foram preteridos em relação a estes, porque para esta gama de tensão e corrente os IGBTs têm um preço mais reduzido, custam três vezes menos. Na Fig. 4.15 encontra-se a uma imagem do circuito de potência.

No Anexo C está uma tabela com os componentes utilizados e o seu custo, e no Anexo D encontra-se a forma como foram dimensionadas as bobinas.

<sup>1</sup> Trabalho desenvolvido pelo Eng. Hugo Ribeiro, relacionado com o seu doutoramento.

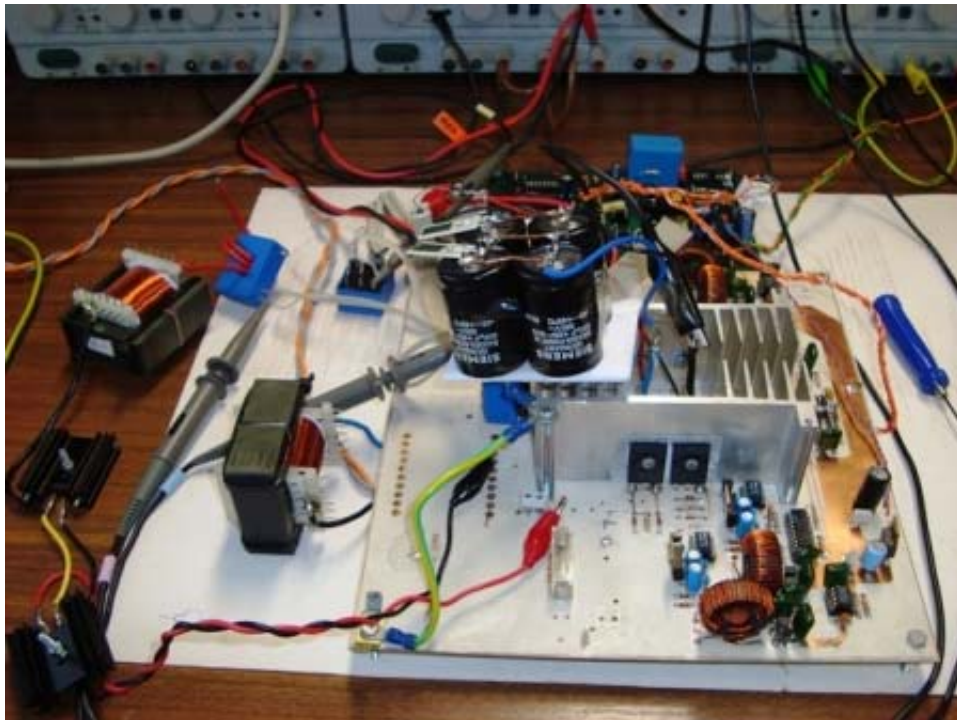


Fig. 4.15 – Circuito de potência.

#### 4.4 Conclusões

O circuito de controlo contém um circuito de ataque às portas dos transístores que evita que dois transístores do mesmo braço estejam à condução simultaneamente.

Para efectuar o controlo do conversor é necessário retirar amostras dos sinais das correntes  $i_{LP}$ ,  $i_{LR}$ , e da tensão no condensador  $C_F$ . Tanto os comparadores como o controlador são implementados consoante o dimensionamento efectuado no capítulo 3. Por fim é ainda necessário efectuar o condicionamento dos sinais de saída dos comparadores para serem compatíveis com o circuito lógico que controla os transístores.

Para constituir o circuito de potência foi utilizado um circuito com um inversor já existente, ao qual foram adicionados os restantes componentes.

## Capítulo 5

# Simulação e Resultados Experimentais

### 5.1 Introdução

Neste capítulo são apresentados os resultados obtidos para o conversor de um só andar. Na secção 5.2 são apresentados os resultados da simulação. Na secção 5.3 são apresentados os resultados experimentais.

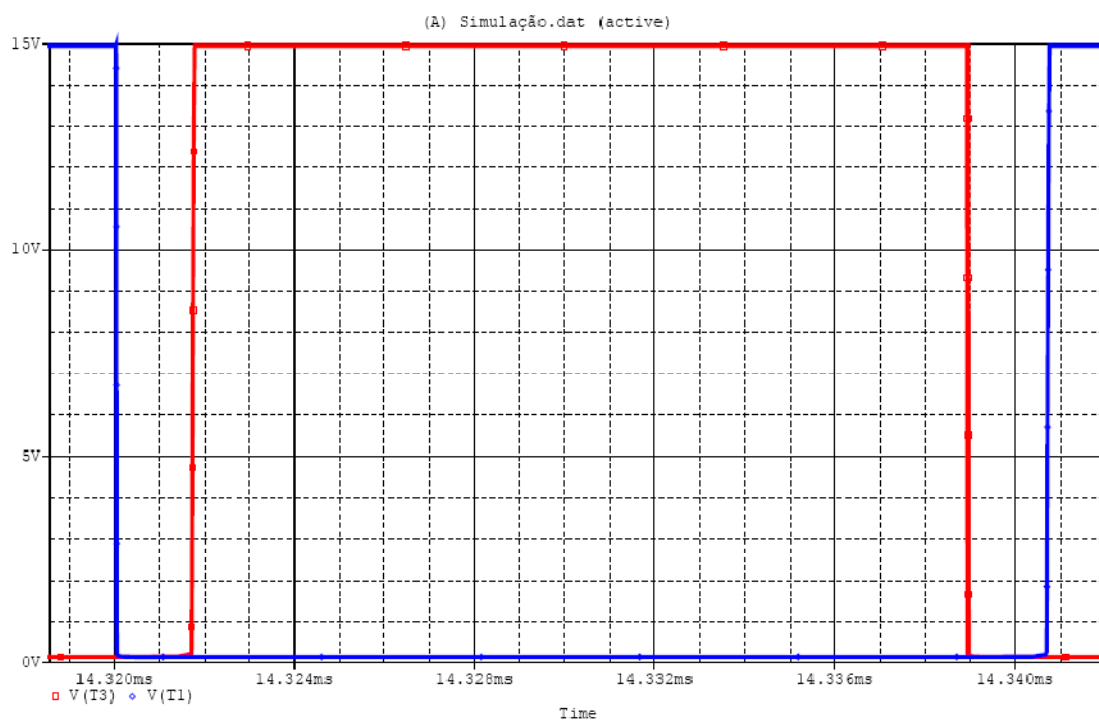
Na simulação e nos resultados experimentais utilizou-se uma fonte de tensão contínua, porque não havia nenhum painel PV disponível.

### 5.2 Resultados da Simulação

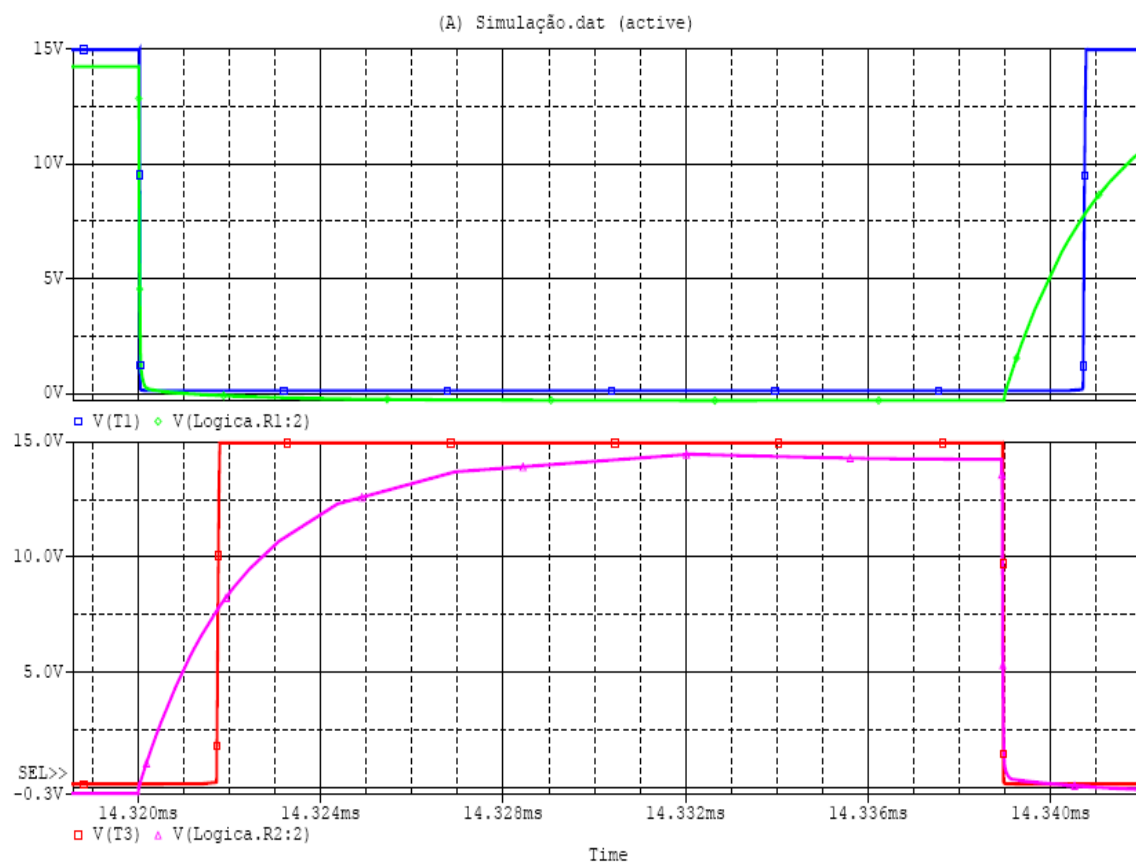
A simulação foi efectuada no simulador OrCAD Capture 16.0.0 PSpice A/D, para uma potência de entrada no conversor de 1 kW, cujos valores de dimensionamento das variáveis se encontram na Tabela 3.2.

#### 5.2.1 Tempos mortos entre os sinais das portas dos transístores.

Os tempos mortos entre os sinais das portas dos transístores, que pertencem ao mesmo braço do inversor, são essenciais para que não exista um curto-circuito aos terminais do condensador  $C_F$ . Na Fig. 5.1 confere-se que existem tempos mortos entre os sinais das portas dos transístores T1 e T3, sendo o seu valor de 1600ns. Na Fig. 5.2 verifica-se que na transição de 0 V para 15 V, as tensões  $V_{CT1}$  e  $V_{CT3}$  demoram cerca de 1700 ns a atingir o valor de 7,5 V. Na transição de 15 V para 0 V, estas tensões demoram perto de 45 ns até chegarem a 0 V.



**Fig. 5.1 – Sinais das portas dos transístores:  $V_{oT1}$  a azul,  $V_{oT3}$  a vermelho.**



**Fig. 5.2 – Sinais das portas dos transístores:  $V_{oT1}$  a azul,  $V_{CT1}$  a verde,  $V_{oT3}$  a vermelho, e  $V_{CT3}$  a roxo.**

### 5.2.2 Corrente injectada na rede com a tensão $v_{CF}$ estabilizada em 500V

Para testar apenas o funcionamento do inversor, fez-se uma simulação com uma fonte de alimentação de 500 V no lugar do condensador  $C_F$ , e retirou-se os componentes pertencentes ao conversor *Boost* e ao seu controlo. Desta forma é possível verificar se o inversor está a funcionar correctamente. Na Fig. 5.3 estão representados os sinais de corrente injectada na rede  $i_{LR}$  e corrente de referência  $i_{LRref}$ . Nesta é possível verificar que a corrente  $i_{LR}$  acompanha a referência com uma histerese de 0,6 A, tal como tinha sido dimensionado. Na Fig. 5.4 estão representados os sinais de corrente  $i_{LR}$ ,  $i_{LRref}$  e a tensão de saída do inversor,  $v_{AB}$ . No meio ciclo positivo  $v_{AB} = 500$  V quando se pretende que a corrente  $i_{LR}$  suba e  $v_{AB} = 0$  V quando se pretende que esta desça. No meio ciclo negativo  $v_{AB} = -500$  V quando se pretende que a corrente  $i_{LR}$  desça e  $v_{AB} = 0$  V quando se pretende que esta suba.

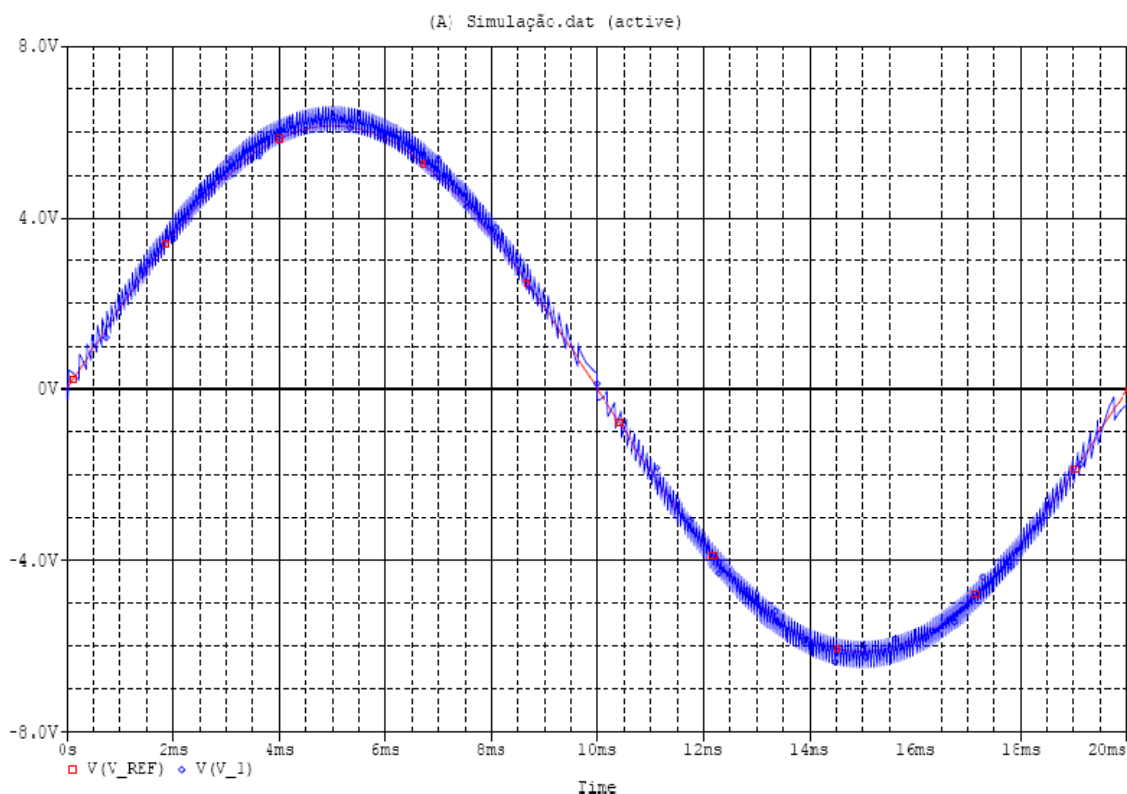
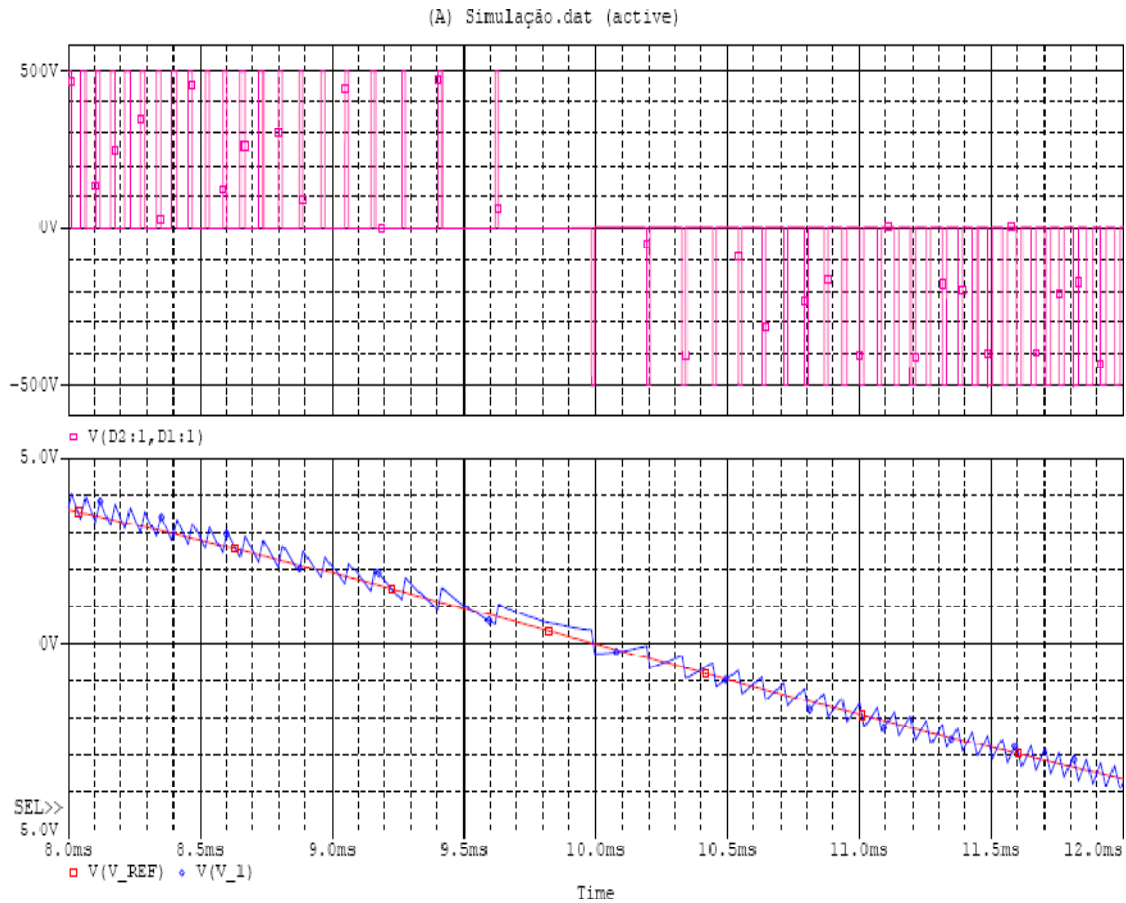


Fig. 5.3 – Sinal  $i_{LR}$  a azul, e sinal  $i_{LRref}$  a vermelho.



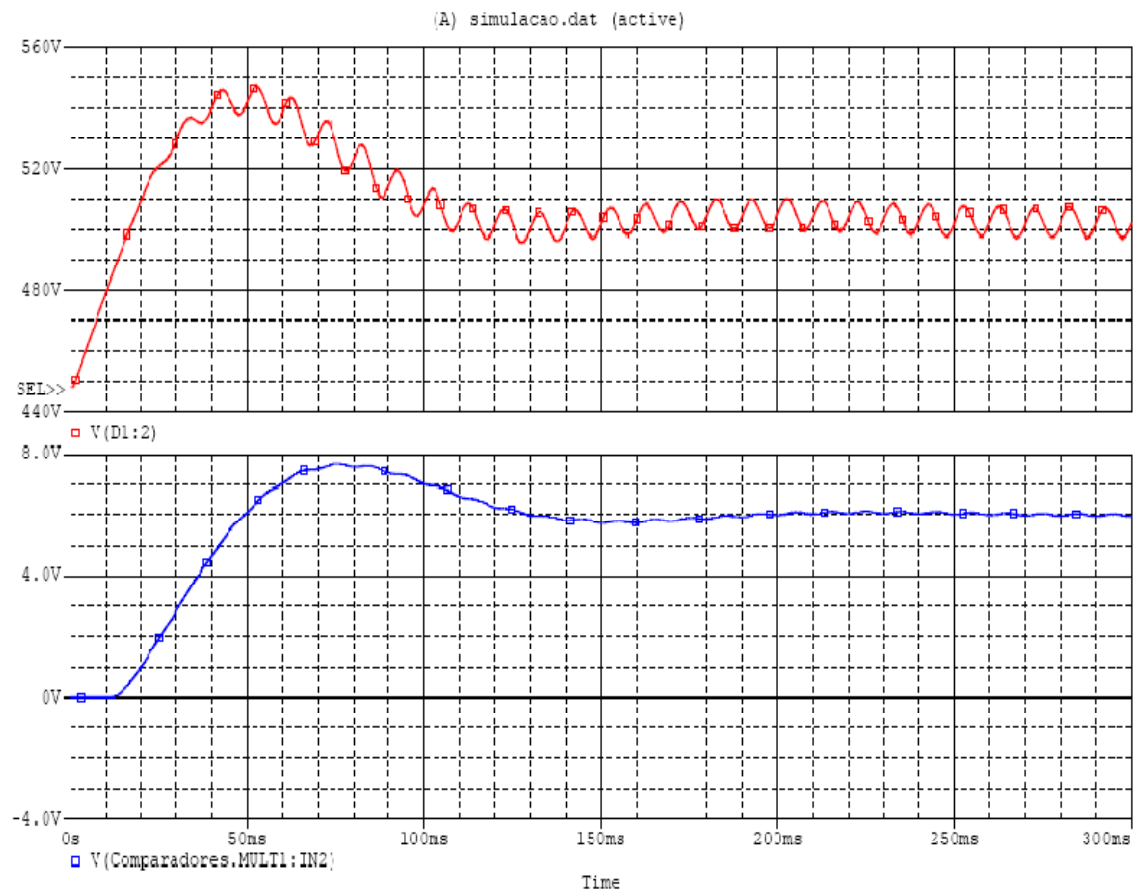
**Fig. 5.4 – Sinal  $i_{LR}$  a azul, e sinal  $i_{LRref}$  a vermelho, e sinal  $v_{AB}$  a roxo.**

### 5.2.3 Corrente injectada na rede com $C_F$ a carregar.

Para verificar o funcionamento completo do conversor de um só andar, efectuou-se uma simulação de 300 ms, para garantir que a tensão no condensador  $C_F$  estabiliza-se nos 500 V.

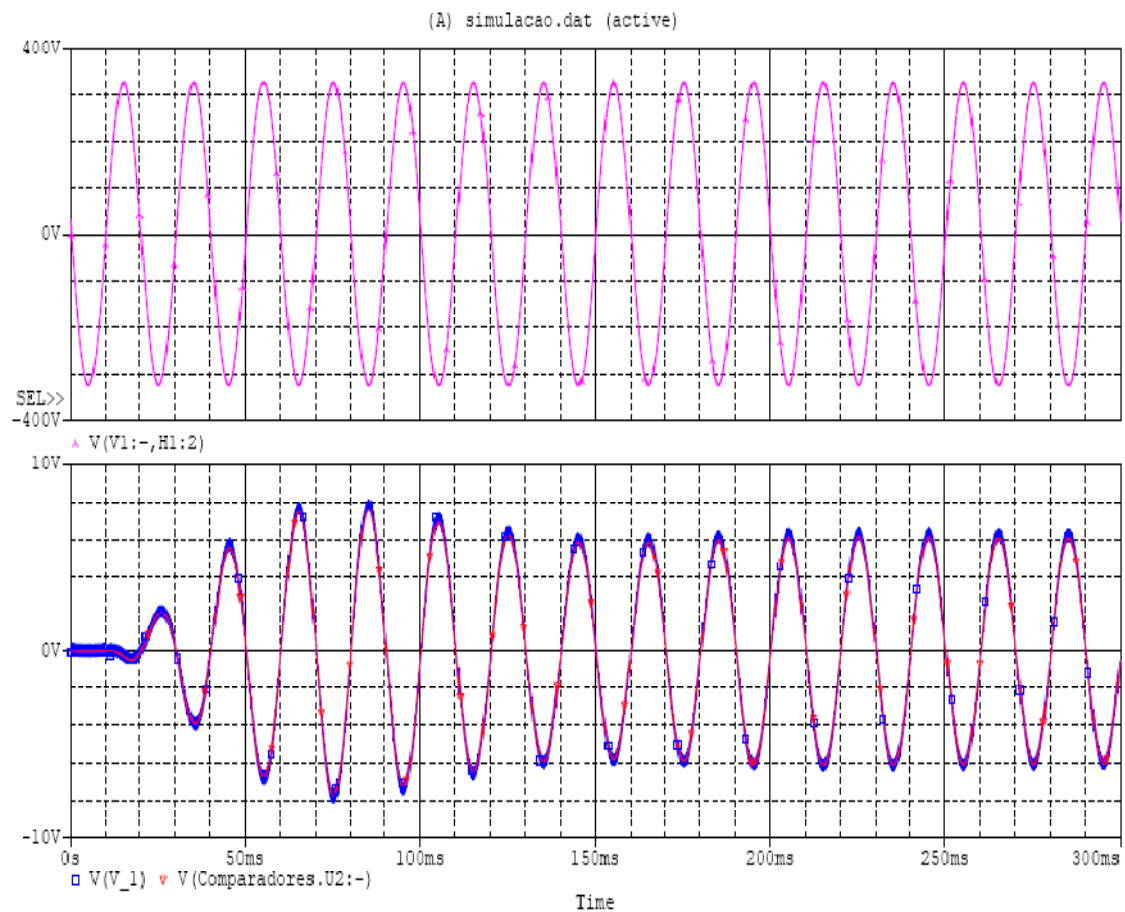
Na Fig. 5.5 é possível constatar que a tensão no condensador  $C_F$  estabiliza nos 500 V e tem um *ripple* de tensão de 10 V, tal como foi dimensionado. Também se verifica que a oscilação de 100 Hz na tensão  $V_{CTR}$  foi atenuada, tal como se pretendia.



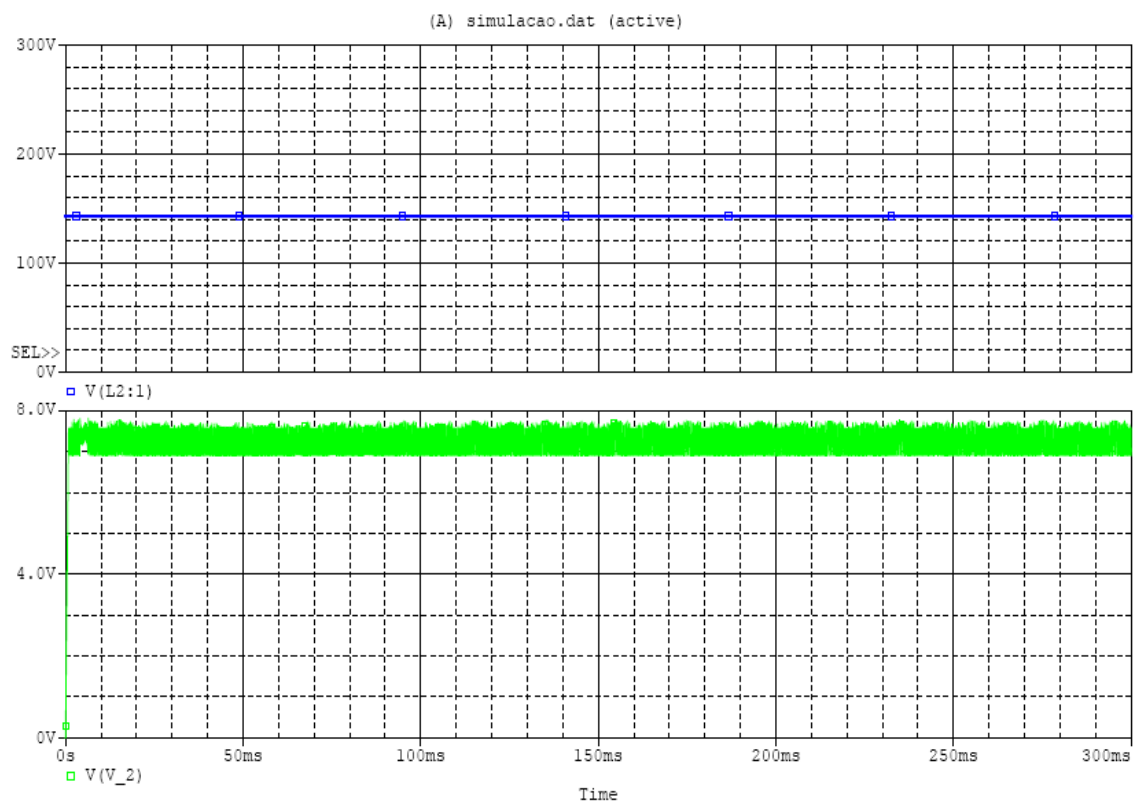


**Fig. 5.5 – Sinal  $v_{CF}$  a vermelho, e sinal  $V_{CTR}$  a azul.**

Na Fig. 5.6 está representado o sinal da corrente injectada na rede,  $i_{LR}$ , onde se pode verificar que a sua amplitude vai variando consoante a tensão condensador  $C_F$ . Quando a tensão  $v_{CF}$  está abaixo dos 500 V, a amplitude da corrente  $i_{LR}$  é baixa, subindo à medida que o condensador  $C_F$  carrega. O controlador que foi implementado provoca um atraso na resposta do sistema, ou seja, o valor da amplitude da corrente  $i_{LR}$  vai ter um atraso relativamente ao valor da tensão no condensador  $C_F$ . Isto vai provocar com que a tensão  $v_{CF}$  suba até 550 V e só a partir desse ponto é que o valor do produto corrente injectada na rede e tensão na rede é superior ao valor da potência entregue pelo painel fotovoltaico, fazendo com que o valor de tensão no condensador desça. Na Fig. 5.6 é possível também verificar que a tensão da rede tem uma desfasagem de  $180^\circ$  relativamente à corrente  $i_{LR}$ , indicando que o conversor está a fornecer potência à rede eléctrica.



**Fig. 5.6 – Sinal  $i_{LR}$  a azul, sinal  $i_{LRref}$  a vermelho, e sinal  $V_{Rede}$  a roxo.**



**Fig. 5.7 – Sinal  $v_{Painel}$  a azul, e sinal  $i_{LP}$  a verde.**

Na Fig. 5.7 estão representados os sinais da tensão no painel e a corrente pedida ao painel,  $i_{LP}$ , cujo produto dá uma potência de 1 kW. O sinal da corrente  $i_{LP}$  tem um valor médio de 7 A, com um *ripple* de 0,7 A, tal como foi dimensionado.

### 5.3 Resultados Experimentais

Os resultados experimentais foram obtidos para valores de potência na entrada do conversor de 51, 75, 102, 150, 210, 252, 285, 300 e 340 W.

#### 5.3.1 Tempos mortos entre os sinais das portas dos transístores.

Na Fig. 5.8 e Fig. 5.9 verifica-se que existem tempos mortos entre os sinais das portas dos transístores T1 e T3, sendo o seu valor de 1650 ns e 1500 ns, na Fig. 5.8 e Fig. 5.9 respectivamente. A diferença entre os valores dos tempos mortos é causada pela diferença dos valores das resistências e condensadores, pois cada componente tem uma tolerância associado ao seu valor.

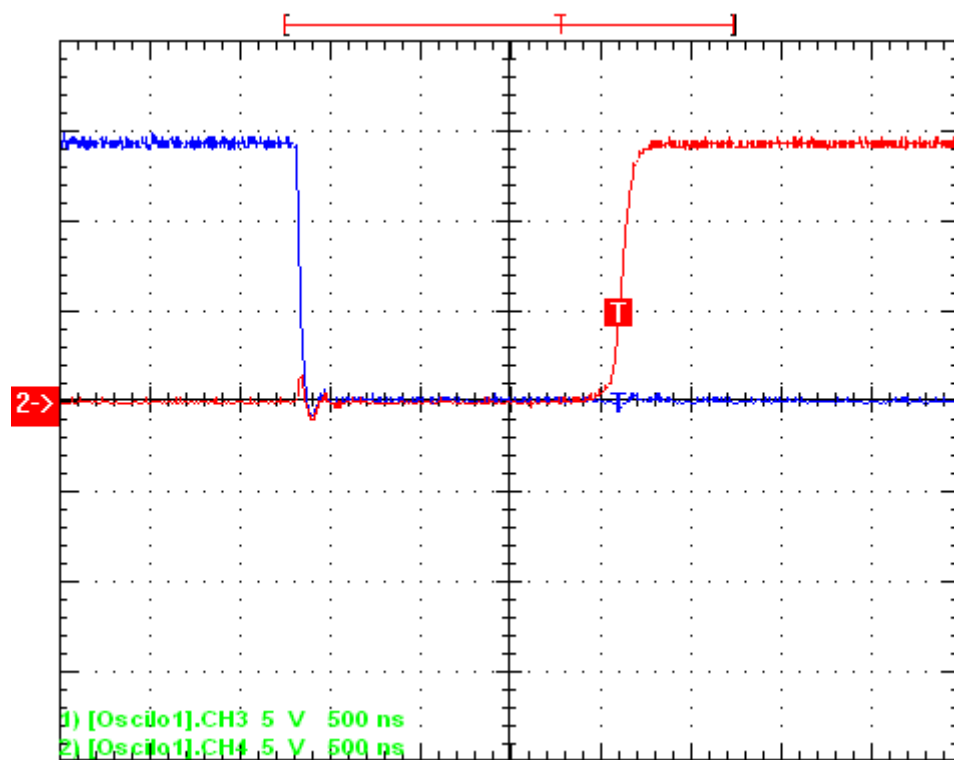


Fig. 5.8 – Sinais das portas dos transístores:  $V_{oT1}$  a azul e  $V_{oT3}$  a vermelho.

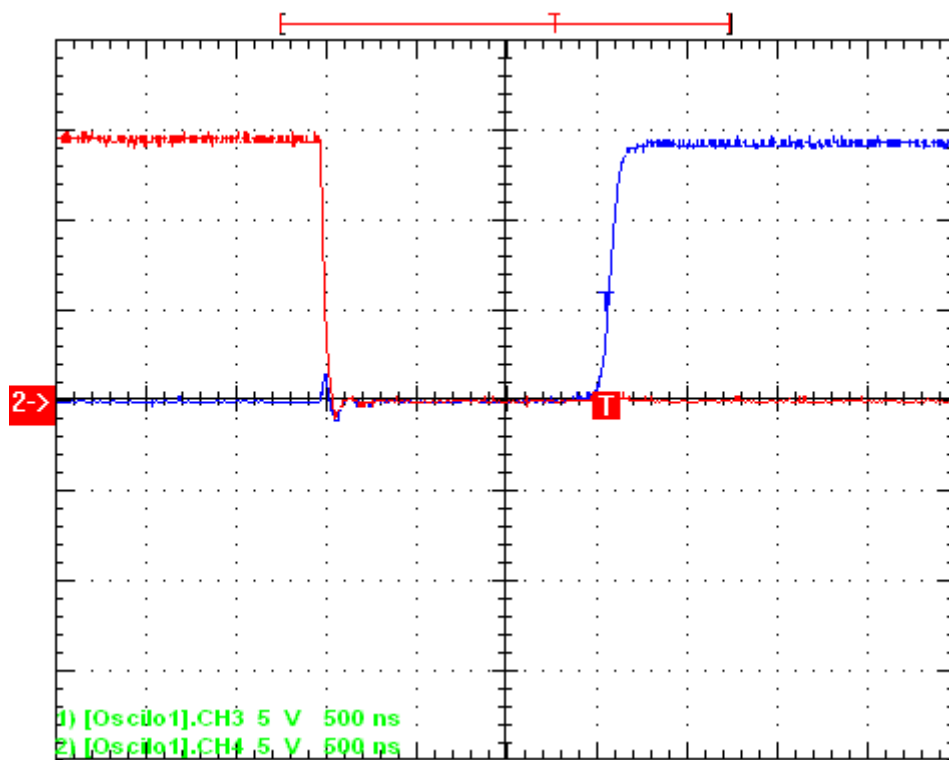


Fig. 5.9 – Sinais das portas dos transístores:  $V_{O1}$  a azul e  $V_{O3}$  a vermelho.

### 5.3.2 Corrente injectada na rede apenas com o inversor a funcionar.

Para testar apenas o funcionamento do inversor, colocou-se uma fonte de alimentação de 100 V no lugar do condensador  $C_F$ , e aplicou-se uma referência de amplitude 1,5 A para a corrente a injectar na rede, Fig. 5.10. Desta forma é possível verificar se o inversor está a funcionar correctamente.

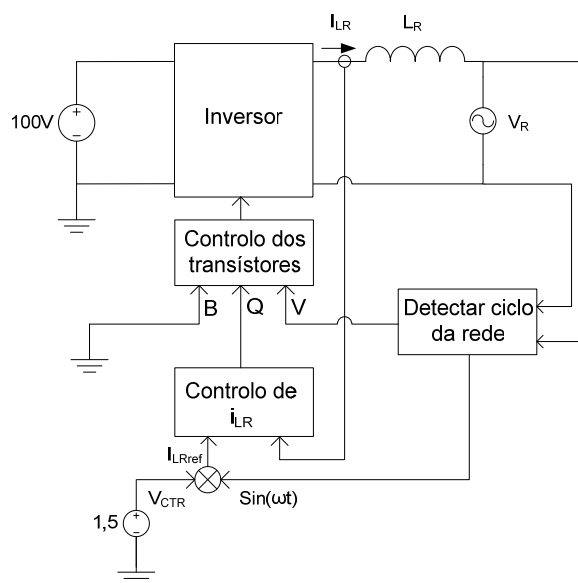


Fig. 5.10 – Esquema eléctrico do circuito para testar o inversor.

Na Fig. 5.11 estão representados os sinais da corrente  $i_{LR}$  e da corrente  $i_{LRref}$ . Na Fig. 5.12 e Fig. 5.13 está também representada a tensão de saída do inversor,  $v_{AB}$ , onde se observa os três níveis da tensão de saída do inversor.

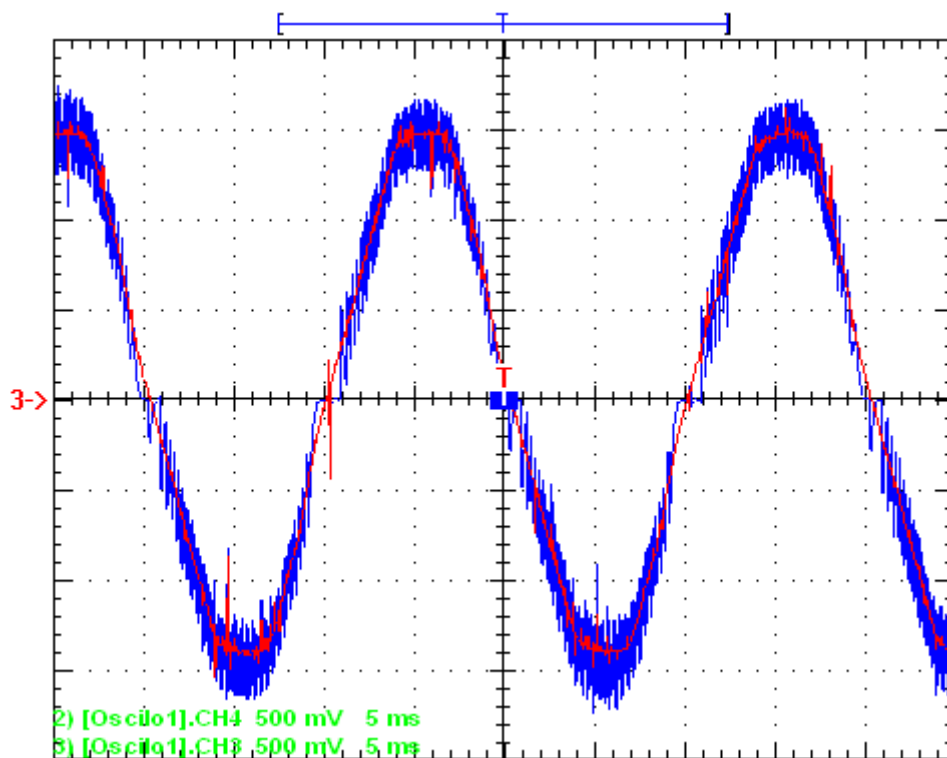


Fig. 5.11 – Sinal  $i_{LR}$  a azul 500 mA/div, e sinal  $i_{LRref}$  a vermelho 500 mA/div.

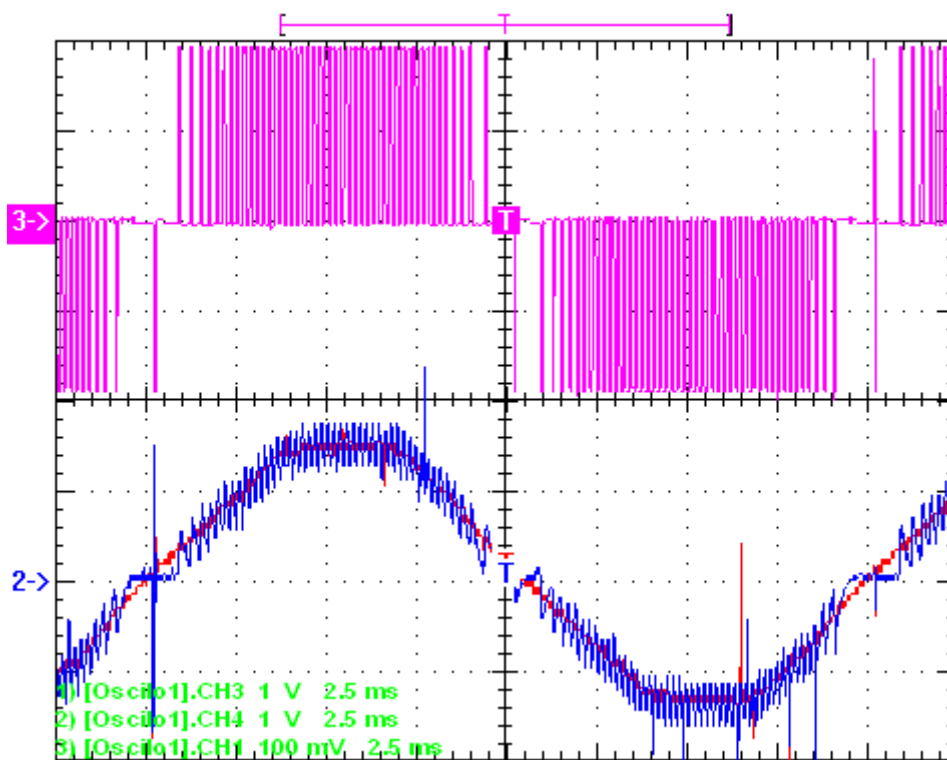


Fig. 5.12 – Sinal  $i_{LR}$  a azul 1 A/div, sinal  $i_{LRref}$  a vermelho 1 A/div, e sinal  $v_{AB}$  a roxo 50 V/div.

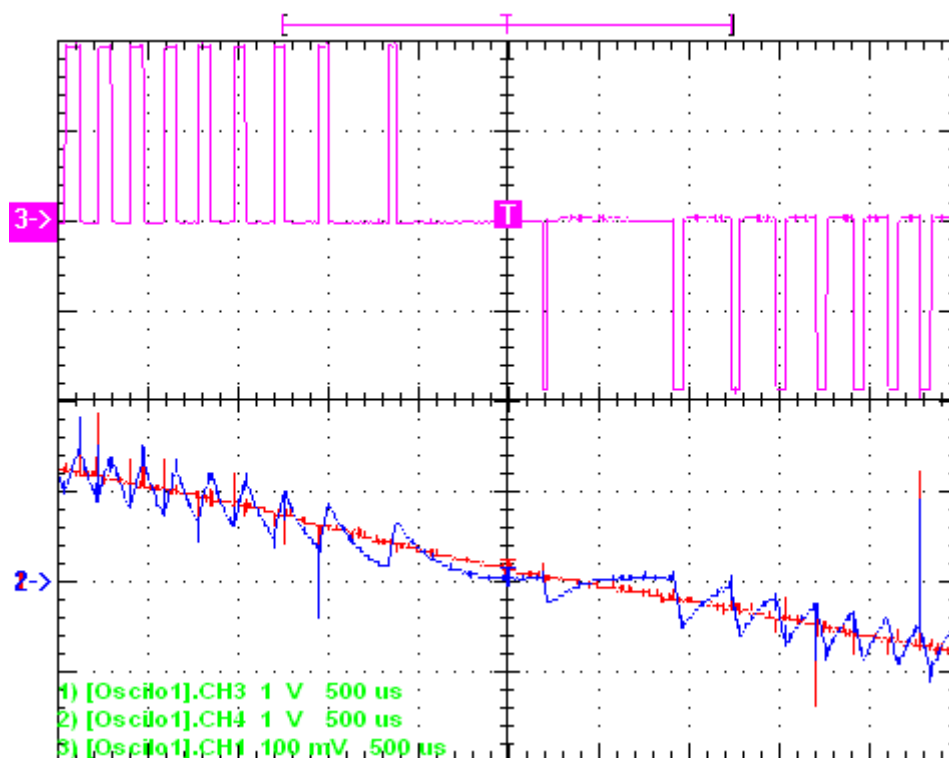


Fig. 5.13 – Sinal  $i_{LR}$  a azul 1 A/div, sinal  $i_{LRref}$  a vermelho 1 A/div, e sinal  $v_{AB}$  a roxo 50 V/div.

### 5.3.3 Corrente injectada na rede com $C_F$ a carregar.

Para verificar o funcionamento completo do conversor de um só andar, utilizou-se o esquema da Fig. 5.14, onde se introduziu uma carga em paralelo com a rede, um auto-transformador para se poder regular a tensão da rede, e um contador de energia, que irá contar a energia fornecida pela rede à carga. Contudo quando o conversor estiver a funcionar, irá também fornecer energia à carga. Neste caso não será necessária a energia fornecida pela rede, e o contador de energia irá deixar de contar.

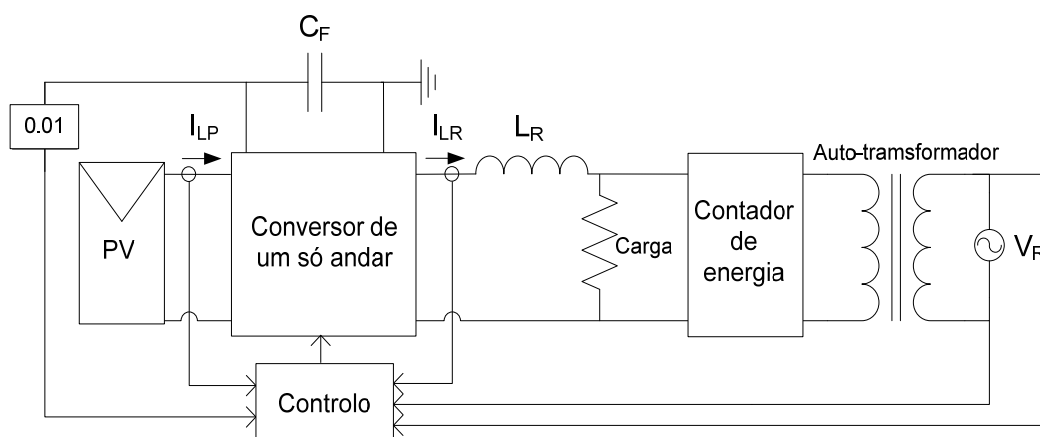


Fig. 5.14 – Esquema eléctrico do circuito para testar o conversor.

Efectuou-se uma experiência para uma potência de entrada do conversor de 150 W, um valor de tensão no condensador  $C_F$  de 300 V e uma tensão da rede de 130 V.

Na Fig. 5.15, Fig. 5.16 e Fig. 5.17 estão representados os sinais da corrente  $i_{LR}$ , da corrente  $i_{LP}$ , da tensão na carga e da tensão no condensador  $C_F$ , obtidos experimentalmente.

Verifica-se que a corrente pedida ao painel PV, segue uma referência de corrente de 2 A com um *ripple* de 0,7 A. Através do sinal da corrente  $i_{LR}$  e do sinal de tensão na carga, verifica-se que o conversor está a fornecer potência, pois os sinais estão desfasados de  $180^\circ$ . Verifica-se também que a corrente injectada pelo conversor é um sinal sinusoidal a 50 Hz, contendo um *ripple* de corrente de 0,6 A, devido ao controlo histerético. Quanto à tensão no condensador  $C_F$  esta mantém-se estável nos 300 V.

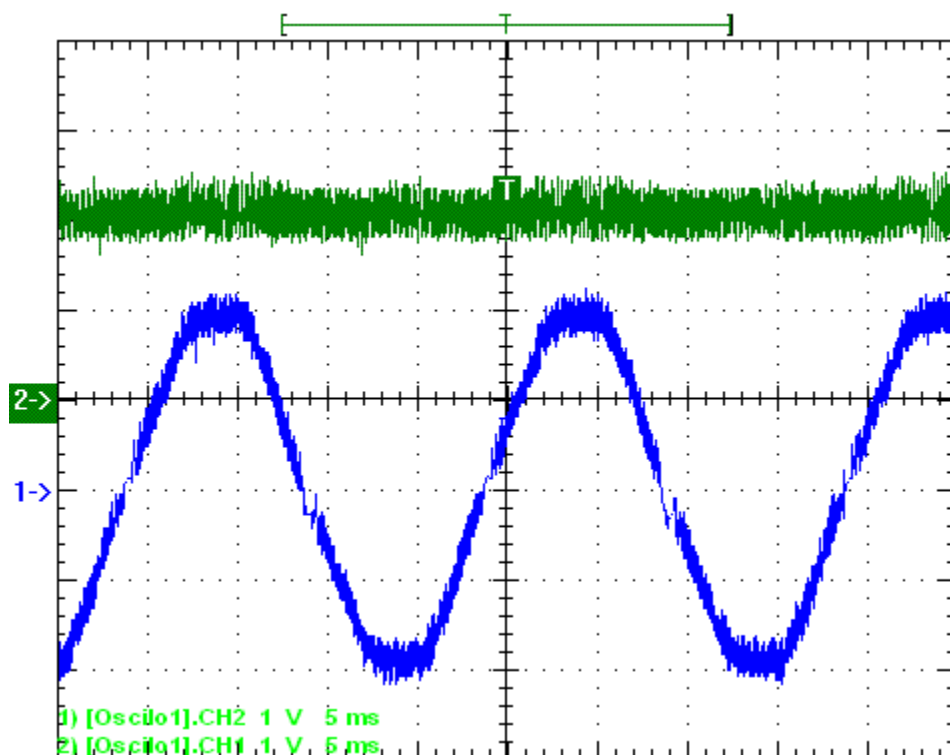


Fig. 5.15 – Sinal  $i_{LR}$  a azul 1 A/div, e sinal  $i_{LP}$  a verde 1 A/div.

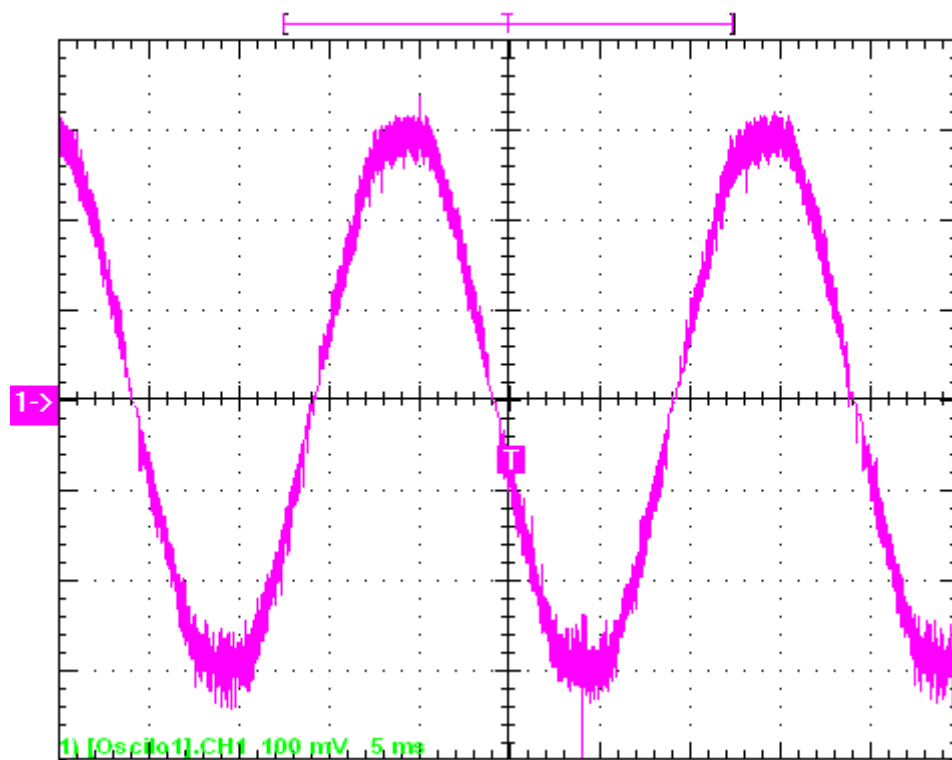


Fig. 5.16 – Sinal de tensão na carga a roxo 50 V/div.

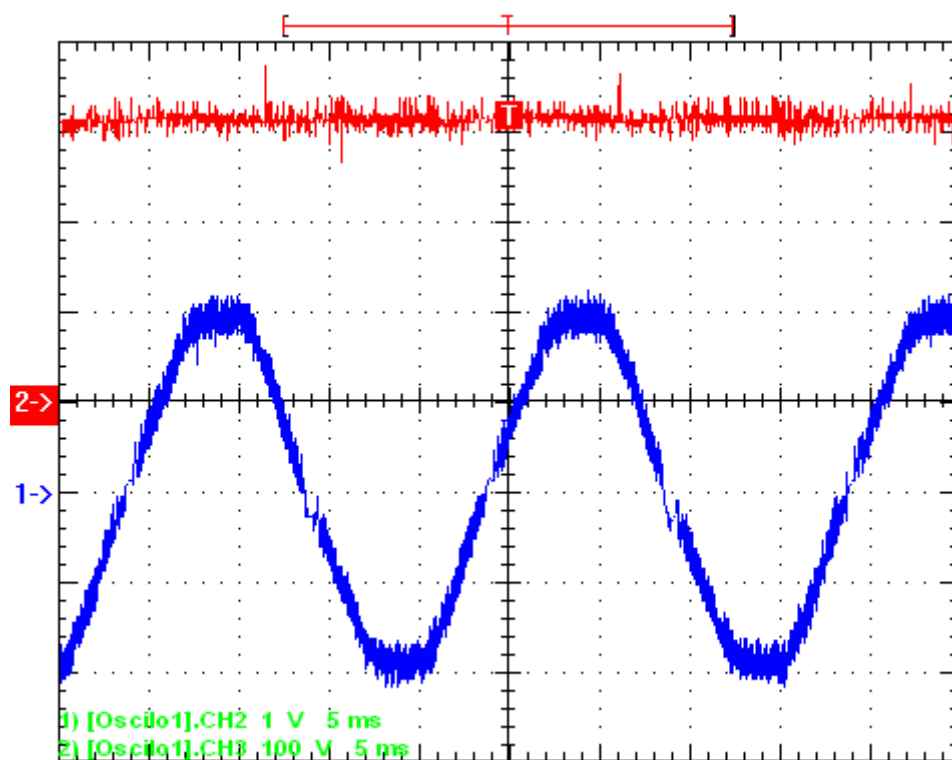


Fig. 5.17 – Sinal  $i_{LR}$  a azul 1 A/div, e sinal  $v_{CF}$  a vermelho 100 V/div.



Através de uma placa de aquisição e do programa LabVIEW retirou-se os valores de THD para a corrente  $i_{LR}$  e o factor de potência do conversor entre a corrente  $i_{LR}$  e a tensão da rede, Tabela 5.1.

**Tabela 5.1 – Valor da THD da corrente  $i_{LR}$  e do factor de potência do conversor.**

Variável	Valor
THD de $i_{LR}$	4,89 %
Factor de potência	0,99

Durante a experiência foi possível verificar, através do contador de energia, que quando o conversor fornecia potência à carga, o contador quase a parava, o que significa que nesse momento a rede quase não fornecia potência à carga.

### 5.3.4 Rendimento do conversor.

Para medir o rendimento do conversor, efectuaram-se nove ensaios experimentais para diferentes potências de entrada do conversor. Esta medição foi feita sem a tensão da rede na carga, ou seja, a carga era alimentada exclusivamente pelo conversor. Para estes ensaios foram utilizadas lâmpadas de 100 W como carga. Os resultados obtidos para as potências na entrada e na saída do conversor estão apresentados na Tabela 5.2.

**Tabela 5.2 – Resultados dos ensaios para medir o rendimento do conversor.**

Potência no painel PV [W]	$V_{CF}$ [V]	$C_F$ [uF]	LR [mH]	LP [mH]	Potência na carga [W]
51	300	330	7,7	13,4	26,2
75	300	330	7,7	13,4	44,3
102	300	330	7,7	13,4	69,3
150	300	330	7,7	13,4	112,3
210	300	330	7,7	13,4	162,7
252	300	330	7,7	13,4	213,6
285	300	330	7,7	13,4	242,6
300	400	330	10,5	13,4	254,3
340	400	330	10,5	13,4	292,5

Na Fig. 5.18 está representado o rendimento do conversor em função da potência de entrada. Por este gráfico verifica-se o aumento do rendimento do conversor com o aumento da potência de entrada, o qual deverá ser máximo para 1 kW, valor de potência para o qual foi dimensionado o conversor. Contudo não foi possível chegar a este valor de potência. Para potências superiores a 1 kW é espectável que o rendimento baixe devido ao aumento da

frequência de comutação dos transístores, que fará aumentar o valor das perdas por comutação.

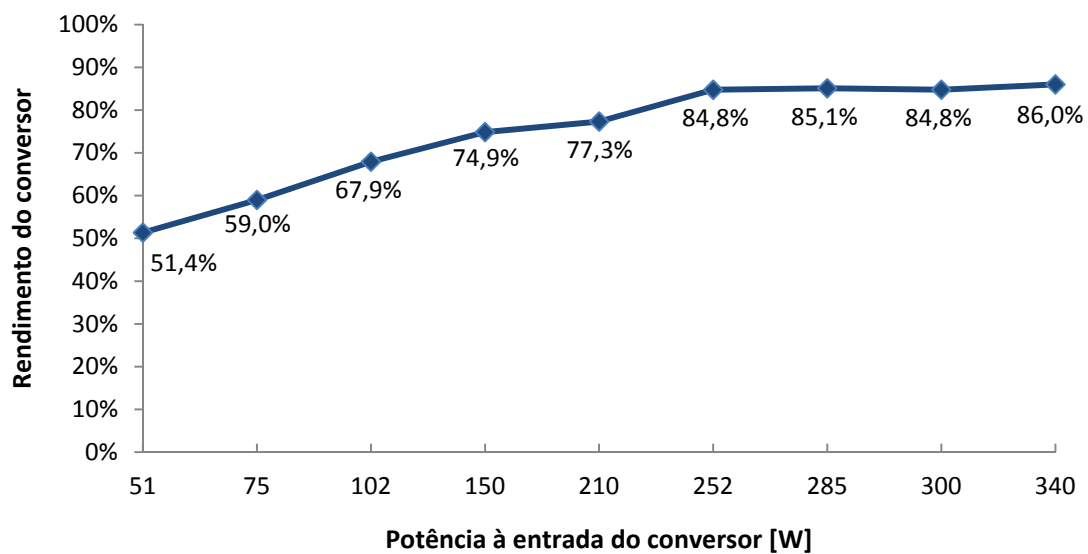


Fig. 5.18 – Gráfico do rendimento do conversor em função da potência de entrada.

## Capítulo 6

### Conclusões e Trabalho Futuro

#### 6.1 Conclusões

Um sistema fotovoltaico é constituído por um, ou mais, painéis PV, por um conversor electrónico de potência e pela rede eléctrica.

No trabalho estudou-se um conversor DC-AC que engloba um conversor *Boost* e um inversor numa topologia de um só andar. Este conversor não necessita de utilizar transformador, e tem a tensão de saída do inversor a três níveis. Neste conversor o funcionamento do conversor *Boost* está dependente do funcionamento do inversor, sendo este controlado apenas nos intervalos em que a tensão de saída do inversor se anula. Para que o funcionamento em simultâneo seja possível é necessário que o factor de ciclo do conversor *Boost* seja superior ao factor de ciclo mínimo do inversor, para que este consiga corrigir o erro na corrente do *Boost* gerado durante os intervalos em que a tensão de saída do inversor não é nula.

O controlo deste conversor é feito com base na corrente que se está a injectar na rede, na corrente que se está a pedir ao painel PV, e consoante a tensão no condensador do inversor. O controlo destas variáveis é essencial neste conversor, para manter o seu funcionamento em equilíbrio energético.

Neste trabalho foi aplicado um controlo histerético para as correntes, e um controlador proporcional integral com constante de tempo, de modo a manter o conversor em equilíbrio energético.

Para comprovar os conceitos teóricos desenvolvidos, o trabalho terminou com o teste do protótipo do conversor para potências de 51, 75, 102, 150, 210, 252, 285, 300 e 340 W, conseguindo-se um rendimento máximo do conversor de 86 %. Verificou-se também, através de um contador de energia, que o conversor conseguia efectivamente fornecer energia.

## **6.2 Trabalho Futuro**

O funcionamento deste conversor de um só andar ficou provado através de simulação e de resultados experimentais, contudo não foi utilizado um painel PV. Para consolidar o funcionamento desta topologia para sistemas fotovoltaicos, seria interessante implementar o sistema com painéis PV e um algoritmo de procura do ponto de potência máxima, o qual permitiria retirar um maior rendimento dos painéis PV.

Seria conveniente desenvolver um protótipo do circuito de potência em que todos os componentes fossem colocados numa PCB de forma estratégica, para que o circuito de controlo fique mais próximo dos IGBTs, diminuindo o ruído nos sinais de controlo.

Para que este conversor possa vir a ser comercializado necessita de cumprir as normas impostas, seria interessante desenvolver este trabalho também nesta vertente.

## Referências

- [1] Johan H. R. Enslin, Mario S. Wolf, Daniel B. Snyman, and Wernher Swiegers, "Integrated Photovoltaic Maximum Power Point Tracking Converter" IEEE Transactions on Industrial Electronics, Vol. 44, no. 6, December 1997.
- [2] Fritz Schimpf and Lars E. Norum, "Grid connected Converters for Photovoltaic, State of the Art, Ideas for Improvement of Transformerless Inverters", Nordic Workshop on Power and Industrial Electronics, 2008.
- [3] Soeren B. Kjaer, John K. Pedersen and Frede Blaabjerg, "A Review of Single-Phase Grid-Connected Inverters for Photovoltaic Modules", IEEE Transactions on Industry Applications, Vol. 41, No. 5, 2005.
- [4] Denizar Cruz Martins and Rogers Demonti, "Photovoltaic Energy Processing for Utility Connected Systems" IECON'01: The Annual Conference of the IEEE Industrial Electronics Society, 2001.
- [5] Mike Meinhardt and Günther Cramer, "Multi-String-Converter: The next step in evolution of String-Converter Technology", in Proc. 9th Eur. Power Electronics and Applications Conf., 2001.
- [6] Hugo Ribeiro, Fernando Silva, Sónia Pinto, and Beatriz Borges, "Single Stage, Inverter for PV Applications with One Cycle Sampling Technique in the MPPT Algorithm" to be present in IECON Porto 2009.
- [7] Kato, Toshiji and Miyao, Keiji, "Modified hysteresis control with minor loops for single-phase full-bridge inverters", Industry Applications Society Annual Meeting 1988., Conference Record of the 1988 IEEE, Vol.1, 1988.
- [8] Eduardo J. R. Morgado, "Controlo de Sistemas Dinâmicos – uma introdução", AEIST, 2006.
- [9] M. M. Silva, "Introdução aos Circuitos Eléctricos e Electrónicos", 2ª edição, Fundação Gulbenkian, 2001.



## Anexo A

### Esquema eléctrico do circuito de controlo

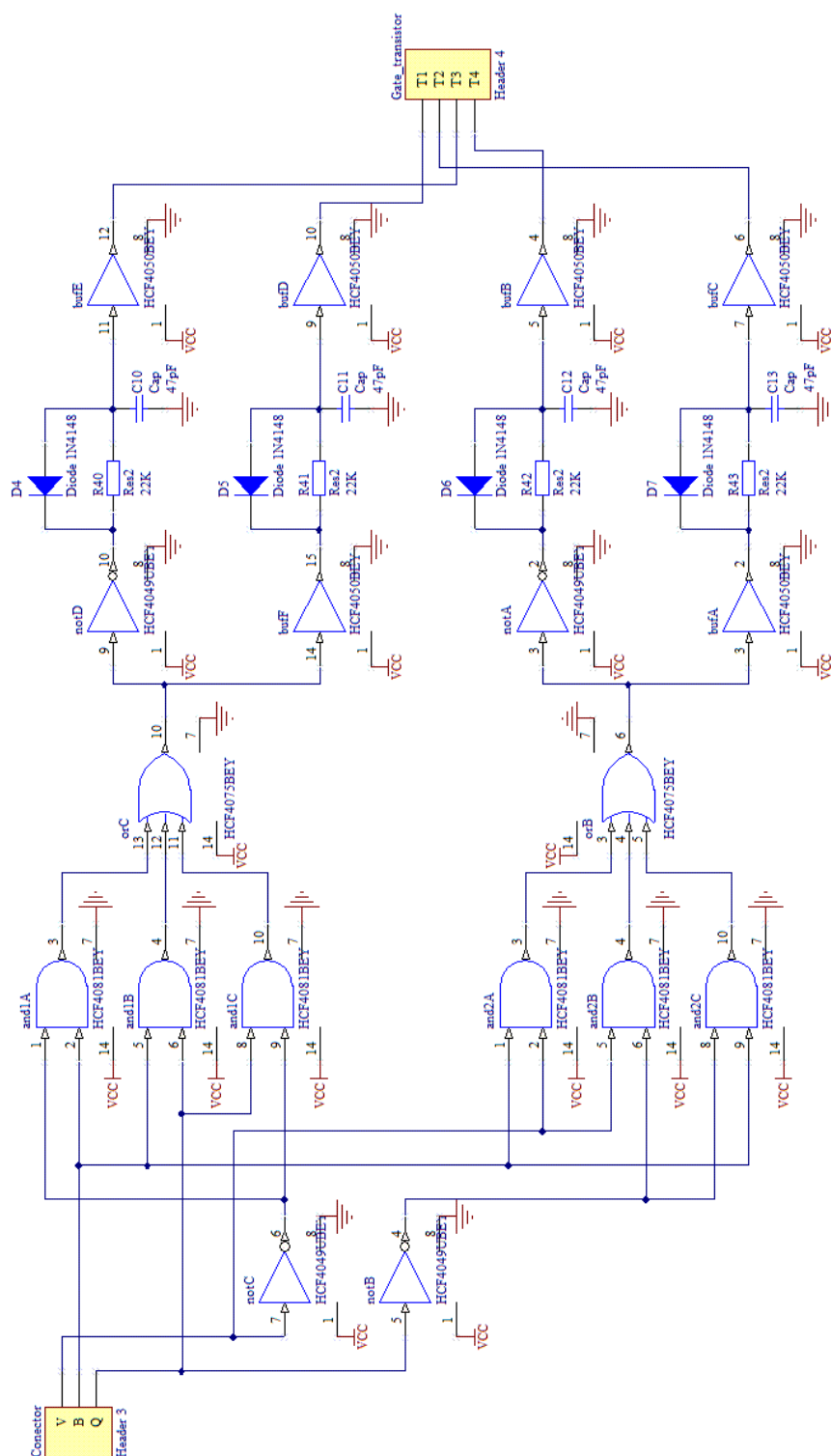


Fig. A.1 – Circuito de ataque às portas dos transístores.

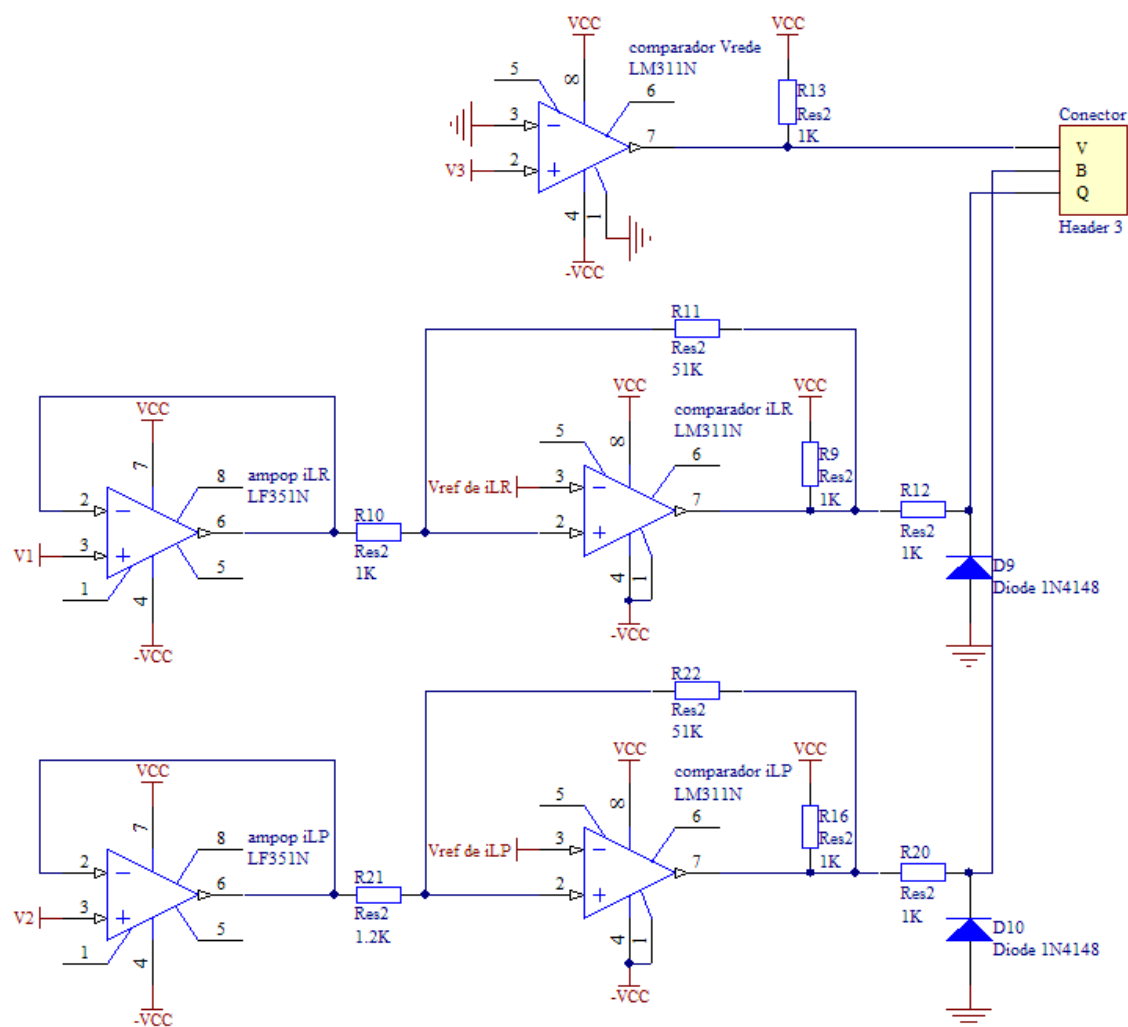


Fig. A.2 – Circuito dos comparadores com histerese.



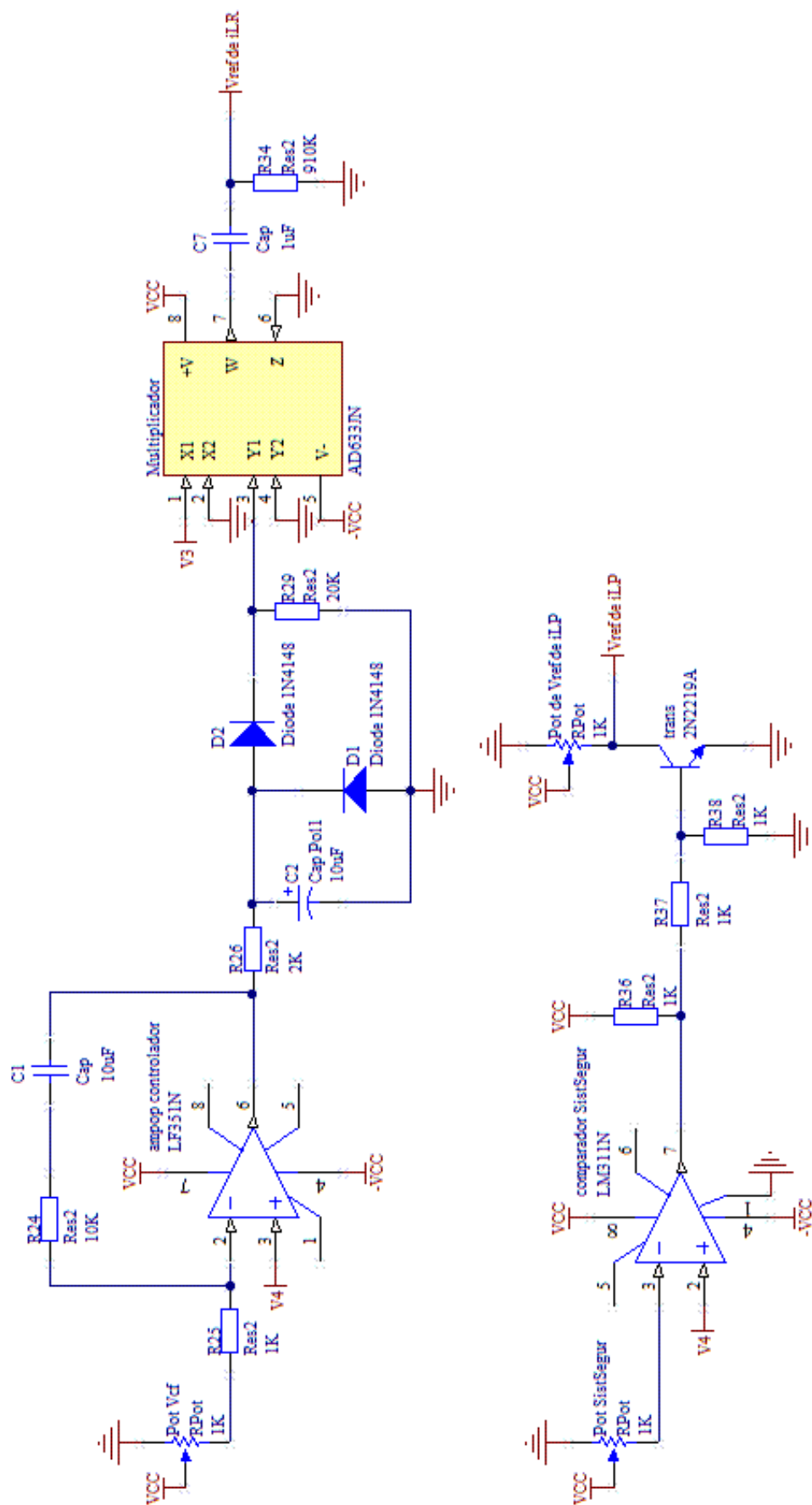


Fig. A.3 – Circuito do controlador da tensão no condensador e do sistema de segurança.

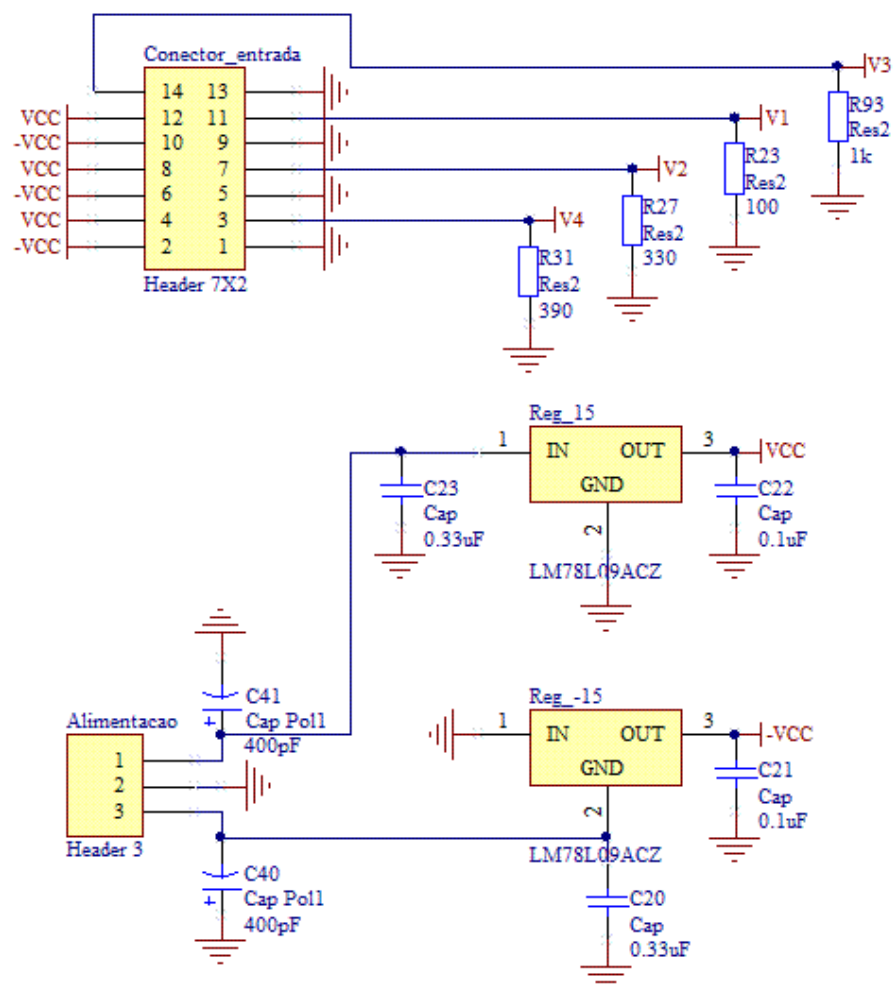


Fig. A.4 – Circuito de alimentação e das entradas.



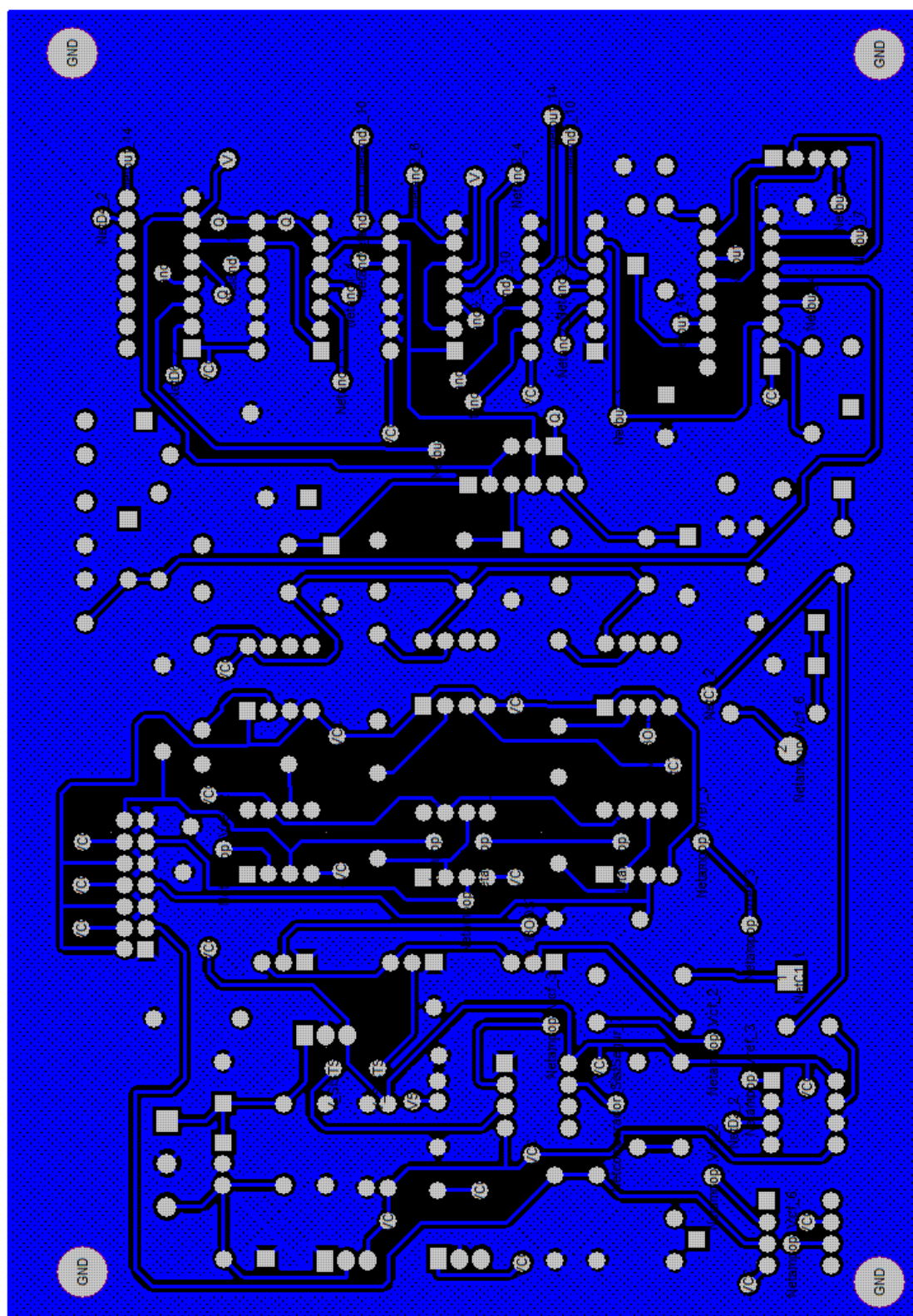


Fig. A.6 – Circuito de control (camada inferior).

## Anexo C

### Material utilizado e custo

Tabela A.1 – Material utilizado no projecto.

Componentes	Número	Preço unitário [€]
Resistências	28	0,28
Potenciómetros	3	2,89
Condensadores	12	0,5
Condensador $C_F$	8	10
Bobines	2	-
Comparador LM311	4	0,66
Ampop LF351N	3	0,45
Multiplicador AD633	1	8,41
P. Lógica CD4050	1	0,57
P. Lógica CD4049	1	0,50
P. Lógica CD4081	2	0,61
P. Lógica CD4075	1	0,61
Diodo 1N4148	8	0,05
Diodo DRY29 800V	2	0,9
Reg. Tensão TS7805	1	0,68
Reg. Tensão TS7905	1	0,23
IGBT IKW25T120	4	7,42
Sensor Corrente LA55-P	2	23,96
Sensor Tensão LV25-P	1	69,03
Transformador 230V-15V	1	5,94
Transistor 2N2222	1	0,34
Total		233,61



## Anexo D

### Dimensionamento de bobines

As bobines feitas neste trabalho continham um entreferro de 2 mm, pelo que o fluxo magnético vem dado por:

$$\varphi = \varphi_{ferrite} = \varphi_{entreferro} \quad (A.1)$$

A indutância de uma bobine é dada por:

$$L = \frac{N \varphi}{I} = \frac{N B A}{I}, \quad (A.2)$$

em que  $N$  é o número de espiras,  $I$  é a corrente na espira,  $B$  é a densidade de fluxo magnético, e  $A$  é a área da espira. Sendo a densidade de fluxo magnético dado por (A.3), então:

$$B = \frac{N \mu I}{l} \quad (A.3)$$

$$L = \frac{N^2 \mu A}{l} = \frac{N^2}{Rm}, \quad (A.4)$$

onde  $\mu$  é a permeabilidade, e  $Rm$  é a relutância magnética, que no caso destas bobines é dada por:

$$Rm = Rm_{ferrite} + Rm_{entreferro} \quad (A.5)$$

Para se determinar o valor de  $Rm$ , efectuou-se uma bobine com 10 espiras e mediu-se num analisador de impedâncias o valor da indutância dessa bobine, sendo determinado o valor da relutância magnética por (A.4). Posteriormente com o valor de  $Rm$  e com o valor da indutância pretendida, calcula-se o numero de espiras através de (A.4).