

MOSFETs de Potência:

Aspectos Construtivos e de Funcionamento

Alunos(as):

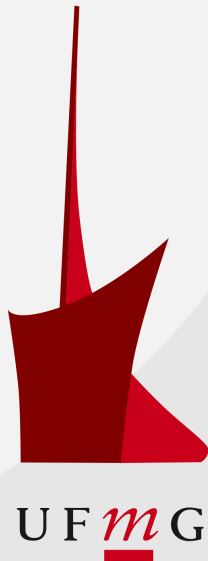
Eduardo Carvalho

Igor Rockstroh

Julia Almeida

Julio Teodoro

Belo Horizonte, 29 de Janeiro de 2025



Agenda

- 1 Introdução
 - Contexto
 - Principais Parametros
- 2 Características Construtivas
 - D-MOSFET
- 3 Fabricação
- 4 Outras Estruturas
 - V-MOSFET
 - U-MOSFET
- 5 Referências

MOSFETs têm vantagens sobre BJT em aplicações de potência porque:

- São controlados por tensão, o que reduz consumo e complexidade no circuito de acionamento do gate;
- Não sofrem com acúmulo de portadores minoritários quando em saturação, o que reduz o tempo de comutação;
- Têm coeficiente térmico positivo para R_{on} , o que favorece a associação em paralelo

Máximo V_{ds} que o dispositivo suporta, quando em bloqueio, sem que haja condução de corrente.

Buscamos maximizar $V_{blocking}$ para aumentar a robustez do dispositivo.

R_{on}

Resistência do dispositivo quando em condução.

Buscamos minimizar R_{on} para reduzir perdas em condução.

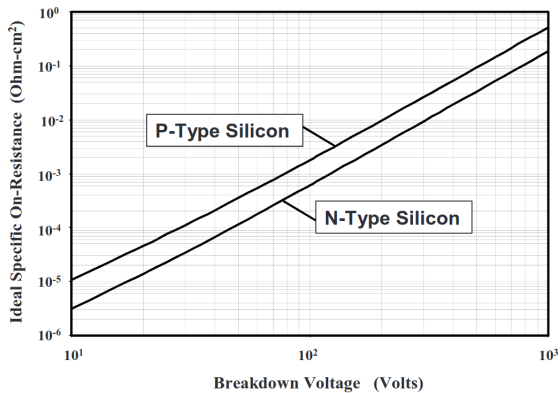
R_{on} Ideal

Conforme (BALIGA, 2010),

$$R_{on,ideal} = \frac{4V_b^2}{\epsilon_s \mu E_c^3} \quad (1)$$

Portanto, há um *trade-off* entre o aumento da tensão de bloqueio e a redução da resistência de condução.

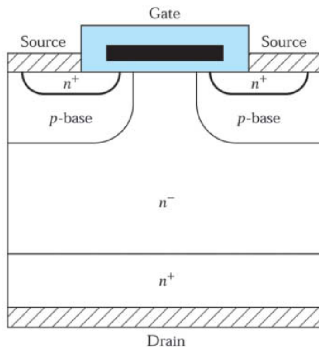
Figura: R_{on} ideal para MOSFETs de potência em Silício



Fonte: (BALIGA, 2010)

Estrutura

Figura: Visão em corte vertical de um D-MOSFET



Fonte: (SZE, 2012)

V_{blocking}

V_{blocking} é, principalmente, definida pela região n^- , chamada de n -drift.

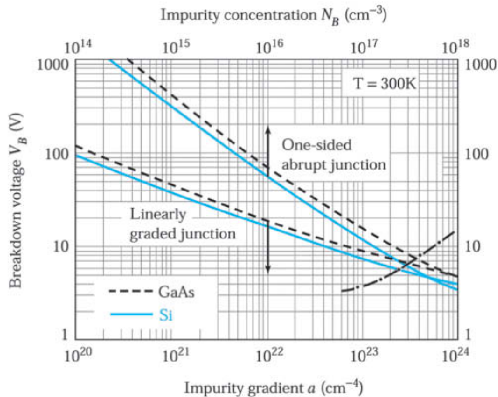
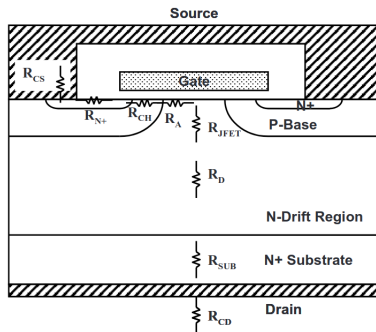


Figura: Modelo de composição da resistência de condução de um D-MOSFET



Fonte: (BALIGA, 2010)

Figura: Cotas relevantes para a resistência de condução de um D-MOSFET

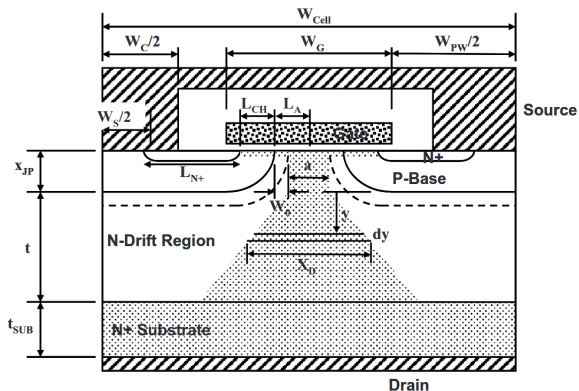


Figura: Contribuição dos componentes de R_{on} em um D-MOSFET

Resistance	Value (mOhm-cm ²)	Percentage Contribution
Source Contact ($R_{CS,SP}$)	0.05	2.2
Source ($R_{N+,SP}$)	0.01	0.4
Channel ($R_{CH,SP}$)	0.92	41.0
Accumulation ($R_{A,SP}$)	0.66	29.5
JFET ($R_{JFET,SP}$)	0.19	8.5
Drift ($R_{D,SP}$)	0.34	15.2
Substrate ($R_{SUB,SP}$)	0.06	2.7
Drain Contact ($R_{DS,SP}$)	0.01	0.4
Total ($R_{T,SP}$)	2.24	100

Fonte: (BALIGA, 2010)

$$R_{ch} = \frac{L_{ch} W_{cell}}{2\mu_{ni} C_{ox} (V_G - V_{th})} \quad (2)$$

Fonte: (BALIGA, 2010)

$$R_A = K_A \frac{(W_G - 2)W_{cell}}{2\mu_{ni}C_{ox}(V_G - V_{th})} \quad (3)$$

Fonte: (BALIGA, 2010)

Multiplos modelos, mas, sempre,

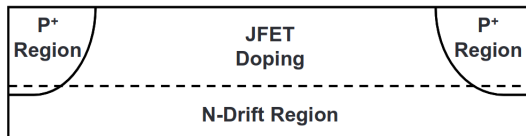
$$R_{drift} \propto \rho_D \quad (4)$$

(5)

$$\rho_D = \frac{1}{q(n_D \mu_{n_D} + p_D \mu_{p_D})} \quad (6)$$

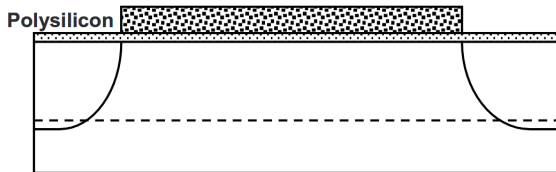
Substrato: N^+

Figura: Formação das regiões N-drift, P^+ e JFET



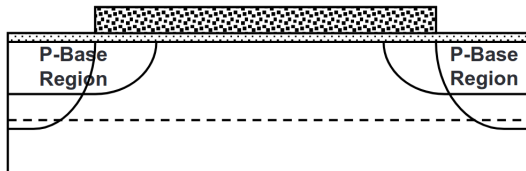
Fonte: (BALIGA, 2010)

Figura: Deposição do eletrodo e dielétrico de *gate*



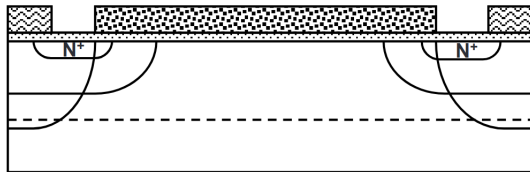
Fonte: (BALIGA, 2010)

Figura: Formação da região P-base com o eletrodo de porta como máscara



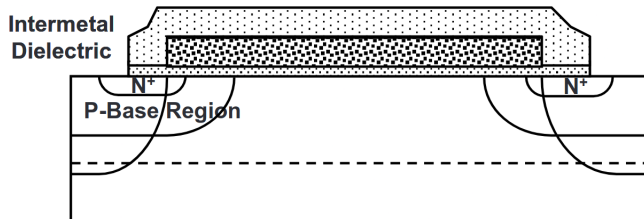
Fonte: (BALIGA, 2010)

Figura: Formação da região de fonte controlada por fotoresistes laterais



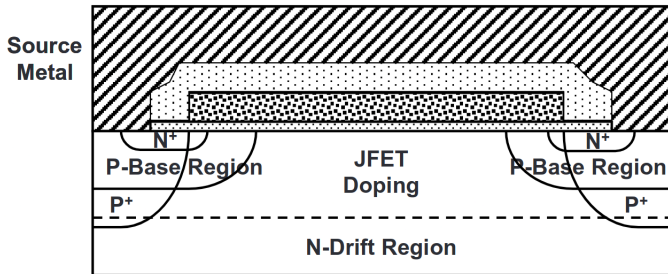
Fonte: (BALIGA, 2010)

Figura: Deposição do dielétrico que separa porta e fonte



Fonte: (BALIGA, 2010)

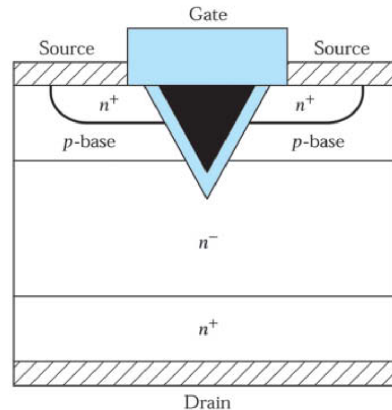
Figura: Deposição do metal de contato da fonte



Fonte: (BALIGA, 2010)

- Primeira estrutura;
- Difícil Fabricação;
- Instabilidade em uso prolongado;
- Ponta da porta prejudica a tensão de bloqueio

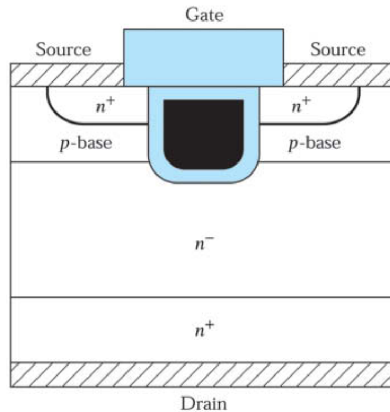
Figura: Estrutura V-MOSFET




Fonte: (SZE, 2012)

- Estrutura mais nova;
- Menor R_{on} ;
- Possibilitado por tecnologia usada em DRAM;
- Melhor desempenho em altas frequências

Figura: Estrutura U-MOSFET



Fonte: (SZE, 2012)

 BALIGA, B. **Fundamentals of Power Semiconductor Devices**. [S.l.: s.n.], 2010. 6, 7, 10, 11, 12, 13, 14, 16, 17, 18, 19, 20, 21

 SZE, S. **Semiconductor Devices: Physics and Technology**. [S.l.: s.n.], 2012. 8, 9, 22, 23