

Universidade Tecnológica Federal do  
Paraná  
Engenharia de Computação  
Lógica Reconfigurável

**Relatório 1**

Aluno: Eduardo Yuji Yoshida Yamada  
Professor orientador: Marcelo de Oliveira

Outubro  
2024

# Conteúdo

1	Introdução	1
2	Código	2
3	Simulação	3
4	Diagrama RTL	4

# 1 Introdução

A atividade consiste em implementar exemplos que foram vistos na *Aula 5 - Introdução ao ambiente de desenvolvimento e primeiros códigos*. Dessa forma, foi realizado, a partir das entradas A e B, saídas do tipo:

- NOT (para cada item)
- AND
- OR
- NAND
- NOR
- XOR
- XNOR

## 2 Código

Inicialmente, no código, temos a importação da biblioteca *ieee* e o uso dela. Em seguida declarada todas as portas que foram utilizadas, sendo a porta *a* e *b* como portas de entrada, e as portas de saída sendo: *s*, *t*, *u*, *v*, *w*, *x*, *y*, *z*. Após isso, começa a arquitetura do projeto, declarando todas as funções das saídas.

---

```
Library ieee;
use ieee.std_logic_1164.all;
```

---

```
entity projeto1 is
port (
    a , b: in bit ;
    s , t , u , v , w , x , y , z: out bit
);
end entity;
```

---

```
architecture projeto1 of projeto1 is
begin
    z <= a and b;
    y <= a or b;
    x <= not a;
    w <= not b;
    v <= a nand b;
    u <= a nor b;
    t <= a xor b;
    s <= a xnor b;
end architecture;
```

### 3 Simulação

Foi realizado duas simulações para mostrar diferentes resultados. Na simulação 1 temos intervalos menores e na simulação 2 temos intervalos maiores para deixar mais nítido as saídas

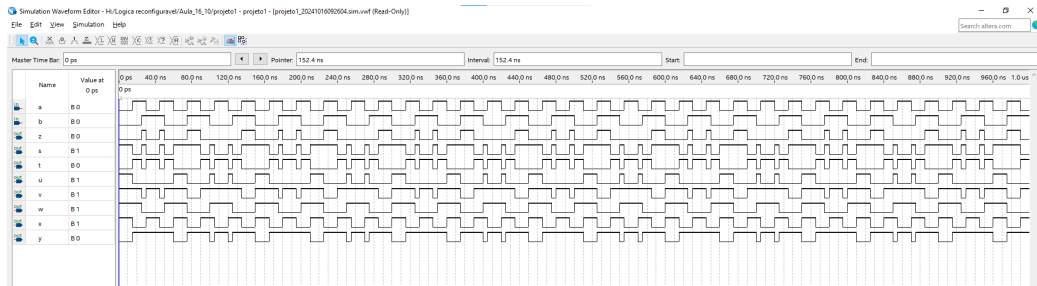


Figura 1: Simulação 1

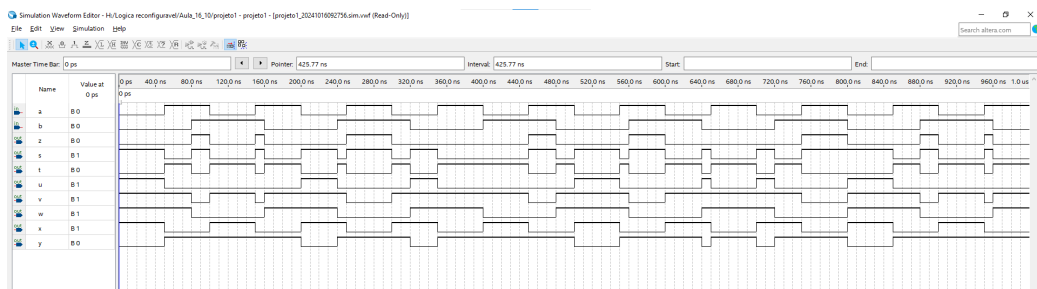
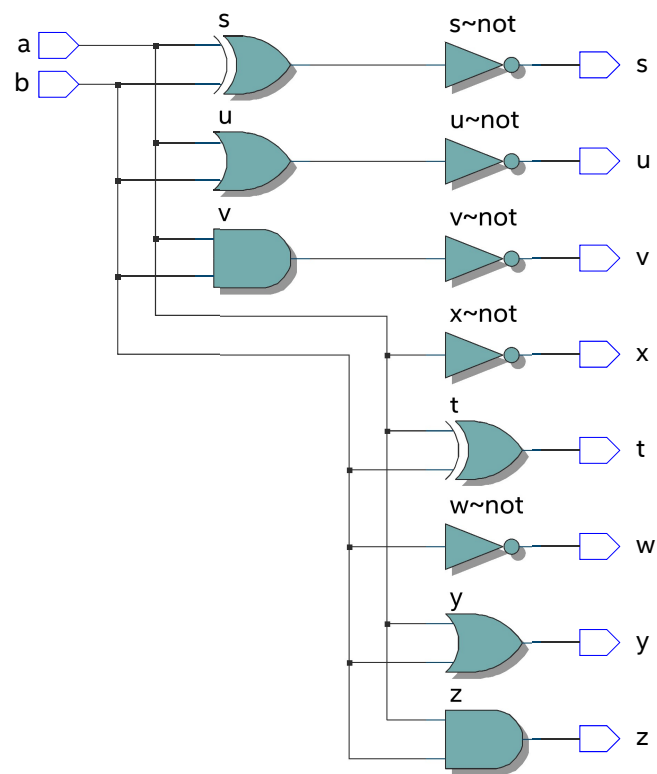


Figura 2: Simulação 2

## 4 Diagrama RTL

Date: October 16, 2024

Project: projeto1



Page 1 of 1

Revision: projeto1

Figura 3: Diagrama do RLT Viewer