

Universidade Tecnológica Federal do
Paraná
Engenharia da Computação
Lógica Reconfigurável

Relatório 3 - Display de 7 segmentos

Aluno: Eduardo Yuji Yoshida Yamada
Professor orientador: Marcelo de Oliveira

Outubro
2024

Conteúdo

1	Introdução	1
2	Códigos	2
3	Foto da Placa	4
4	Pin Planner e Lista de Pinos	5
5	Diagramas RTL	7

1 Introdução

Nesta atividade, implementamos um código em VHDL que interage com dois displays de 7 segmentos (SSD - seven-segment display) e com 8 chaves (switches). Dessa forma:

- Para cada número, precisamos de 4 chaves ($2^4 > 9$, ou seja, precisamos de 4 bits para contar até 9);
- Os segmentos são acesos com nível 0;
- Use o tipo `std_logic_vector`;
- Nomeie as portas dos SSDs de uma forma genérica (como SSD0, SSD1, etc), assim poderá aproveitar o Pin Planner nas próximas atividades;
- Você pode usar tanto o `select` quanto o `when`;
- Consulte o manual da placa para ver as pinagens.

2 Códigos

Nesse sentido, foi desenvolvido o seguinte código:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity projeto3 is
  port (
    a, b: in std_logic_vector(3 downto 0); -- 4 bits
        para cada numero
    SSD0, SSD1: out std_logic_vector(7 downto 0) --
        7 segmentos para cada display
  );
end entity;

architecture projeto3 of projeto3 is
begin

  SSD0 <= "01000000" when a = "0000" else -- 0
        "01111001" when a = "0001" else -- 1
        "00100100" when a = "0010" else -- 2
        "00110000" when a = "0011" else -- 3
        "00011001" when a = "0100" else -- 4
        "00010010" when a = "0101" else -- 5
        "00000010" when a = "0110" else -- 6
        "01111000" when a = "0111" else -- 7
        "00000000" when a = "1000" else -- 8
        "00010000" when a = "1001" else -- 9
        "11111111"; -- erro

  SSD1 <= "01000000" when b = "0000" else -- 0
        "01111001" when b = "0001" else -- 1
        "00100100" when b = "0010" else -- 2
        "00110000" when b = "0011" else -- 3
        "00011001" when b = "0100" else -- 4
        "00010010" when b = "0101" else -- 5
        "00000010" when b = "0110" else -- 6
        "01111000" when b = "0111" else -- 7
        "00000000" when b = "1000" else -- 8
        "00010000" when b = "1001" else -- 9
        "11111111"; -- erro
```

```
end architecture;
```

Nesse código temos as portas a e b como portas de entrada e as portas $SSD0$ e $SSD1$ como portas de saída, dessa forma as portas de entrada ficaram alocadas em 8 switches, já as portas de saída ficaram alocadas nos dois displays, sendo o $SSD0$ o mais a direita, e o $SSD1$ a esquerda do $SSD0$.

3 Foto da Placa



Figura 1: Foto 1 da Placa

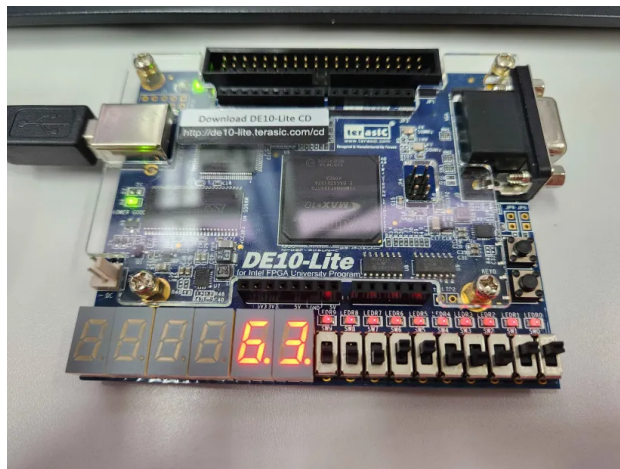


Figura 2: Foto 2 da Placa

4 Pin Planner e Lista de Pinos

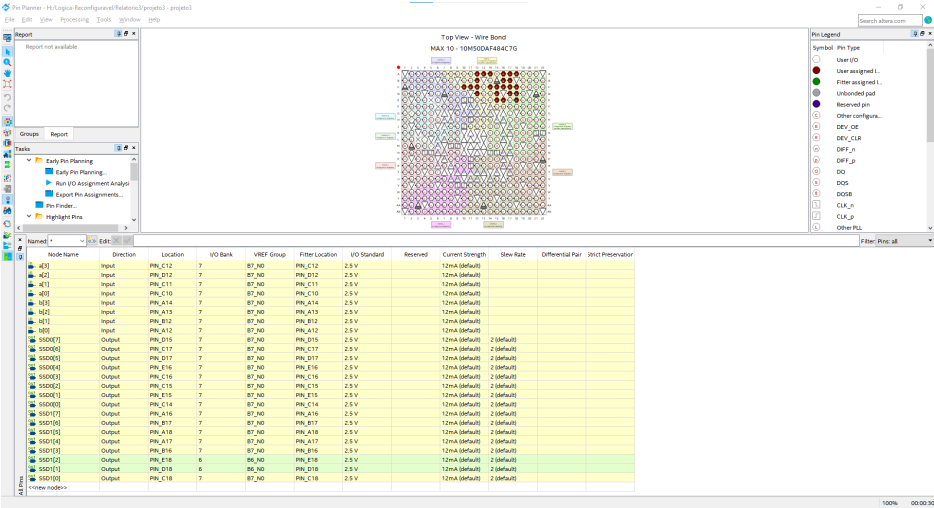


Figura 3: Pin Planner

Node Name	Customize Column s...	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
a[3]		Input	PIN_C12	7	B7_NO	PIN_C12	2.5 V		12mA (default)			
a[2]		Input	PIN_D12	7	B7_NO	PIN_D12	2.5 V		12mA (default)			
a[1]		Input	PIN_C11	7	B7_NO	PIN_C11	2.5 V		12mA (default)			
a[0]		Input	PIN_C10	7	B7_NO	PIN_C10	2.5 V		12mA (default)			
b[3]		Input	PIN_A14	7	B7_NO	PIN_A14	2.5 V		12mA (default)			
b[2]		Input	PIN_A13	7	B7_NO	PIN_A13	2.5 V		12mA (default)			
b[1]		Input	PIN_B12	7	B7_NO	PIN_B12	2.5 V		12mA (default)			
b[0]		Input	PIN_A12	7	B7_NO	PIN_A12	2.5 V		12mA (default)			
SSD0[7]		Output	PIN_D15	7	B7_NO	PIN_D15	2.5 V		12mA (default)	2 (default)		
SSD0[6]		Output	PIN_C17	7	B7_NO	PIN_C17	2.5 V		12mA (default)	2 (default)		
SSD0[5]		Output	PIN_D17	7	B7_NO	PIN_D17	2.5 V		12mA (default)	2 (default)		
SSD0[4]		Output	PIN_E16	7	B7_NO	PIN_E16	2.5 V		12mA (default)	2 (default)		
SSD0[3]		Output	PIN_C16	7	B7_NO	PIN_C16	2.5 V		12mA (default)	2 (default)		
SSD0[2]		Output	PIN_C15	7	B7_NO	PIN_C15	2.5 V		12mA (default)	2 (default)		
SSD0[1]		Output	PIN_E15	7	B7_NO	PIN_E15	2.5 V		12mA (default)	2 (default)		
SSD0[0]		Output	PIN_C14	7	B7_NO	PIN_C14	2.5 V		12mA (default)	2 (default)		
SSD1[7]		Output	PIN_A16	7	B7_NO	PIN_A16	2.5 V		12mA (default)	2 (default)		
SSD1[6]		Output	PIN_B17	7	B7_NO	PIN_B17	2.5 V		12mA (default)	2 (default)		
SSD1[5]		Output	PIN_A18	7	B7_NO	PIN_A18	2.5 V		12mA (default)	2 (default)		

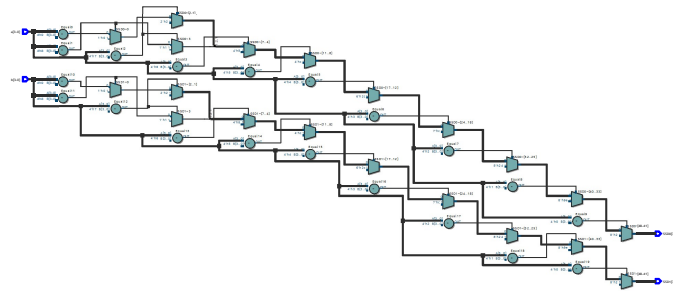
1

Figura 4: Tabela de pinagem

5 Diagramas RTL

Date: November 06, 2024

Project: projeto3



Page 1 of 1

Revision: projeto3

Figura 5: RTL Viewer