



Universidad de Guadalajara
Centro Universitario de Ciencias Exactas e Ingeniería
División de Tecnologías para la Integración Ciber – Humana



Universidad de Guadalajara
Centro Universitario de Ciencias Exactas e Ingenierías
División de Tecnologías para la Integración Ciber – Humana
Programación de sistemas reconfigurables



Tarea 5

Circuito Combinacional (2) - Instancias



Profesor:

Hernández Hernández, Héctor

Alumno:

Martinez Flores, Cassandra Frine

Código: 218456125

Introducción

En el documento se presentará dos circuitos diferentes usando el programa “Quartus” usando lenguaje verilog.

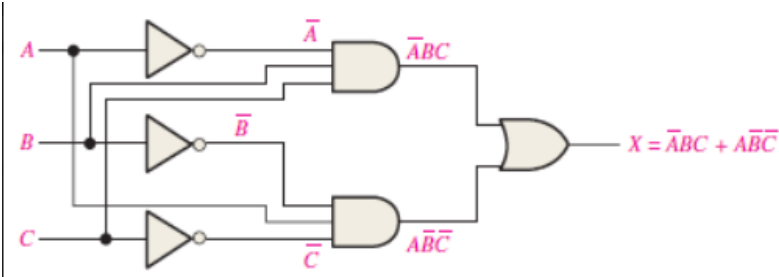
De la tarea 3 se utilizaron los circuitos (circuito 1 y 2 mencionados en el documento) para poder crear un 3er circuito instanciando estos 2, se desarrollara en quartus usando lenguaje verliog, se simulara, y se ejecutara el circuito (también se mostrara el diagrama creado desde el código para verificar que sea lo que se pide).

Objetivos

- Trabajar e implementar el uso del programa “Quartus” para facilitar la creación de circuitos y el como se simulan e instanciarlos

Desarrollo

→ Circuito 1



- **Expresión booleana:**
$$X = \bar{A}BC + A\bar{B}\bar{C}$$
- **Tabla de verdad de $X = \bar{A}BC + A\bar{B}\bar{C}$**

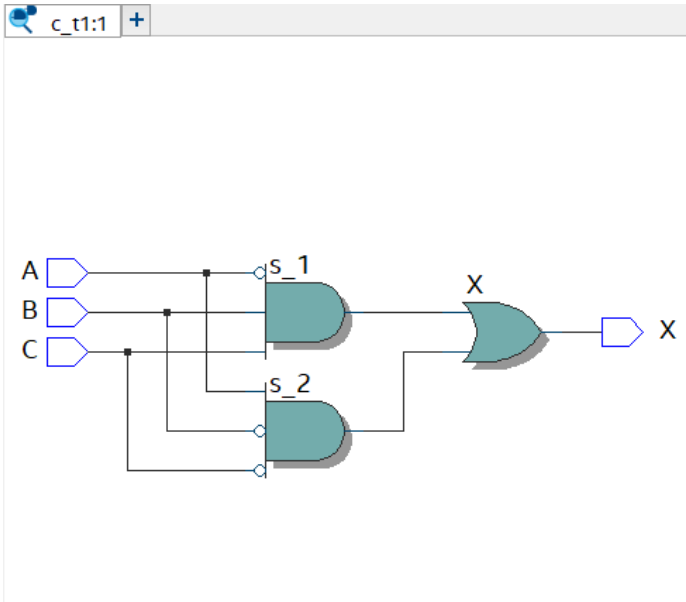
A	B	C	$X = \bar{A}BC + A\bar{B}\bar{C}$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0



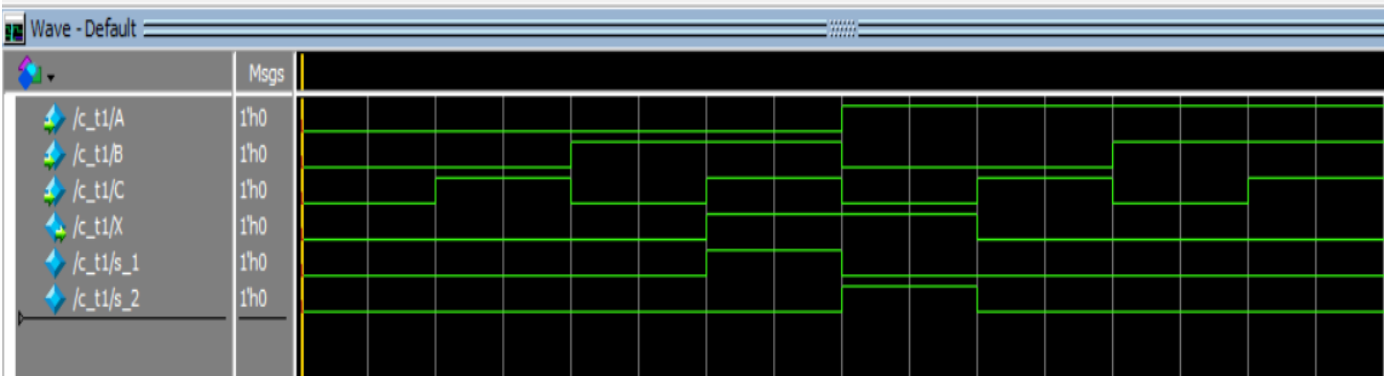
○ **Código**

```
1  module c_t1
2  (
3      input wire A, B, C,
4      output wire X
5  );
6
7      wire s_1, s_2;
8
9      assign s_1 = C & B & ~A;
10     assign s_2 = ~C & ~B & A;
11     assign X = s_1 | s_2;
12
13     endmodule
14
```

○ **Diagrama en el programa**



○ **Valores simulados**



→ Circuito 2

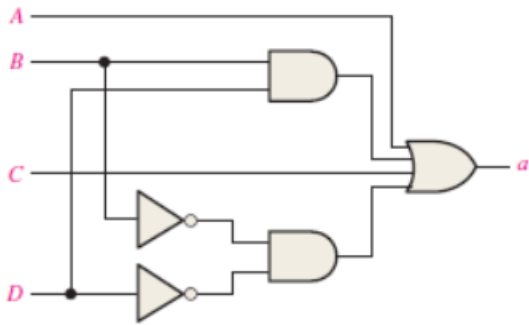


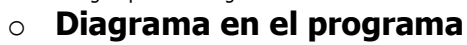
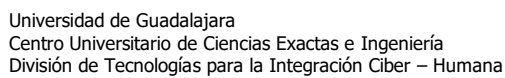
Tabla de verdad de $X = A + BD + C + \overline{B}D$

A	B	C	D	$X = A + BD + C + \overline{B}D$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

○ Código

```
c_t2.v X
Compilation Report - c_t2 X

1 module c_t2
2   (
3     input wire A, B, C,D,
4     output wire a
5   );
6
7   wire s_1, s_2;
8
9   assign s_1 = B & D;
10  assign s_2 = ~D & ~B ;
11
12  assign a = C | s_2 | A | s_1;
13
14  endmodule
15
```

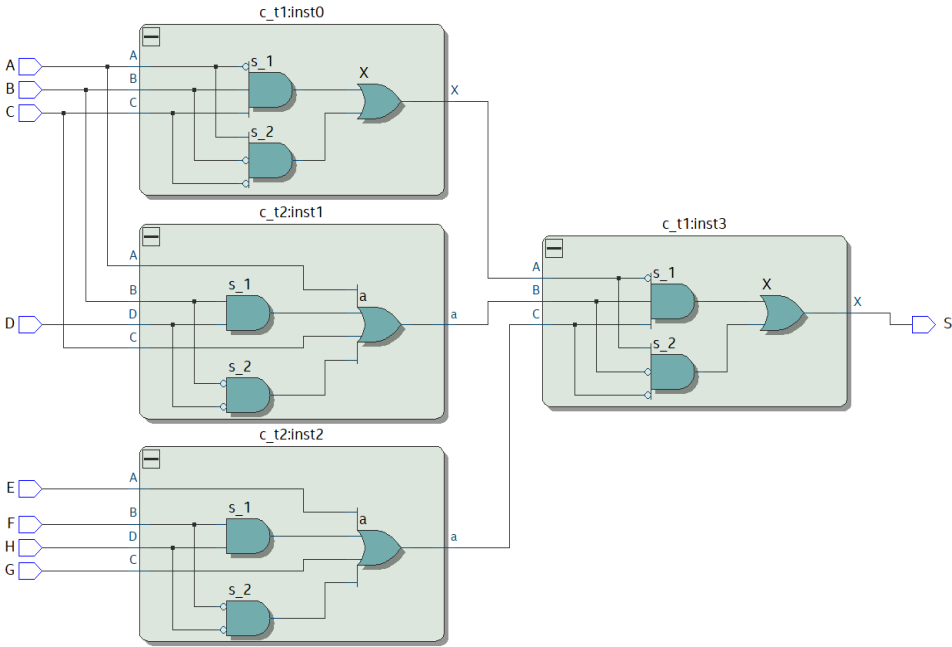
[illegible]



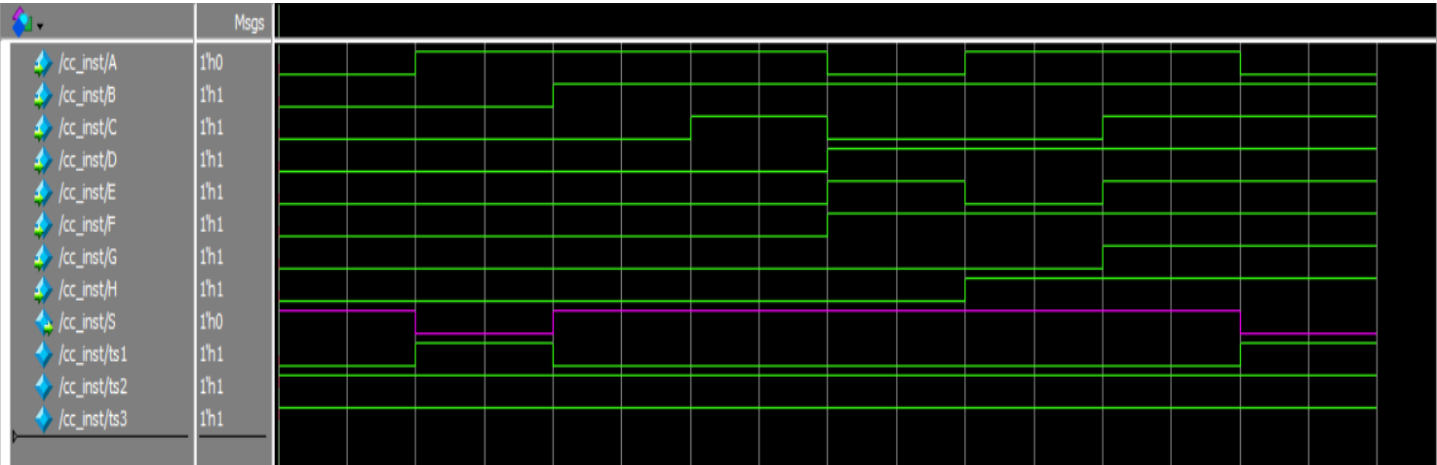
○ Código

```
1 module cc_inst
2
3   input wire A, B, C, D, E, F, G, H,
4   output wire S
5
6
7   wire ts1, ts2, ts3;
8
9   c_t1 inst0
10
11   (
12     .A(A),
13     .B(B),
14     .C(C),
15     .X(ts1)
16   );
17
18   c_t2 inst1
19
20   (
21     .A(A),
22     .B(B),
23     .C(C),
24     .D(D),
25     .a(ts2)
26   );
27
28   c_t2 inst2
29
30   (
31     .A(E),
32     .B(F),
33     .C(G),
34     .D(H),
35     .a(ts3)
36   );
37
38   c_t1 inst3
39
40   (
41     .A(ts1),
42     .B(ts2),
43     .C(ts3),
44     .X(S)
45   );
46
47 endmodule
```

○ Diagrama



○ Simulación





Referencias

- Circuitos proporcionados por el profesor Héctor Hernández
- Tarea anterior