

Projeto de Sistemas Digitais

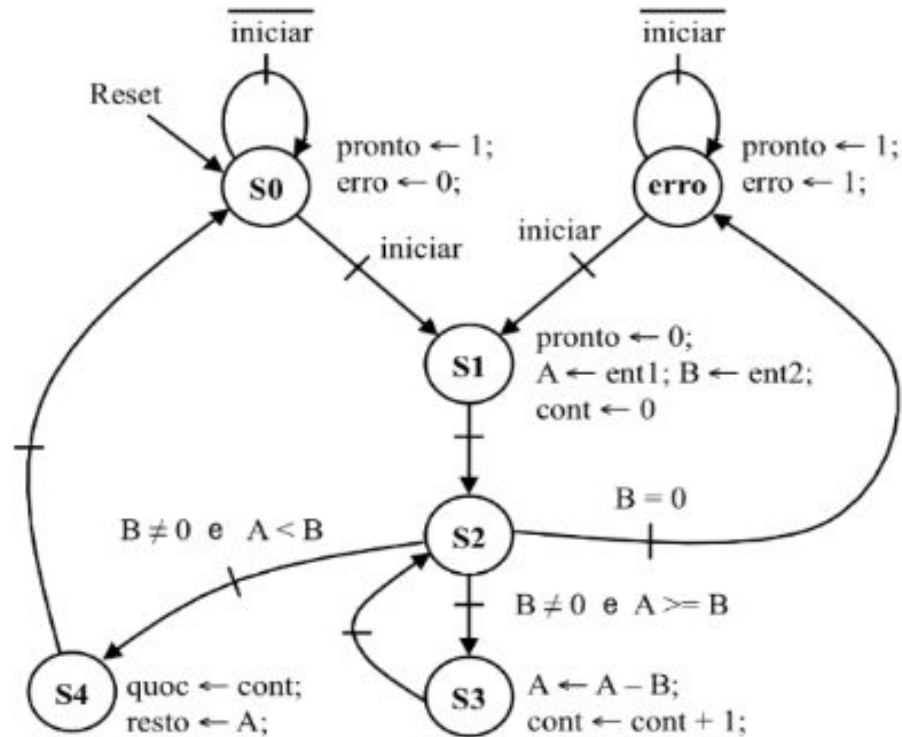
- Arthur Alexandre Nascimento
- Eduardo Vinicius Betim
- Fábio Pereira dos Santos
- Rafael Francisco Réus

Algoritmo de divisão

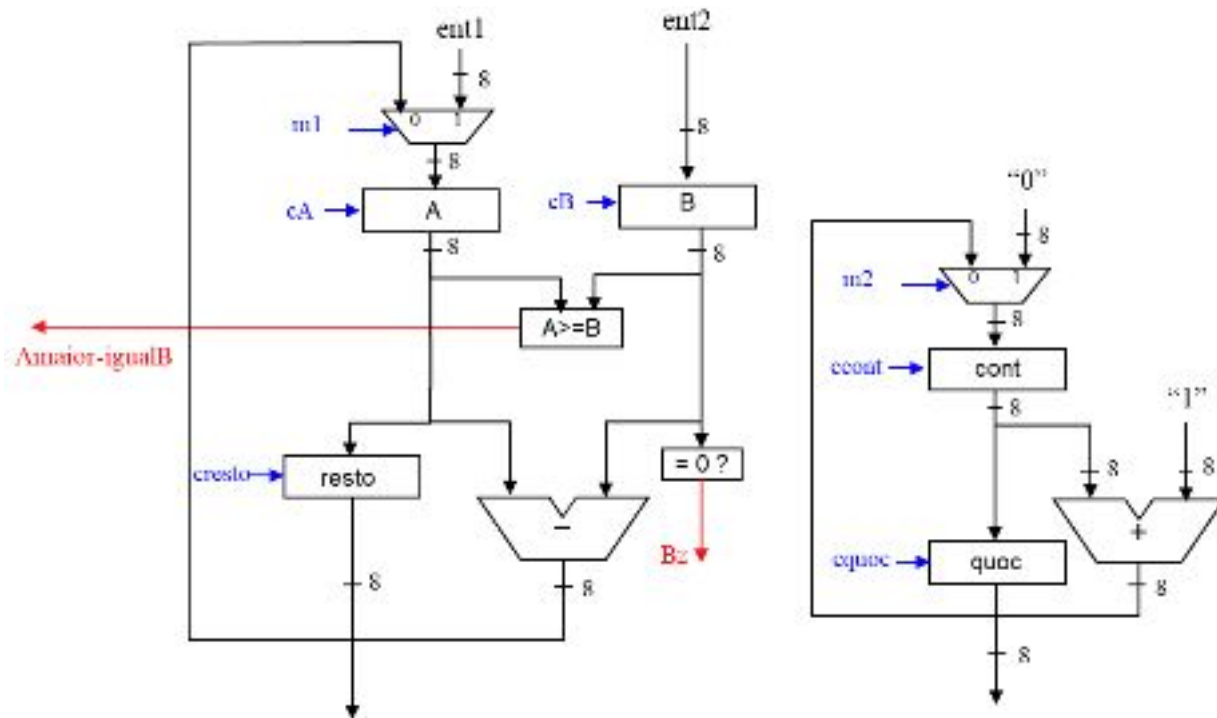
Algoritmo divseq

```
1  Início{
2   A ← ent1; B ← ent2; cont ← 0; pronto←0;
3   if B!=0 then {
4     while A >= B {
5       cont ← cont + 1;
6       A ← A - B; }
7   quoc ← cont; resto ← A;
8   pronto←1; erro←0;
9   }
10  else
11   pronto←1; erro←1;
12 }
```

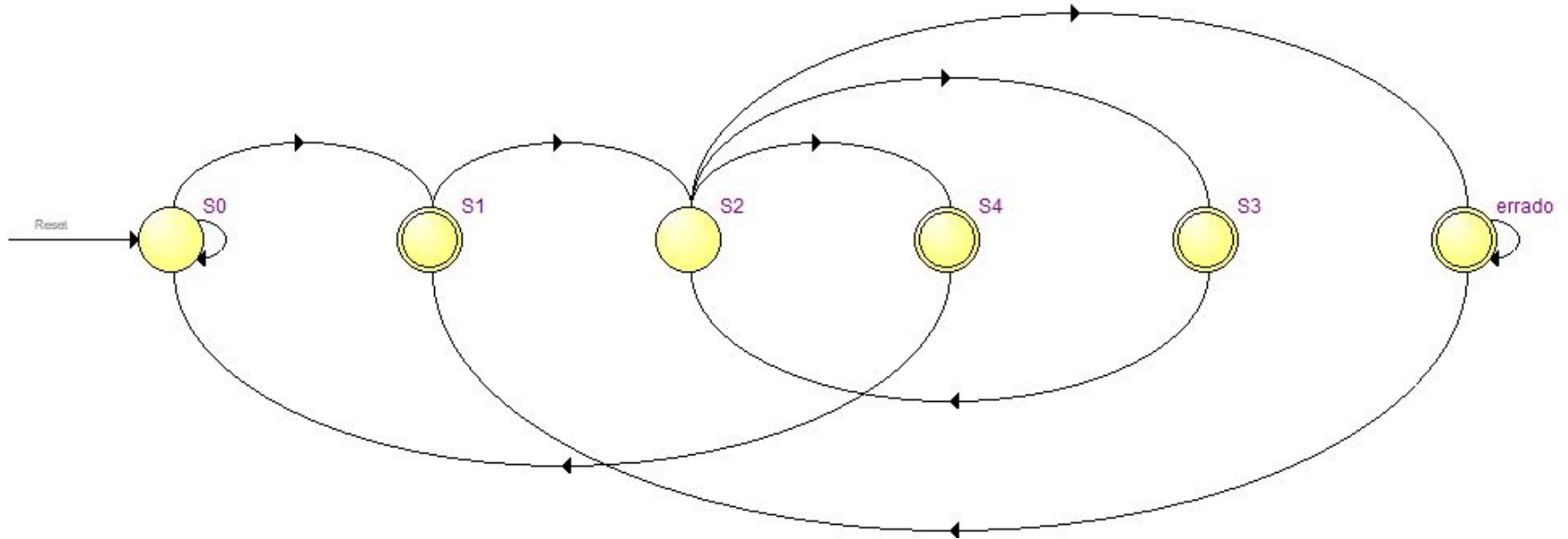
FSMD



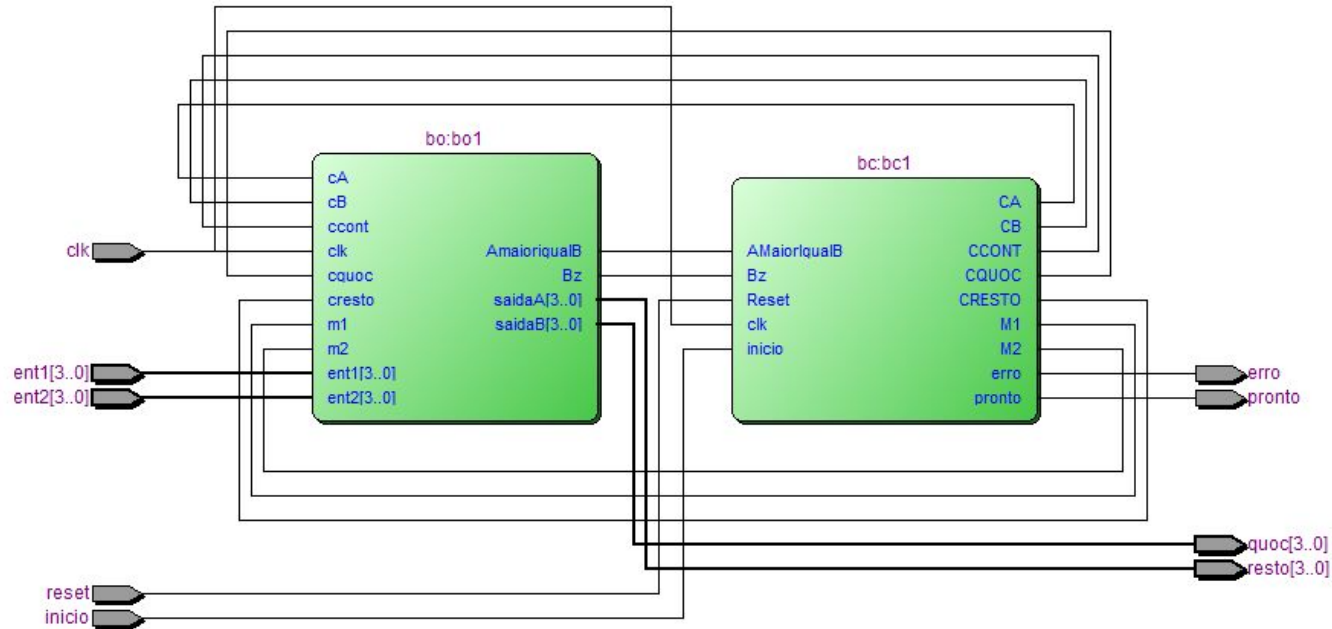
Bloco Operativo



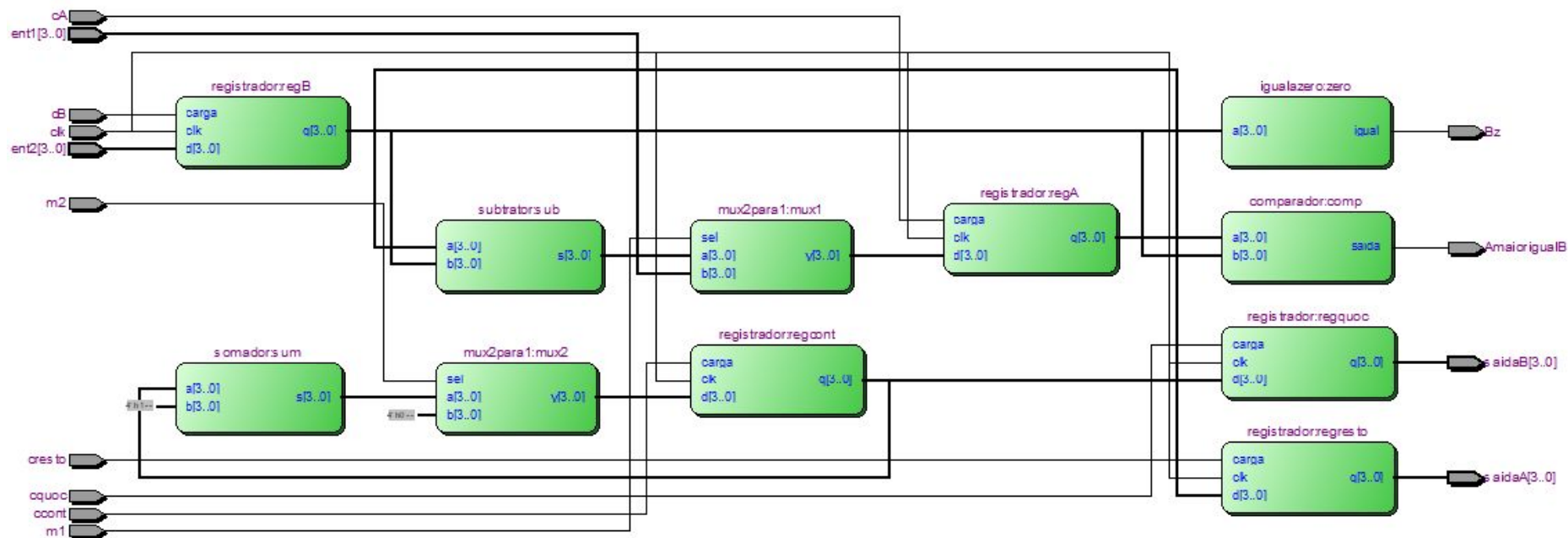
State Machine Viewer



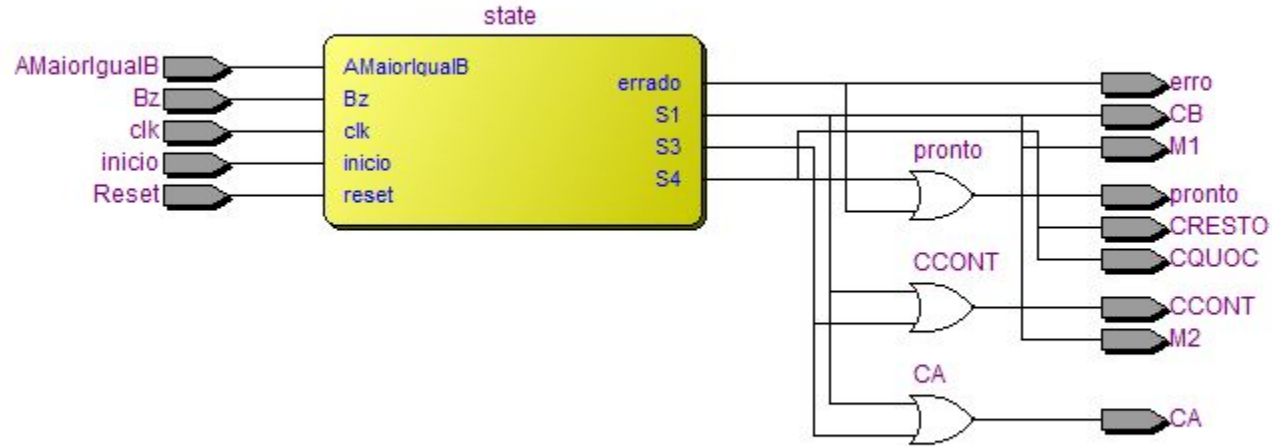
RTL Viewer - Topo



RTL Viewer - BO



RTL Viewer - BC



Comparação N = 4 e N = 8

Flow Status	Successful - Wed Nov 25 16:51:03 2020
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	divisor
Top-level Entity Name	divisor
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	33 / 33,216 (< 1 %)
Total combinational functions	21 / 33,216 (< 1 %)
Dedicated logic registers	26 / 33,216 (< 1 %)
Total registers	26
Total pins	21 / 475 (4 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

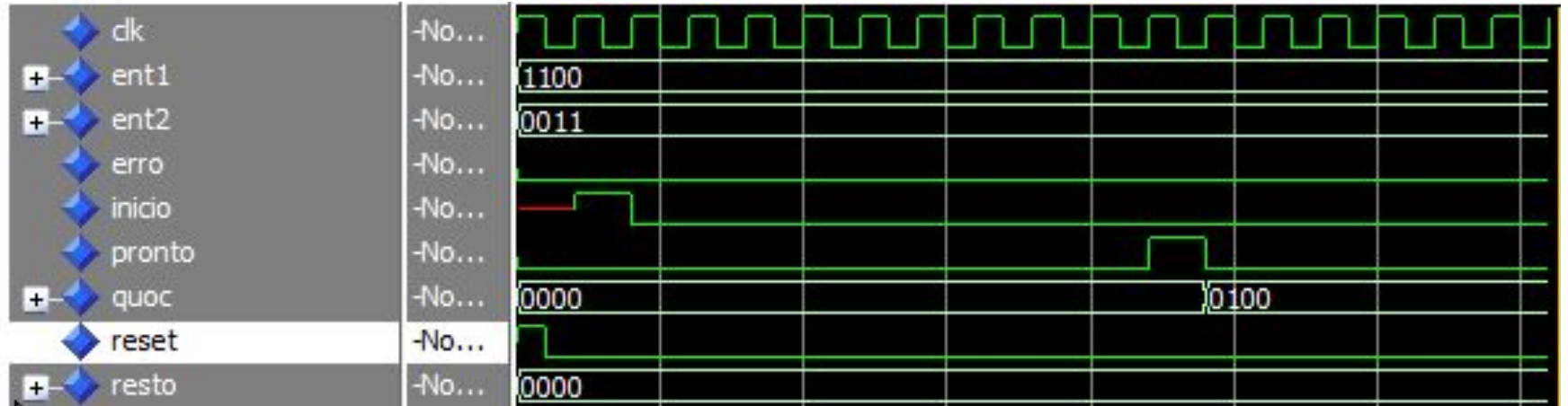
Flow Status	Successful - Wed Nov 25 16:55:59 2020
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	divisor
Top-level Entity Name	divisor
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	50 / 33,216 (< 1 %)
Total combinational functions	34 / 33,216 (< 1 %)
Dedicated logic registers	46 / 33,216 (< 1 %)
Total registers	46
Total pins	37 / 475 (8 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Comparação N = 4 e N = 8

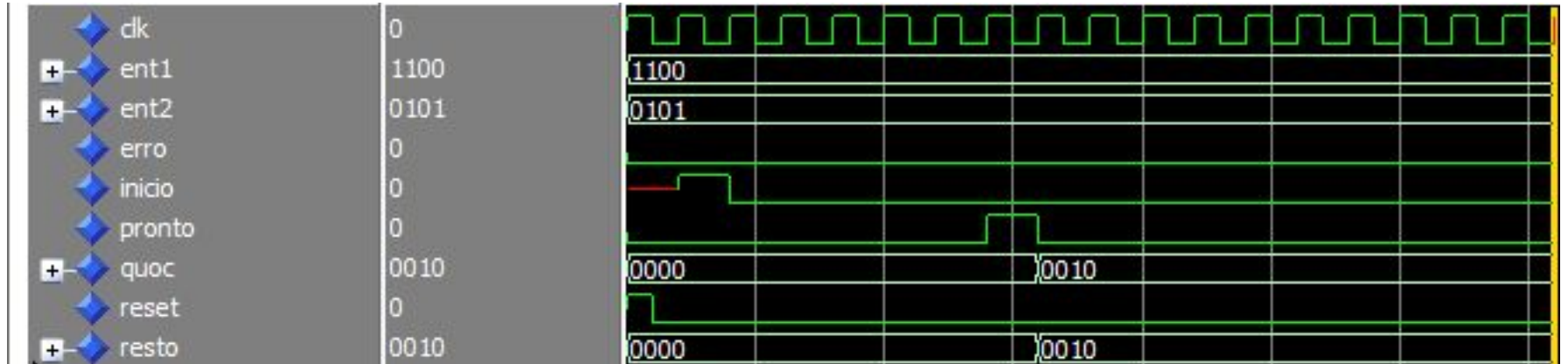
	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	erro	clk	6.750	6.750	Rise	clk
2	pronto	clk	7.227	7.227	Rise	clk
3	▼ quoc[*]	clk	6.392	6.392	Rise	clk
1	quoc[0]	clk	6.392	6.392	Rise	clk
2	quoc[1]	clk	6.585	6.585	Rise	clk
3	quoc[2]	clk	6.603	6.603	Rise	clk
4	quoc[3]	clk	6.600	6.600	Rise	clk
4	▼ resto[*]	clk	6.342	6.342	Rise	clk
1	resto[0]	clk	6.402	6.402	Rise	clk
2	resto[1]	clk	6.342	6.342	Rise	clk
3	resto[2]	clk	6.595	6.595	Rise	clk
4	resto[3]	clk	6.610	6.610	Rise	clk

	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	erro	clk	6.613	6.613	Rise	clk
2	pronto	clk	7.186	7.186	Rise	clk
3	▼ quoc[*]	clk	6.270	6.270	Rise	clk
1	quoc[0]	clk	6.370	6.370	Rise	clk
2	quoc[1]	clk	6.358	6.358	Rise	clk
3	quoc[2]	clk	6.270	6.270	Rise	clk
4	quoc[3]	clk	6.411	6.411	Rise	clk
5	quoc[4]	clk	6.523	6.523	Rise	clk
6	quoc[5]	clk	6.528	6.528	Rise	clk
7	quoc[6]	clk	6.357	6.357	Rise	clk
8	quoc[7]	clk	6.396	6.396	Rise	clk
4	▼ resto[*]	clk	6.333	6.333	Rise	clk
1	resto[0]	clk	6.370	6.370	Rise	clk
2	resto[1]	clk	6.333	6.333	Rise	clk
3	resto[2]	clk	6.838	6.838	Rise	clk
4	resto[3]	clk	6.351	6.351	Rise	clk
5	resto[4]	clk	6.582	6.582	Rise	clk
6	resto[5]	clk	6.550	6.550	Rise	clk
7	resto[6]	clk	6.840	6.840	Rise	clk
8	resto[7]	clk	6.370	6.370	Rise	clk

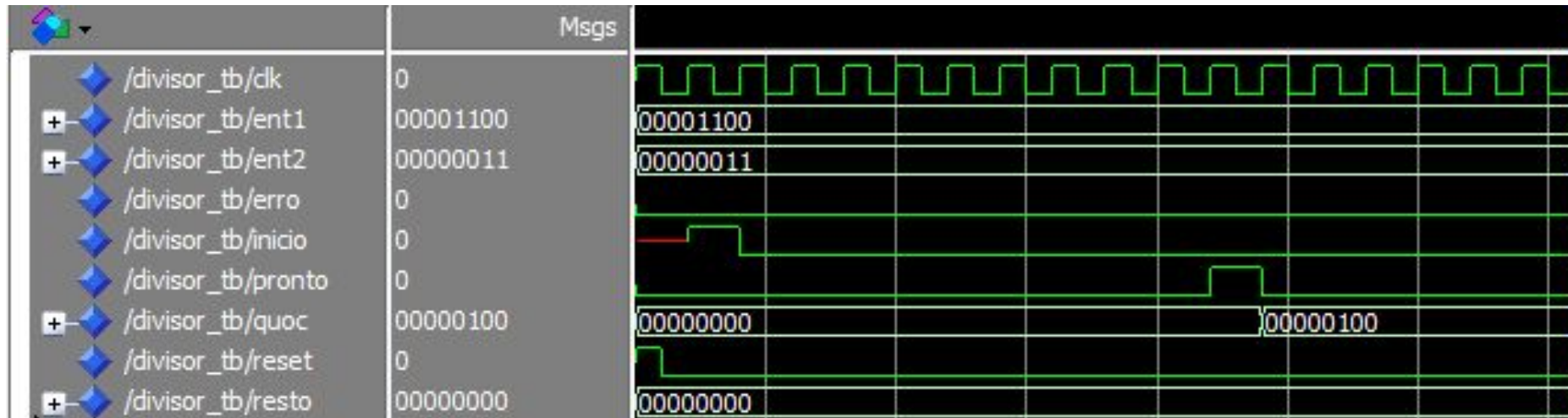
Simulação 12 / 3 - 4 bits



Simulação 12 / 5 - 4 bits



Simulação 12 / 3 - 8 Bits



Divisor - Relatório

O algoritmo usado funciona da seguinte maneira: “A” é o dividendo e “B” é o divisor. “B” logicamente deve ser diferente de 0. A cada ciclo, “B” é subtraído de “A” e o valor da variável de contador incrementa em 1, mostrando assim quantas vezes “B” cabe dentro de “A”. A divisão acaba quando A chegar a zero.

Grande parte do código pôde ser reaproveitado do multiplicador, e o único componente “novo” é o comparador $A \geq B$. Sobre a máquina de estados: O estado S1 é de início. O estado S2 confere se a divisão acabou e se a entrada “B” é diferente de zero. Vai para S3 enquanto a divisão não termina, S4 quando está pronta, e “Erro” quando a entrada B é zero. S4 é responsável por liberar os valores finais de saída do circuito, quociente e resto, e por indicar que o algoritmo está pronto.

No bloco operativo, temos o registrador A, que acumula o valor de “A”, registrador B, que guarda a entrada constante “B”, e o registrador “Cont” que incrementa “1” a cada ciclo. Os registradores “Quoc” e “Resto” são responsáveis por guardar a saída até que ela esteja pronta para ser liberada, quando o algoritmo estiver completo. Temos dois comparadores, $A \geq B$ e $B \neq 0$, além de um somador e um subtrator, respectivamente responsáveis por incrementar “Cont” e decrementar “A”.

Comparando 4 e 8 bits, o número de elementos lógicos teve um aumento de aproximadamente 50%. Entretanto, o tempo mínimo de clock até a saída diminuiu levemente.