

NOTA: _____

- 5) Mostre como seria a execução da instrução ISUB no pipeline de mic-3? Qual foi o ganho em relação a mic-2. Faz a tabela de ciclos para instruções, se a variável estiver na memória tem que esperar para usar

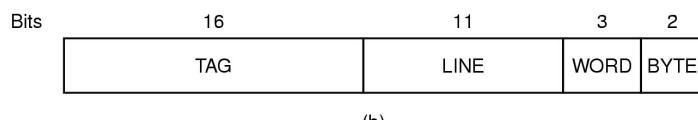
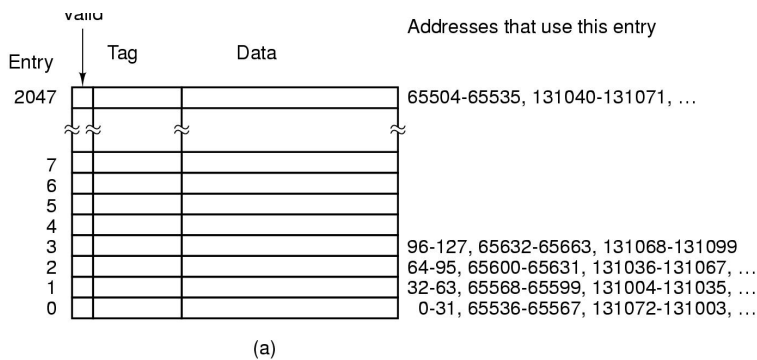
- 6) Explique o mic-4, descreva a funcionalidade de cada um dos seus estágios.

Ifu
decodificador
fila

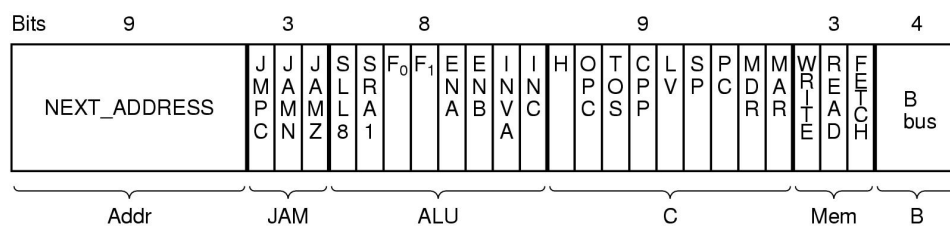
exceto que os campos NEXT_ADDRESS e JAM estão ausentes e um novo campo codificado é necessário para especificar a entrada do barramento A. Dois novos bits também são fornecidos: Final e Goto. O bit Final é marcado na última micro-operação de cada sequência de micro-operação IJVM para sinalizá-la. O bit Goto é ajustado para marcar micro-operações que são microdesvios condicionais..

operandos
execução
escrita
memoria

- 7) Explique como funciona a memória cachê em linhas gerais, falando dos níveis e do porque ela é viável e qual o princípio que garante o seu desempenho. Em que entrada se encontra o endereço 250000? Qual o seu TAG (considerar como zero o primeiro TAG)?



- 8) Como funciona cachê associativo?



B bus registers

0 = MDR 5 = LV
1 = PC 6 = CPP
2 = MBR 7 = TOS
3 = MBRU 8 = OPC
4 = SP 9-15 none