Insper

SuperComputação

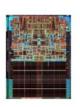
Aula 4 – Instruções vetoriais

2019 - Engenharia

Igor Montagner, Luciano Soares <igorsm1@insper.edu.br>

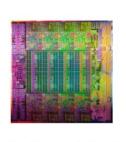
Arquiteturas modernas de CPU

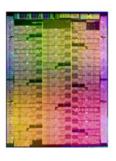












Images not intended to reflect actual die sizes

	64-bit Intel® Xeon® processor	Intel® Xeon® Intel® Xeon® processor processor 5100 series 5500 series		Intel® Xeon® processor 5600 series	Intel® Xeon® processor E5-2600 series	Intel® Xeon Phi™ Co-processor 5110P	
Frequency	3.6GHz	3.0GHz	3.2GHz	3.3GHz	2.7GHz	1053MHz	
Core(s)	1	2	4	6	8	60	
Thread(s)	2	2	8	12	16	240	
SIMD width	128 (2 clock)	128 (1 clock)	128 (1 clock)	128 (1 clock)	256 (1 clock)	512 (1 clock)	

Instruction pipelining

- Não reduz latência de uma tarefa
- Aumenta a taxa de execução de tarefas

Instr. No.	Pipeline Stage						
1	IF	ID	EX	MEM	WB		
2		IF	ID	EX	МЕМ	WB	
3			IF	ID	EX	МЕМ	WB
4				IF	ID	EX	МЕМ
5					IF	ID	EX
Clock Cycle	1	2	3	4	5	6	7

Legend:

IF: Instruction Fetch

ID: Instruction Decode

EX: Execute

MEM:Memory Access

WB: Register Write Back

Instruction pipelining

Paralelismo em nível de instrução!

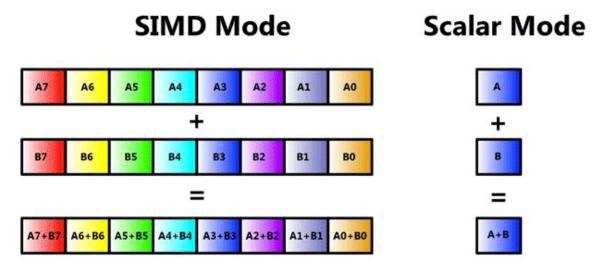
	IF	ID	EX	MEM	WB				
	IF	ID	EX	MEM	WB				
	i	IF	ID	EX	MEM	WB			
	t	IF	ID	EX	MEM	WB			
-	·		lF	ID	EX	MEM	WB		
			IF	ID	EX	MEM	WB		
				IF	ID	EX	MEM	WB	
				IF	ID	EX	MEM	WB	
					IF	ID	EX	MEM	WB
					IF	ID	EX	MEM	WB

Instruction pipelining



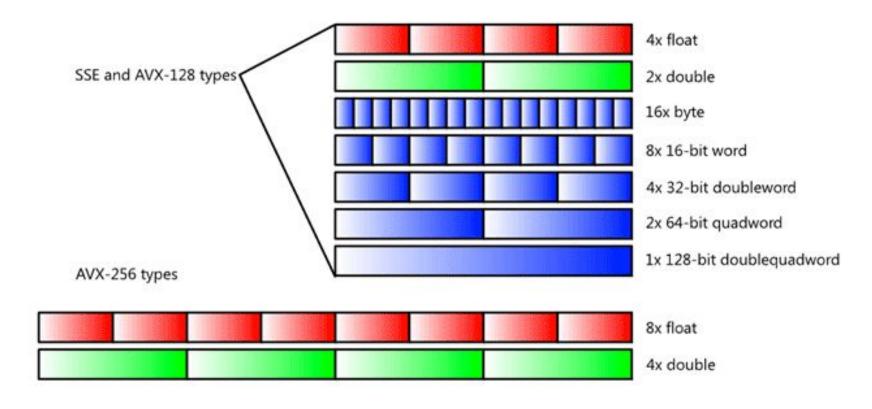
Base para as vulnerabilidades Spectre e Meltdown

Single Instruction Multiple Data (SIMD)



- Processamento de itens de dados em conjunto
- Operações aritméticas básicas
- Operações comuns mais complexas

Single Instruction Multiple Data (SIMD)



Suporte a vetores cada vez maiores

Arquiteturas modernas de CPU

- Menos velocidade de clock
- Mais núcleos
- Mais trabalho efetuado por clock (pipelining)
- Vetorização (SIMD)

Atividade 1 -- 5 minutos

Exercícios "Capacidade dos Registradores"

Atividade 2 -- 10 minutos

Exercícios "Instruções vetoriais"

Discussão I

código - godbolt

Discussão I

De onde vem os ganhos de desempenho na versão vetorizada automaticamente?

Discussão I

De onde vem os ganhos de desempenho na versão vetorizada automaticamente?

- Número menor de instruções executadas
- Número menor de pulos
 - Instruções J* estragam o pipeline da CPU
- 2 somas pelo preço de uma

Atividade 3 -- 40 minutos

Exercícios "Aplicando autovetorização"



Atividade final

Parte final do "Projeto 0"

Referências

• Livros:

• Hager, G.; Wellein, G. Introduction to High Performance Computing for Scientists and Engineers. 1ª Ed. CRC Press, 2010.

• Artigos:

- Firasta, Nadeem, Mark Buxton, Paula Jinbo, Kaveh Nasri, and Shihjong Kuo. "Intel AVX: New frontiers in performance improvements and energy efficiency." *Intel white paper* 19 (2008): 20.
- Jeong, Hwancheol, Sunghoon Kim, Weonjong Lee, and Seok-Ho Myung. "Performance of SSE and AVX instruction sets." *arXiv preprint arXiv:1211.0820* (2012).

• Internet:

- https://monoinfinito.wordpress.com/series/vectorization-in-gcc/
- https://software.intel.com/en-us/articles/introduction-to-intel-advanced-vector-extensions
- https://software.intel.com/en-us/isa-extensions
- https://tech.io/playgrounds/283/sse-avx-vectorization/autovectorization
- https://software.intel.com/sites/landingpage/IntrinsicsGuide/
- https://www.codeproject.com/Articles/874396/Crunching-Numbers-with-AVX-and-AVX



Insper

www.insper.edu.b