

# 240306 Estructura de Computadores

## 2022-23. 2º Parcial

GRUPO:  
APELLIDOS:  
NOMBRE:

Prueba Ordinaria 2º Parcial. 12 de Enero 2023.  
Grado de Informática 2º curso. Estructura de Computadores.  
Universidad Pública de Navarra.  
Duración: 90 minutos.

### 1. Teoría (4ptos)

1. Indica 2 ventajas de una arquitectura CISC frente a una RISC y otras 2 ventajas de una arquitectura RISC frente a una CISC: (0,6 pts)
2. Un procesador Superescalar n-way: (0,2 pts / -0,1)
  - a. Puede realizar n instrucciones simultáneamente
  - b. Cada núcleo únicamente puede controlar una única ruta de datos
  - c. Permite realizar en paralelo cualquier instrucción, aunque compartan dependencias como registros en común.
  - d. Todas las anteriores son correctas
3. El throughput de una arquitectura Pipeline hace referencia a: (0,2 pts / -0,1)
  - a. La cantidad de instrucciones agrupadas en un sistema VLIW
  - b. El tiempo que tarda una única instrucción en ejecutarse
  - c. La cantidad de rutas de datos que permite un procesador superescalar
  - d. El número de instrucciones que se ejecutan por unidad de tiempo
4. Nombra los cuatro mecanismos de implementación de entradas y salidas vistos en clase y resume en qué consiste cada uno en una única línea: (0,4 pts)
5. Cita los pasos realizados en una interrupción. El primer paso y el último vienen indicados, rellenar el resto usando el número de pasos que se consideren necesarios (0,5 pts):
  - a. Comprobar si se ha producido alguna interrupción
  - b. .
  - c. .
  - d. .
  - e. .

- f. .
  - g. .
  - h. .
  - i. Continuar con el Ciclo de Instrucción – Captura de la siguiente instrucción.
6. Ordena por jerarquía los siguientes tipos de memoria, asigna el 1 a la más rápida y el 8 a la más lenta: (0,2 pts)
- a. Disco duro HDD
  - b. Memoria Caché L1
  - c. Memoria Principal
  - d. Memoria Caché L2
  - e. Registros
  - f. Disco duro SSD
  - g. Otros métodos de almacenamiento (Nube, memorias externas...)
  - h. Memoria Caché L3
7. Asigna cada una de las siguientes características a memorias SRAM, memorias DRAM o a AMBAS (0,4 puntos /-0,05 por cada fallo)
- a. Puede ser síncrona o asíncrona
  - b. Cada celda consta de 6 transistores
  - c. Es volátil
  - d. Con estar alimentada, la información se mantiene
  - e. Requiere refrescar continuamente la información aunque esté alimentada
  - f. Cada celda consta de 1 transistor y 1 condensador
  - g. Se emplea en la Memoria Principal
  - h. Se emplea en la Memoria Caché
8. Indica cuál de los elementos de organización de la memoria DRAM (mmu,array,banco,etc ....)se equivale a cada una de las siguientes descripciones (más de una se pueden referir a un mismo elemento): (0,5 / -0,05pts)
- a. Convierte las direcciones virtuales en direcciones físicas.
  - b. Organiza las celdas en una matriz de filas y columnas.
  - c. Es cada circuito integrado físico presente en una tarjeta de Memoria.
  - d. Cada tarjeta física de Memoria Principal.
  - e. Un chip xn dispone de n elementos de ellos en cada banco.
  - f. Conjunto de Chips que comparten un mismo ChipSelect.
  - g. Un chip se estructura en múltiples de ellos.
  - h. Elemento básico de almacenamiento de 1 bit.
  - i. Conjunto de Arrays 2D.

- j. Cada uno de ellos dispone de un buffer I/O.
9. El ROW-BUFFER (0,2 pts / -0,1):
- Contiene todas las filas seleccionadas de todos los Arrays2D de un mismo banco
  - La columna seleccionada de cada fila del RowBuffer es lo que se pasa al buffer I/O
  - En la salida del Rank se obtienen los datos del RowBuffer del mismo número de banco de cada chip
  - Todas las anteriores son correctas
10. Indica si las siguientes afirmaciones sobre la memoria caché son Verdaderas o Falsas (0,5 pts / -0,1):
- Únicamente se emplea un principio de localidad temporal para almacenar datos en la memoria Caché
  - Cuando el procesador necesita un dato, primero lo busca en la memoria caché y, si no está, se accede a la Memoria Principal a por él
  - En método de correspondencia de Asociación Directa cada bloque de Memoria Principal solo puede estar almacenado en una única línea
  - El método Totalmente Asociativo es el más rápido a la hora de comprobar si nuestro dato está almacenado en Memoria Caché
  - Un método Asociativo por conjuntos de 1 única vía es equivalente a un método de correspondencia directa

## 2. Ejercicios(6 pts)

- (0.5pts) Representar la fracción en código decimal  $1/1024$  en el formato binario IEEE-754 de simple precisión.
- (0.5pts) En un computadora x86-32 linux/GNU un programa realiza una llamada a una subrutina **call subrutina** con 6 argumentos y una variable local. Al finalizar el ciclo de instrucción de la instrucción **CALL subrutina** el stack pointer apunta a la dirección 0xFFFFA0C. Calcular la dirección de memoria del sexto argumento.
- (0.5pts) Si la velocidad del reloj de la CPU es de 1250 millones de ciclos por segundo, el período en nanosegundos del ciclo de reloj es:
- (1.25pts) Una CPU con un reloj de 1GHz emplea una microarquitectura segmentada de 20 etapas para el cauce de instrucciones y superescalar con 5 rutas de datos. Calcular el tiempo necesario de ejecución de un programa de 1000 instrucciones máquina si la duración de cada etapa son 4 ciclos de reloj y en la secuencia de instrucciones del programa no hay ni saltos ni dependencias entre operandos.
- (1.25pts) Un ordenador de sobremesa de 64 bits tiene instalado el módulo de memoria Corsair Dominator Platinum RGB DDR5 5200MHz 64GB 2x32GB CL40 con un coste de 500€. Calcular el ancho de banda del bus de memoria.
- (2pts) La arquitectura de una computadora está formada por una memoria caché asociativa de 2 vías con capacidad de 16KB que almacena tanto las instrucciones como los datos cuyas líneas están formadas por 32 bytes y organizadas en palabras de 32 bits. El espacio de direcciones de

la memoria principal está formado por direcciones de 32 bits que direccionan palabras y el espacio de direcciones de la memoria cache está formado por direcciones de 32 bits que direccionan palabras.

- a. ¿Cuál es la estructura de la memoria caché? ¿Cuál es la estructura de la memoria principal?
- b. ¿Cuál es el formato de direcciones de la memoria principal? ¿Cuál es el formato de direcciones de la memoria caché?
- c. ¿Cuales son los bloques que deben de asociarse al set 251?
- d. En una memoria direccionable en bytes la dirección de memoria 0xFCFCFCFC a qué: ¿palabra apunta? ¿qué bloque? ¿Qué set? ¿Qué línea del set?