

# **Evaluación Ordinaria (Estructura de Computadores 2018-19)**

HISTORIAL DE REVISIONES			
NÚMERO	FECHA	MODIFICACIONES	NOMBRE

## Índice

<b>1. CPU</b>	<b>1</b>
<b>2. Memoria</b>	<b>2</b>
<b>3. IO</b>	<b>2</b>
<b>4. Ejercicios 1 (2.5ptos)</b>	<b>2</b>
<b>5. CPU</b>	<b>3</b>
<b>6. Memoria</b>	<b>3</b>
<b>7. IO</b>	<b>4</b>

---

Prueba Ordinaria. 2018 Diciembre 20.  
Grado de Informática 2º curso. Estructura de Computadores.  
Universidad Pública de Navarra.  
Duración: 100 minutos.

APELLIDOS:

NOMBRE:

GRUPO:

**importante**

Puede utilizarse todo tipo de información escrita como memorias de prácticas, apuntes, hojas de referencia, etc. Se han de incluir en la respuestas de los ejercicios todo tipo de desarrollo necesario para llegar al resultado. El test son 7.5 pts y el ejercicio 2.5 pts. En el test cada respuesta errónea resta  $1/k$  siendo  $k$  el número de opciones de la respuesta.

## 1. CPU

1. Si la velocidad del reloj de la CPU es de 1250 millones de ciclos por segundo, el ciclo de reloj es: a)  $1.9 * 10^{-10}$  sec b)  $8 * 10^{-9}$  sec c)  $1.25 * 10^{-10}$  sec d)  $8 * 10^{-10}$  sec
2. El reloj de la CPU se utiliza para: a) sincronizar las operaciones de la ALU b) sincronizar la transferencia de datos c) sincronizar las fases del ciclo de instrucciones
3. La siglas FPU significan: a) Format Power Unit b) Float Point Unit c) Fetch Processor Unit
4. La ruta de datos comprende: a) las unidades de control del ciclo de la instrucción b) los registros y la unidad de control c) todas las unidades de la cpu excepto la unidad de control d) la unidad aritmética lógica y los registros no accesibles por el programador
5. La CPU chequea si ha habido una interrupción: a) durante el ciclo de instrucción b) al principio del ciclo de instrucción c) al final del ciclo de instrucción
6. En una cpu con ciclo de instrucción pipelining la etapa más corta es la primera en realizar: a) Verdadero b) Falso
7. Si una unidad de la CPU completa su tarea antes del tiempo asignado \_ a) Durante el tiempo restante realiza otra tarea b) No espera y comienza la siguiente tarea c) Espera a que finalice el tiempo asignado d) Ninguna de las opciones anteriores
8. En una cpu segmentada el tiempo de acceso a la memoria principal se ve reducido: a) en función del número de etapas o segmentos b) la frecuencia del reloj c) si la unidad de control es microprogramada d) ninguna de las anteriores
9. El throughput de una cpu segmentada es: a) mayor que 1 b) menor que 1 c) 1
10. Un procesador superescalar se caracteriza por tener: a) múltiples unidades de ejecución b) múltiples unidades de control c) múltiples unidades de coma flotante
11. Un procesador VLIW se caracteriza por: a) tener varios núcleos b) ejecutar instrucciones secuencialmente c) tener múltiples unidades de ejecución
12. The CISC stands for \_ a) Computer Instruction Set Compliment b) Complete Instruction Set Compliment c) Computer Indexed Set Components d) Complex Instruction set computer
13. La arquitectura RISC : a) la instrucción ADD accede a los operandos en los registros b) la instrucción ADD accede a los operandos en la memoria principal c) la instrucción ADD accede a los operandos de los registros o memoria principal.

## 2. Memoria

1. La dirección que almacena el contador de programa es una dirección: a) virtual b) física c) no lineal
2. Una dirección de 24 bits genera un espacio de ----- direcciones. a) 1024 b) 4096 c) 248 d) 16,777,216
3. Las celdas de la memoria principal están construidas por: a) transistores b) diodos c) condensadores d) inversores
4. Una memoria formada por chipsx8: a) el buffer de datos es de 8 bits b) tiene una capacidad de 8MB c) el buffer de datos es de 8 bytes
5. Un banco de memoria esta formado por: a) chips b) celdas c) arrays
6. El controlador de la memoria principal a) traduce las direcciones virtuales en direcciones físicas b) traduce las direcciones físicas en un formato rank,chip,bank,filas,columna c) traduce el formato rank,chip,bank,filas,columna en una dirección física.
7. El row buffer de un chip contiene información de: a) la dirección de fila y columna de una celda b) el contenido de una fila de todos los bancos c) el contenido de las columnas de un array d) el contenido de los arrays de un banco
8. El espacio de direcciones de la memoria caché se estructura en: a) páginas b) líneas c) segmentos
9. Una caché de 4 vías significa: a) Los bloques tienen 4 líneas b) Los sets tiene 4 palabras c) Los sets tiene 4 líneas

## 3. IO

1. En un espacio de direcciones i/o mapeado a memoria: a) Las direcciones de los puertos y las de memoria comparten el mismo espacio de direcciones. b) Los periféricos tienen un espacio de direcciones aislado. c) La memoria y los puertos tienen memorias asociadas d) La CPU tiene una zona de memoria especialmente dedicada a los puertos.
2. El método de acceder a los periféricos chequeando repetidamente el flag de status del periférico se denomina a) E/S por programa b) E/S mapeado a memoria c) E/S mapeada d) E/S con acceso directo a memoria
3. El sincronismo entre el periférico y la CPU enviando una señal se denomina: a) sincronismo por interrupción b) sincronismo por encuesta c) sincronismo polling d) sincronismo por reloj
4. La memoria principal es un recurso compartido por: a) la CPU y los controladores del teclado b) los registros y los puertos c) la CPU y los controladores DMA d) los periféricos y la unidad de control.
5. El vector de interrupción : a) contiene el número ID del periférico b) contiene el código de la línea de interrupción. c) contiene la dirección de la ISR d) contiene la dirección de la tabla de interrupciones

## 4. Ejercicios 1 (2.5ptos)

1. La arquitectura de una computadora está formada por una memoria caché asociativa de 2 vías con capacidad de 16KB que almacena tanto las instrucciones como los datos cuyas líneas estan formadas por 32 bytes y organizadas en palabras de 32 bits. La espacio de direcciones de la memoria principal está formado por direcciones de 32 bits que direccionan palabras.
  - a. ¿Cuál es la estructura de la memoria caché?
  - b. ¿Cuál es la estructura de la memoria principal?
  - c. ¿Cuál es el formato de direcciones de la memoria principal?
  - d. ¿Cuál es el formato de direcciones de la memoria caché?
  - e. ¿Cuales son los bloques que deben de asociarse al set 251?
  - f. En una memoria direccionable en bytes la dirección de memoria 0xFCFCFCFC a qué: ¿palabra apunta?¿qué bloque?¿Qué set?¿Qué línea del set?

Prueba Parcial de Recuperación. 2018 Diciembre 20. APELLIDOS:  
Grado de Informática 2º curso. Estructura de Computadores. NOMBRE:  
Universidad Pública de Navarra. Duración: 45 minutos. GRUPO:

Respuestas al test

## 5. CPU

1. .
2. .
3. .
4. .
5. .
6. .
7. .
8. .
9. .
10. .
11. .
12. .
13. .

## 6. Memoria

1. .
  2. .
  3. .
  4. .
  5. .
  6. .
  7. .
  8. .
  9. .
-

## 7. IO

1. .
2. .
3. .
4. .
5. .