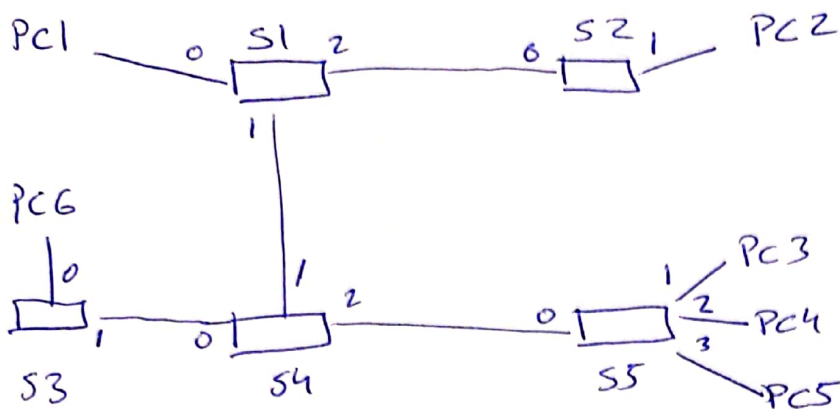


# PROBLEMA 2.7

1



\* Al arrancar los switches, todos vacíos.

\* de  $t=0$  hasta  $t=3$ , se generan flujos de datos, que generan un caudal con una tasa binaria de:

$$\frac{\text{tamaño paquete}}{\text{intervalo de envío.}}$$

\*  $t=0$  PC1  $\rightarrow$  PC2 tramas de 1200B cada 12ms

$$\text{flujo PC1} \rightarrow \text{PC2} = \frac{9600 \text{ bits}}{12 \text{ ms}} = 0.8 \text{ Mbps.}$$

va por todos los puertos, los switches aprenden puerto de entrada de PC1.

\*  $t=1$  PC1  $\rightarrow$  PC3 1000B cada 8ms

$$\text{flujo PC1} \rightarrow \text{PC3} = \frac{8000 \text{ bits}}{8 \text{ ms}} = 1 \text{ Mbps}$$

no se aprende nada nuevo (actualiza PC1)

\*  $t=2$  PC1  $\rightarrow$  PC4 800B cada 3.2ms.

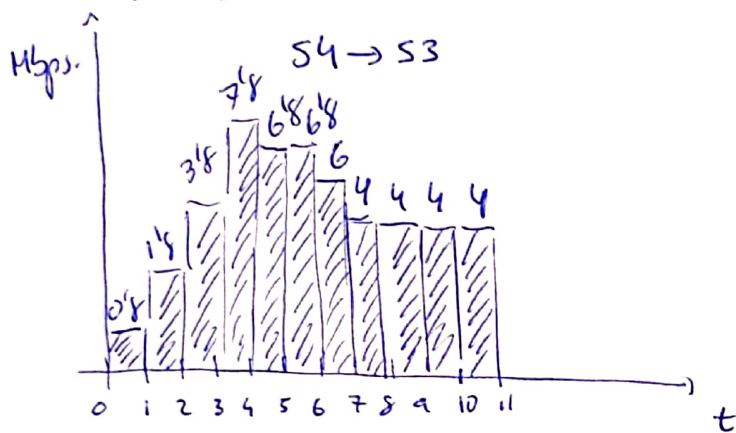
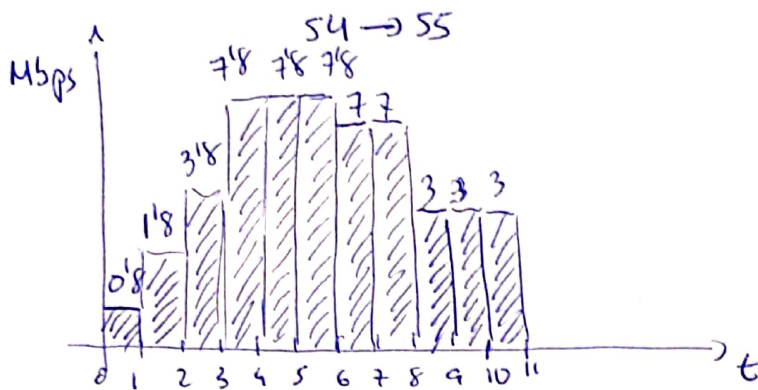
$$\text{flujo PC1} \rightarrow \text{PC4} = \frac{6400 \text{ bits}}{3.2 \text{ ms}} = 2 \text{ Mbps}$$

no se aprende nada nuevo (actualiza PC1)

\*  $t=3$  PC1  $\rightarrow$  PC6 500B cada 1ms.

$$\text{flujo PC1} \rightarrow \text{PC6} = \frac{4000 \text{ bits}}{1 \text{ ms}} = 4 \text{ Mbps} \rightarrow \text{no se aprende nada nuevo (actualiza PC1)}$$

A partir de ahora, se va ajustando el tráfico. Heste (2)  
 $t=3$ , todo el tráfico que se genere va por todos los  
 puertos (en el sentido de PC1 hacia todos los  
 demás).



S1		S2	
P	MAC	P	MAC
0	PC1, P	0	PC1, PC3, PC4
1	PC3, PC4	1	PC2
2	PC2		

S3		S4	
P	MAC	P	MAC
1	PC1, PC3	1	PC1, PC2
	PC2, PC4	2	PC3, PC4
0	PC6	0	PC6

S5	
P	MAC
0	PC1, PC2, PC6
1	PC3
2	PC4

- $t=4$ : PC3 envía 1 trama a PC4; se aprende puerto de entrada de PC3; el flujo PC1 a PC3 va por los enlaces  $S1 \rightarrow S4$  y  $S4 \rightarrow S5$ ; deja de ir por  $S1 \rightarrow S2$  y  $S4 \rightarrow S3$
- $t=5$ : PC4 envía 1 trama a PC3; sólo S5 aprende puerto de entrada de PC4; no se modifican flujos.
- $t=6$ : PC2 envía 1 trama a PC4; se aprende puerto de entrada de PC2; el flujo de PC1 a PC2 va por  $S1 \rightarrow S2$  y deja de ir por  $S1 \rightarrow S4$ ,  $S4 \rightarrow S5$  y  $S4 \rightarrow S3$
- $t=7$ : PC4 envía 1 trama a PC5; ahora todos aprenden puerto de entrada de PC4. El flujo de PC1 a PC4 va por  $S1 \rightarrow S4$  y  $S4 \rightarrow S5$  y deja de ir por  $S1 \rightarrow S2$  y  $S4 \rightarrow S3$ .
- $t=8$ : PC6 envía 1 trama a PC4; aprende S3, S4 y S5 el puerto de entrada de PC6; elimina flujo PC1 a PC6 del enlace  $S4 \rightarrow S5$ , pero permanece en los demás.

$t=9$       PC3 envia 1 trama a PC1 ; se actualiza bdd de filtrado , no se modifica fljor.

$t=10$       PC6 envia 1 trama a PC3 ; se actualiza la bdd de s3, s4 y s5 , no se modifican fljor.