

7

LATCHES, FLIP-FLOPS E TEMPORIZADORES

TÓPICOS DO CAPÍTULO

- 7-1 Latches
- 7-2 Flip-Flops Disparados por Borda
- 7-3 Características de Operação dos Flip-Flops
- 7-4 Aplicações de Flip-Flops
- 7-5 Monoestáveis
- 7-6 Temporizador 555
- 7-7 Análise de Defeito
- Aplicações em Sistemas Digitais

OBJETIVOS DO CAPÍTULO

- Usar portas lógicas para construir latches básicos
- Explicar a diferença entre um latch S-R e um latch D
- Reconhecer a diferença entre um latch e um flip-flop
- Explicar as diferenças entre os flip-flops S-R, D e J-K
- Entender o significado dos atrasos de propagação, tempo de *setup* (preparação), tempo de *hold* (manutenção), frequência máxima de operação, largura mínima de pulso de clock e dissipação de potência em aplicações de flip-flops
- Usar flip-flops em aplicações básicas



- Explicar em que diferem os monoestáveis redispárveis e não-redispárveis
- Configurar um temporizador 555 para operar como um multivibrador astável ou um monoestável
- Fazer análise de defeito em circuitos básicos com flip-flop

TERMOS IMPORTANTES

- Latch
- Biestável
- SET
- RESET
- Clock
- Flip-flop disparado por borda
- Síncrono
- Flip-flop D
- Flip-flop J-K
- T (*toggle*)
- Preset
- Clear
- Tempo de atraso de propagação
- Tempo de *setup*
- Tempo de *hold*
- Dissipação de potência
- Monoestável
- Temporizador
- Astável

INTRODUÇÃO

Este capítulo começa o estudo dos fundamentos da lógica seqüencial. Aqui são abordados os dispositivos lógicos biestável, monoestável e astável, denominados multivibradores. Duas categorias de dispositivos biestáveis são o latch e o flip-flop. Os dispositivos biestáveis têm dois estados estáveis, chamados de SET e RESET; tornando-os úteis como dispositivos de armazenamento. A diferença básica entre latches e flip-flops é a forma com que eles são comutados de um estado para o outro. O flip-flop é um bloco construtivo básico para contadores, registradores e outras lógicas de controle seqüencial e é usado em certos tipos de memórias. O multivibrador monoestável tem apenas um estado estável. Um monoestável produz um único pulso de largura controlada quando ativado ou disparado. O multivibrador astável não tem estado estável e é usado principalmente como oscilador, que é um gerador de forma de onda auto-sustentado. Os geradores de pulsos são usados como fontes para formas de onda de temporização em sistemas digitais.



DISPOSITIVOS LÓGICOS DE FUNÇÕES FIXAS

74XX74	74XX279	74XX122
555	74121	74XX75
74XX112		

DISCUSSÃO PRÉVIA DE APLICAÇÕES EM SISTEMAS DIGITAIS

Esse tópico de Aplicações em Sistemas Digitais continua com o sistema de controle de semáforo do Capítulo 6. O foco neste capítulo é a parte do circuito de temporização do sistema que produz o clock, o intervalo de tempo longo para as luzes vermelha e verde e o intervalo de tempo curto para a luz de atenção (amarela). O clock é usado como o sinal de temporização do sistema básico para o avanço da lógica seqüencial através dos seus estados. A lógica seqüencial será desenvolvida no Capítulo 8.

WWW. ACESSE O SITE

Recursos que o ajudarão no estudo deste capítulo estão disponíveis em

<http://www.prenhall.com/floyd>

7-1 LATCHES

O **latch** é um tipo de dispositivo de armazenamento temporário que tem dois estados estáveis (biestável) e é normalmente colocado numa categoria separada dos flip-flops. Os latches são similares aos flip-flops porque eles são dispositivos biestáveis que podem permanecer em um dos dois estados estáveis usando uma configuração de realimentação, na qual as saídas são conectadas de volta às entradas opostas. A principal diferença entre os latches e os flip-flops é o método usado para a mudança de estado deles.

Ao final do estudo desta seção você deverá ser capaz de:

- Explicar a operação de um latch S-R básico
- Explicar a operação de um latch S-R implementado com portas lógicas
- Explicar a operação de um latch D implementado com portas lógicas
- Implementar um latch S-R ou D com portas lógicas
- Descrever os CIs 74LS279 e 74LS75 (quatro latches)

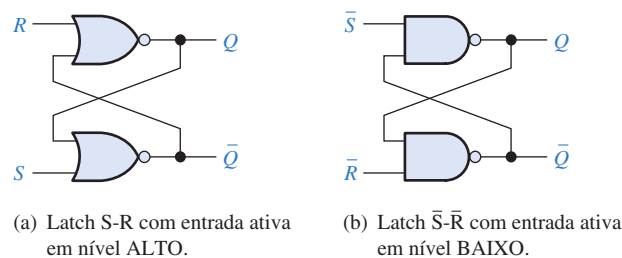


NOTA: COMPUTAÇÃO

Os latches são algumas vezes usados em sistemas de computador para a multiplexação de dados num barramento. Por exemplo, os dados que entram no computador a partir de uma fonte externa têm que compartilhar o barramento de dados com os dados de outras fontes. Quando o barramento de dados se torna indisponível para uma fonte externa, o dado existente tem que ser temporariamente armazenado e os latches colocados entre a fonte externa e o barramento de dados podem ser usados para esse fim. Quando o barramento de dados está indisponível para a fonte externa, os latches têm que ser desconectados do barramento usando um método conhecido por tristate. Quando o barramento de dados se torna disponível, os dados externos passam através dos latches, originando assim a denominação de *latch transparente*. O latch D implementado com portas realiza essa função porque quando ele está habilitado, o dado em sua entrada aparece na saída como se existisse uma conexão direta através dele. O dado na entrada é armazenado logo que o latch seja desabilitado.

O Latch S-R

Um latch é um tipo de dispositivo lógico **biestável** ou **multivibrador**. Um latch S-R (SET-RESET) com entrada ativa em nível ALTO é formado com duas portas NOR tendo acoplamento cruzado, conforme mostra a Figura 7-1(a); um latch \bar{S} - \bar{R} com entrada ativa em nível BAIXO é formado com duas portas NAND tendo acoplamento cruzado, conforme mostra a Figura 7-1(b). Observe que a saída de cada porta está conectada à entrada da porta oposta. Isso produz uma **realimentação** regenerativa que é características de todos os latches e flip-flops.



▲ FIGURA 7-1

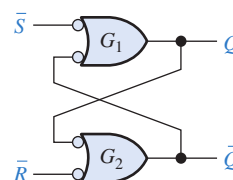
Duas versões de latches S-R (SET e RESET). Abra o arquivo F07-01 e verifique a operação dos dois latches.

Para explicar a operação do latch, usaremos o latch de portas NAND na Figura 7-1(b). Esse latch é redesenhado na Figura 7-2 com o símbolo equivalente da OR negativa usado para as portas NAND. Isso é feito porque os níveis BAIXOS nas linhas \bar{S} e \bar{R} , são as entradas de ativação.

O latch mostrado na Figura 7-2 tem duas entradas, \bar{S} e \bar{R} , e duas saídas Q e \bar{Q} . Vamos iniciar considerando que as duas entradas e a saída Q estejam em nível ALTO. Como a saída Q é conectada de volta na entrada da porta G_2 e a entrada \bar{R} é nível ALTO, a saída de G_2 tem que ser nível BAIXO. Essa saída em nível BAIXO é acoplada de volta na entrada da porta G_1 , garantindo que sua saída seja nível ALTO.

► FIGURA 7-2

Latch \bar{S} - \bar{R} com portas OR negativa que equivale ao de portas NAND na Figura 7-1(b).



Quando a saída Q for nível ALTO, o latch está no estado **SET**. Ele permanece nesse estado indefinidamente até que um nível BAIXO seja temporariamente aplicado na entrada \bar{R} . Com um nível BAIXO na entrada \bar{R} e um nível ALTO na entrada \bar{S} , a saída da porta G_2 é forçada para o ní-

vel ALTO. Esse nível ALTO na saída \bar{Q} é acoplado de volta para uma entrada da porta G_1 e como a entrada \bar{S} é nível ALTO a saída de G_1 vai para o nível BAIXO. Esse nível BAIXO na saída Q é então acoplado de volta para uma entrada de G_2 , garantido que a saída \bar{Q} permaneça em nível ALTO mesmo quando o nível BAIXO na entrada \bar{R} é removido. Quando a saída Q é nível BAIXO, o latch está no estado de **RESET**. Agora o latch permanece indefinidamente no estado de RESET até que um nível BAIXO seja aplicado na entrada \bar{S} .

Em operação normal, as saídas de um latch são sempre complementares uma em relação a outra.

Quando Q for nível ALTO, \bar{Q} será nível BAIXO e quando Q for nível BAIXO, \bar{Q} será nível ALTO.

Uma condição inválida de um latch $\bar{S}\text{-}\bar{R}$ com entrada ativa em nível BAIXO ocorre quando níveis BAIXOs são aplicados em \bar{S} e \bar{R} ao mesmo tempo. Enquanto o nível BAIXO for mantido simultaneamente nas duas entradas, as saídas Q e \bar{Q} são forçadas para nível ALTO, violando assim a operação básica de complementaridade das saídas. Além disso, se os níveis BAIXOs são liberados (desativados) simultaneamente, as duas saídas tentarão ir para nível BAIXO. Como sempre existe alguma pequena diferença no tempo de atraso de propagação das portas, uma das portas prevalecerá na transição para o estado de saída de nível BAIXO. Por sua vez, essa força a saída da porta mais lenta a permanecer em nível ALTO. Nessa situação, não podemos prever com certeza o próximo estado do latch.

A Figura 7-3 ilustra a operação do latch $\bar{S}\text{-}\bar{R}$ com entrada ativa em nível BAIXO para cada uma das quatro combinações possíveis de níveis nas entradas. (As três primeiras combinações são válidas, porém a última não). A Tabela 7-1 resume a operação lógica na forma de tabela-verdade.

Um latch pode permanecer em um dos seus dois estados, SET ou RESET.

SET significa que a saída Q é nível ALTO.

RESET significa que a saída Q é nível BAIXO.

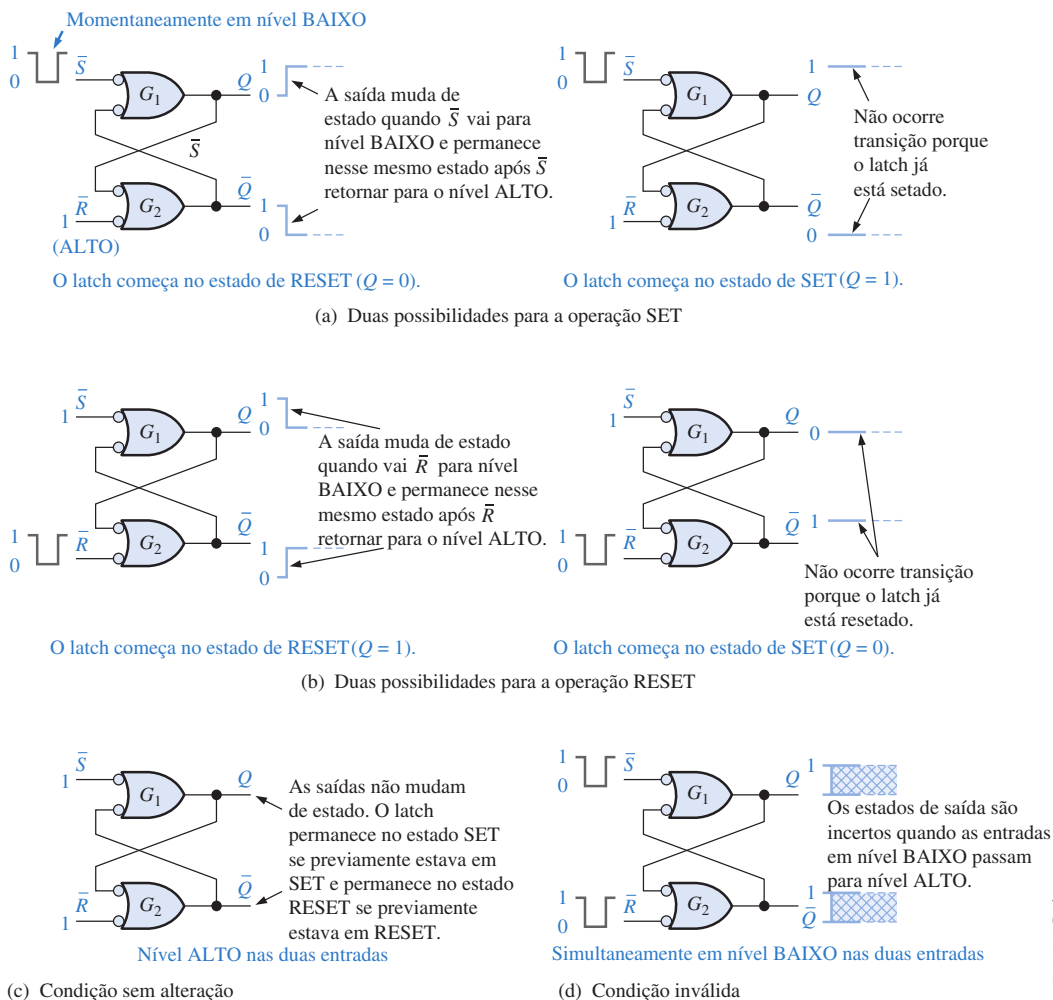


FIGURA 7-3

Os três modos de operação do latch $\bar{S}\text{-}\bar{R}$ básico (SET, RESET, repouso) e a condição inválida.

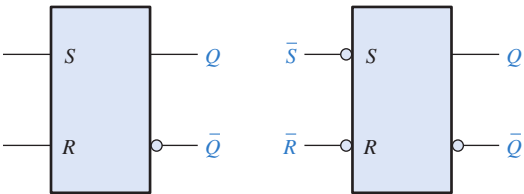
A operação do latch de portas NOR com entradas ativas em nível ALTO mostrado na Figura 7-1(a) é similar mas requer o uso de níveis lógicos opostos.

► TABELA 7-1

Tabela-verdade para um latch \bar{S} - \bar{R} com entradas ativas em nível BAIXO

ENTRADAS		SAÍDAS		COMENTÁRIOS
\bar{S}	\bar{R}	Q	\bar{Q}	
1	1	NC	NC	Repouso. O latch permanece no estado atual.
0	1	1	0	Latch no estado SET.
1	0	0	1	Latch no estado RESET.
0	0	1	1	Condição inválida.

Os símbolos lógicos para os latches com entradas ativas em nível ALTO e entradas ativas em nível BAIXO são mostrados na Figura 7-4.



► FIGURA 7-4

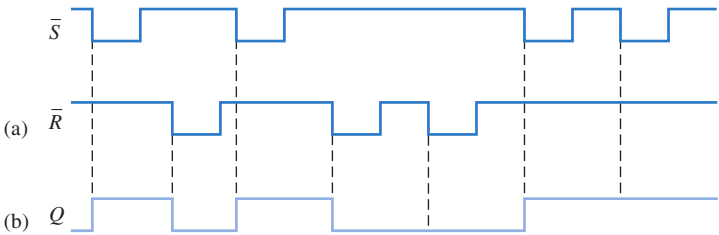
Símbolos lógicos para os latches S-R e \bar{S} - \bar{R} .

(a) Latch S-R com entradas ativas em nível ALTO. (b) Latch \bar{S} - \bar{R} com entradas ativas em nível BAIXO.

O Exemplo 7-1 ilustra como um latch \bar{S} - \bar{R} com entradas ativas em nível BAIXO responde às condições das entradas. Pulsos de nível BAIXO são aplicados em cada entrada numa certa seqüência e a forma de onda da saída Q resultante é observada. A condição $\bar{S} = 0, \bar{R} = 0$ é evitada porque resulta num modo de operação inválido sendo a principal desvantagem de qualquer latch do tipo SET-RESET.

EXEMPLO 7-1

Se as formas de onda \bar{S} e \bar{R} mostradas na Figura 7-5(a) são aplicadas nas entradas do latch visto na Figura 7-4(b), determine a forma de onda observada na saída Q . Considere que Q está inicialmente em nível BAIXO.



▲ FIGURA 7-5

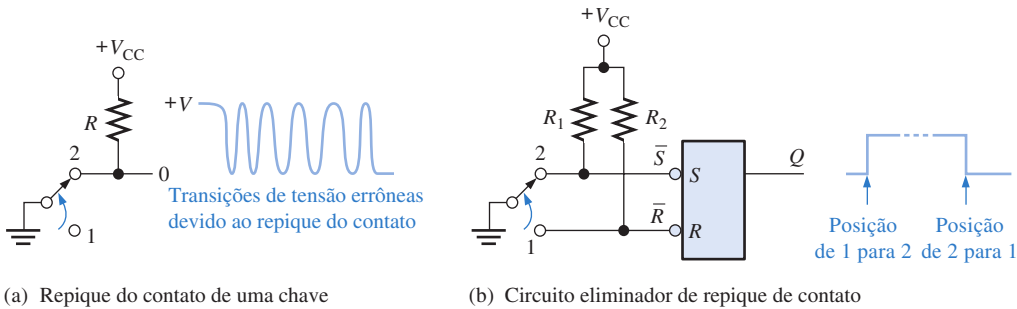
Solução Veja a Figura 7-5(b).

Problema relacionado* Determine a saída Q de um latch S-R com entradas ativas em nível ALTO se as formas de onda mostradas na Figura 7-5(a) forem invertidas e aplicadas nas entradas.

* As respostas estão no final do capítulo.

Uma Aplicação

Um Latch Usado como Eliminador de Trepidação de Contato Um bom exemplo de uma aplicação de um latch \bar{S} - \bar{R} é na eliminação do “repique” (*bounce*) do contato de uma chave mecânica. Quando o pólo de uma chave comuta fazendo fechar o contato, este contato vibra fisicamente ou repica várias vezes antes de finalmente estabelecer um contato firme. Embora esses repiques sejam de durações muito curtas, eles produzem spikes de tensão que freqüentemente são inaceitáveis em sistemas digitais. Essa situação é ilustrada na Figura 7-6(a).



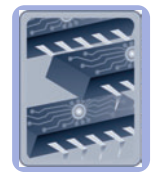
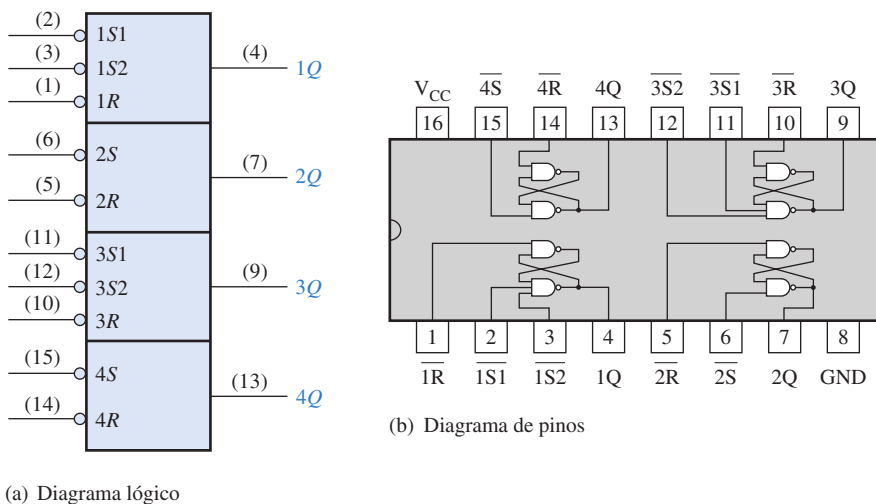
◀ FIGURA 7-6

Uso do latch \bar{S} - \bar{R} para eliminar o repique do contato de uma chave.

Um latch \bar{S} - \bar{R} pode ser usado para eliminar os efeitos do repique de uma chave como mostra a Figura 7-6(b). A chave está normalmente na posição 1, mantendo a entrada \bar{R} em nível BAIXO e o latch no estado de RESET. Quando a chave é comutada para a posição 2, \bar{R} vai para nível ALTO por causa do resistor de pull-up para V_{CC} e \bar{S} vai para nível BAIXO no primeiro contato. Embora \bar{S} permaneça em nível BAIXO por um intervalo muito curto de tempo antes de a chave repicar, isso é suficiente para *setar* o latch. Qualquer spike de tensão posterior na entrada \bar{S} em função do repique da chave, não afeta o latch, que permanece *setado*. Observe que a saída Q do latch fornece uma transição “limpa” (única) do nível BAIXO para o alto, eliminando assim os spikes de tensão provocados pelo repique do contato. De forma similar, uma transição limpa do nível ALTO para o BAIXO ocorre quando a chave comuta de volta para a posição 1.

LATCH SET-RESET (74LS279)

O CI 74LS279 contém quatro latches \bar{S} - \bar{R} representado pelo diagrama lógico visto na Figura 7-7(a) e o diagrama de pinos na parte (b). Observe que dois dos latches têm duas entradas \bar{S} .

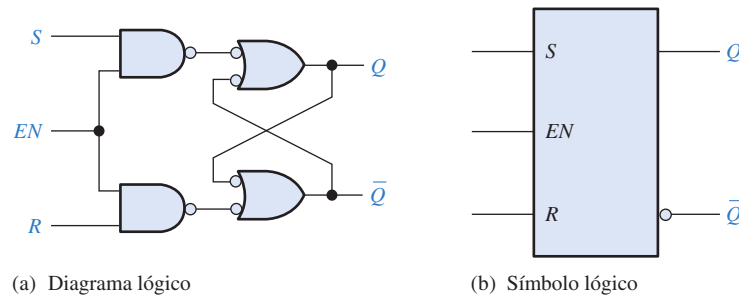


▲ FIGURA 7-7

CI contendo quatro latches \bar{S} - \bar{R} (74LS279).

Um Latch S-R Controlado

Um latch controlado necessita de uma entrada de habilitação, EN (a letra G também é usada para indicar uma entrada de habilitação). O diagrama lógico e o símbolo lógico para um latch S-R controlado são mostrados na Figura 7-8. As entradas S e R controlam o estado para o qual o latch irá quando um nível ALTO é aplicado na entrada EN . O latch não mudará de estado até que EN seja nível ALTO; porém enquanto essa entrada permanecer em nível ALTO, a saída é determinada pelos estados das entradas S e R . Nesse circuito o estado inválido ocorre quando S e R forem simultaneamente nível ALTO.

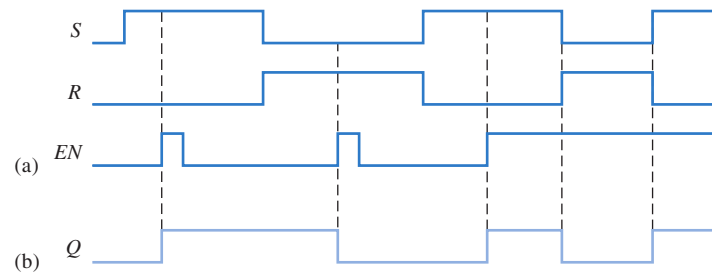


► FIGURA 7-8

Um latch S-R controlado.

EXEMPLO 7-2

Determine a forma de onda da saída Q se as entradas mostradas na Figura 7-9(a) forem aplicadas no latch S-R controlado que está inicialmente resetado.



▲ FIGURA 7-9

Solução A forma de onda Q é mostrada na Figura 7-9(b). Quando S for nível ALTO e R for nível BAIXO, um nível ALTO na entrada EN seta o latch. Quando S for nível BAIXO e R for nível ALTO, um nível ALTO na entrada EN reseta o latch.

Problema relacionado Determine a saída Q de um latch S-R controlado se as entradas S e R mostradas na Figura 7-9(a) forem invertidas.

Latch D controlado

Um outro tipo de latch controlado é denominado de latch D . Esse difere do latch S-R por ter apenas uma entrada além de EN . A entrada mencionada é denominada de entrada D (dado). A Figura 7-10 contém o diagrama lógico e o símbolo lógico de um latch D . Quando a entrada D for nível ALTO e a entrada EN for nível ALTO, o latch será setado. Quando a entrada D for nível BAIXO e a entrada EN for nível ALTO, o latch será resetado. Dito de uma outra forma, a saída Q segue a entrada D quando EN for nível ALTO.

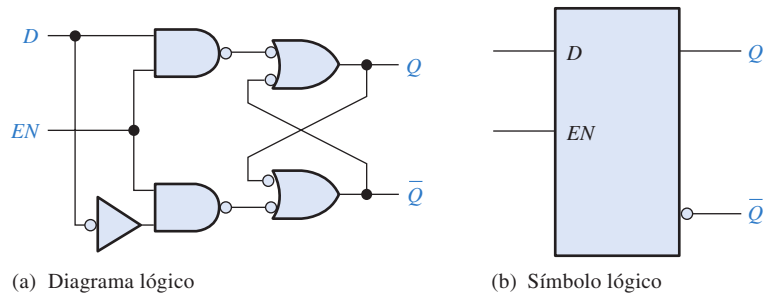


FIGURA 7-10

Um latch D controlado.

EXEMPLO 7-3

Determine a forma de onda da saída Q se as entradas mostradas na Figura 7-11(a) são aplicadas num latch D controlado, o qual inicialmente está *resetado*.

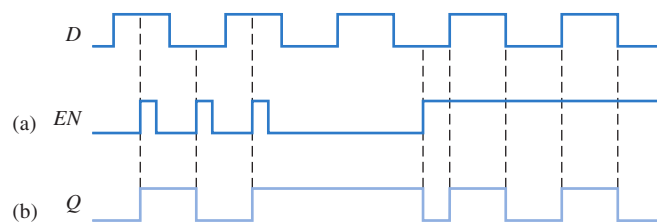


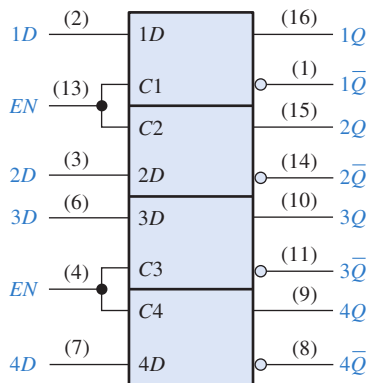
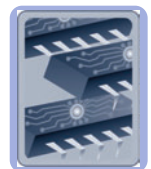
FIGURA 7-11

Solução A forma de onda Q é mostrada na Figura 7-11(b). Quando D for nível ALTO e EN for nível ALTO, Q vai para o nível ALTO. Quando D for nível BAIXO e EN for nível ALTO, Q vai para nível BAIXO. Quando EN for nível BAIXO, o estado do latch não é afetado pela entrada D .

Problema relacionado Determine a saída Q do latch D controlado se a entrada D vista na Figura 7-11 for invertida.

LATCH D (74LS75)

Um exemplo de um latch D controlado é o CI 74LS75 representado pelo símbolo lógico mostrado na Figura 7-12(a). Esse dispositivo tem quatro latches. Observe que cada entrada EN ativa em nível ALTO é compartilhada por dois latches e é indicada como uma entrada de controle (C). A tabela-verdade para cada latch é mostrada na Figura 7-12(b). O X na tabela-verdade representa uma condição “don’t care”. Nesse caso, quando a entrada EN for nível BAIXO, não importa o que tem na entrada D porque as saídas não são afetadas permanecendo nos estados em que estavam.



(a) Símbolo lógico

Entradas		Saídas		Comentários
D	EN	Q	Q̄	
0	1	0	1	RESET
1	1	1	0	SET
X	0	Q_0	\bar{Q}_0	Repouso

Nota: Q_0 é o nível da saída anterior antes que as condições de entrada fossem estabelecidas.

(b) Tabela-verdade (cada latch)

FIGURA 7-12

Quatro latches D controlados (74LS75).

SEÇÃO 7-1 REVISÃO

As respostas estão no final do capítulo.

1. Faça uma lista com três tipos de latches.
2. Desenvolva a tabela-verdade para o latch S-R com entradas ativas em nível ALTO mostrado na Figura 7-1(a).
3. Qual é a saída Q de um latch D quando $EN = 1$ e $D = 1$?

7-2 FLIP-FLOPS DISPARADOS POR BORDA

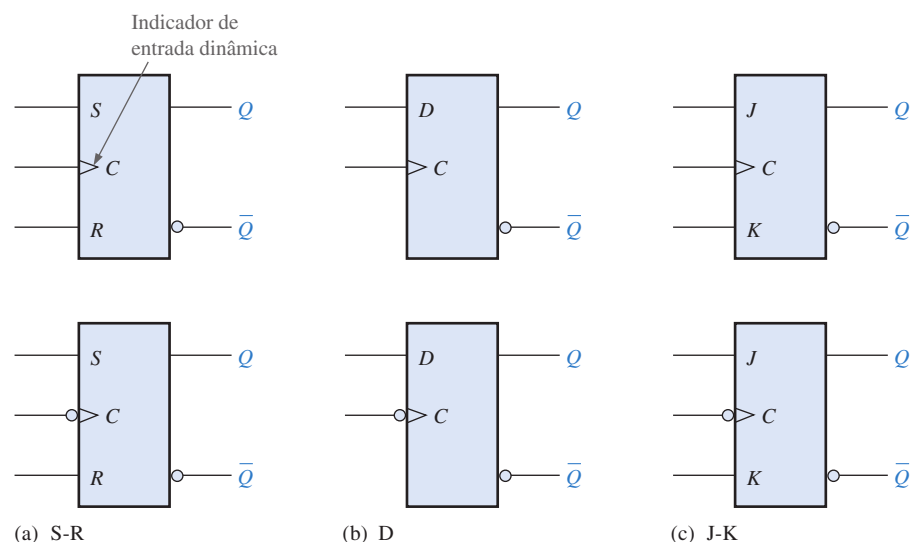
Os flip-flops são dispositivos biestáveis síncronos, também conhecidos como *multivibradores biestáveis*. Nesse caso, o termo síncrono significa que a saída muda de estado apenas no momento especificado pela entrada de disparo denominada de **clock** (CLK), a qual é indicada como uma entrada de controle (C); ou seja, as mudanças na saída ocorrem em sincronismo com o clock.

Ao final do estudo desta seção você deverá ser capaz de:

- Definir *clock*
- Definir *flip-flop disparado por borda*
- Explicar a diferença entre um flip-flop e um latch
- Identificar um flip-flop disparado por borda pelo seu símbolo lógico
- Discutir a diferença entre um flip-flop disparado por borda positiva e um disparado por borda negativa
- Discutir e comparar a operação de flip-flops S-R, D e J-K disparados por borda e explicar as diferenças entre as suas tabelas-verdade
- Discutir as entradas assíncronas de um flip-flop
- Descrever os CIs de flip-flops 74HC74 e 74HC112

O indicador de entrada dinâmica \triangleright significa que o flip-flop muda de estado apenas na borda de um pulso de clock.

Um **flip-flop disparado por borda** muda de estado na borda positiva (borda de subida) ou na borda negativa (borda de descida) do pulso de clock e é sensível às entradas apenas nas transições do clock. Essa seção aborda três tipos de flip-flops disparados por borda: S-R, D e J-K. Embora o flip-flop S-R não esteja disponível na forma de CI, ele é a base dos flip-flops D e J-K. O símbolo lógico para todos esses flip-flops são mostrados na Figura 7-13. Observe que cada tipo pode ser disparado na borda positiva (sem o pequeno círculo na entrada C) ou disparado na borda negativa (com o pequeno círculo na entrada C). O detalhe do símbolo lógico na identificação de um flip-flop disparado por borda é o pequeno triângulo dentro do bloco na entrada de clock (C). Esse triângulo é denominado de *indicador de entrada dinâmica*.



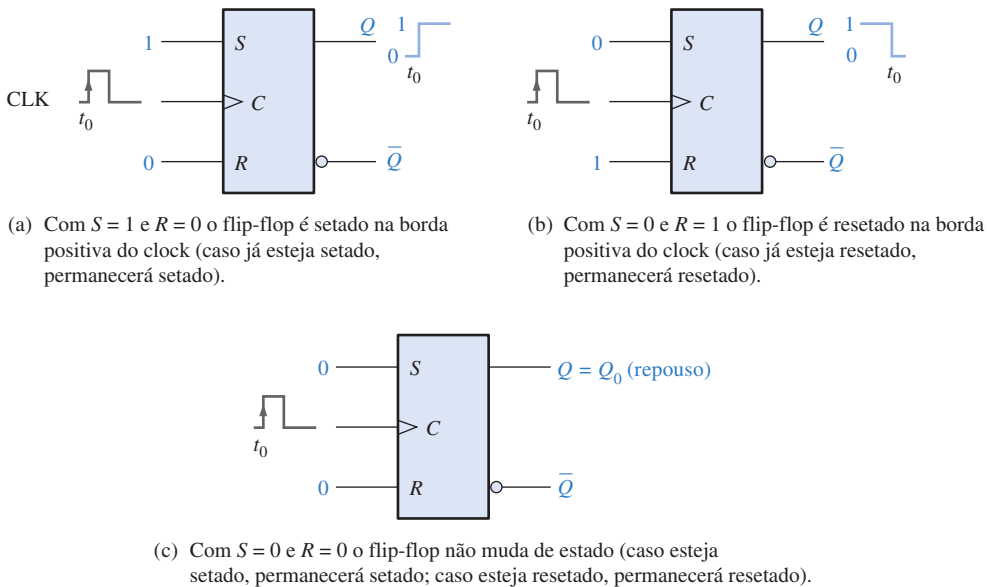
► FIGURA 7-13

Símbolos lógicos de flip-flops disparados por borda (parte superior: disparo por borda positiva; parte inferior: disparo por borda negativa).

Flip-Flop S-R Disparado por Borda

As entradas S e R do **flip-flop S-R** são denominadas entradas **síncronas** porque os dados nessas entradas são transferidos para a saída do flip-flop apenas na borda de disparo do pulso de clock. Quando S for nível ALTO e R for nível BAIXO, a saída Q vai para nível ALTO na borda de disparo do pulso de clock, estando o flip-flop setado. Quando S for nível BAIXO e R for nível ALTO, a saída Q vai para o nível BAIXO na borda de disparo do pulso de clock, estando o flip-flop resetado. Quando as entradas S e R estiverem em nível BAIXO, a saída não muda de estado permanecendo no estado anterior. Uma condição inválida existe quando S e R forem nível ALTO.

Essa operação básica de um flip-flop disparado por borda positiva é ilustrada na Figura 7-14, sendo a Tabela 7-2 a tabela-verdade para esse tipo de flip-flop. Lembre-se, *o flip-flop não pode mudar de estado exceto na borda de disparo de um pulso de clock*. As entradas S e R podem ser alteradas em qualquer momento que a entrada de clock for nível BAIXO ou ALTO (exceto por um intervalo muito curto em torno da transição de disparo do clock) sem afetar a saída.



▲ FIGURA 7-14

Operação de um flip-flop S-R disparado por borda positiva.

ENTRADAS			SAÍDAS		COMENTÁRIOS
S	R	CLK	Q	\bar{Q}	
0	0	X	Q_0	\bar{Q}_0	Repouso
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	?	?	Inválido

↑ = transição do clock do nível BAIXO para o nível ALTO
 X = irrelevante ("don't care")
 Q_0 = nível de saída antes da transição do clock

A operação e a tabela-verdade para um flip-flop S-R disparado por borda negativa são as mesmas que para um dispositivo disparado por borda positiva exceto que a borda de descida do pulso de clock é a borda de disparo.

Um flip-flop S-R não pode ter as entradas S e R em nível ALTO ao mesmo tempo.

NOTA: COMPUTAÇÃO



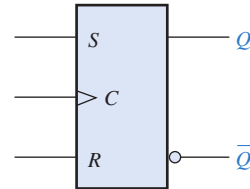
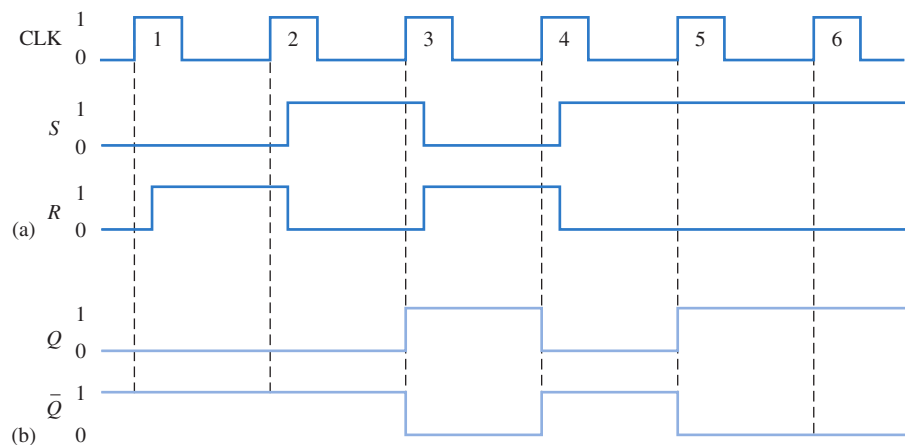
As memórias semicondutoras nos computadores consistem de um grande número de células individuais. Cada célula de armazenamento mantém um nível 1 ou um nível 0. Um tipo de memória é a Memória de Acesso Aleatório Estática (SRAM) que usa flip-flops para as células de armazenamento porque um flip-flop retém qualquer um dos dois estados indefinidamente enquanto a alimentação cc estiver aplicada, daí o termo *estática*. Esse tipo de memória é classificado como memória *volátil* porque todos os dados armazenados são perdidos quando a alimentação é desligada. Um outro tipo de memória, a Memória de Acesso Aleatório Dinâmica ou DRAM, usa capacitância em vez de flip-flops como elemento básico de armazenamento e tem que ser renovada (*refresh*) periodicamente para manter o dado armazenado.

◀ TABELA 7-2

Tabela-verdade para um flip-flop S-R disparado por borda positiva

EXEMPLO 7-4

Determine as formas de onda das saídas Q e \bar{Q} do flip-flop mostrado na Figura 7-15 para as entradas S , R e CLK mostradas na Figura 7-16(a). Considere que o flip-flop disparado por borda positiva esteja inicialmente resetado.

► **FIGURA 7-15**▲ **FIGURA 7-16**

- Solução**
1. No momento do pulso 1 de clock, S é nível BAIXO e R é nível BAIXO, assim Q não muda de estado.
 2. No momento do pulso 2 de clock, S é nível BAIXO e R é nível ALTO, assim Q permanece em nível BAIXO (RESET).
 3. No momento do pulso 3 de clock, S é nível ALTO e R é nível BAIXO, assim Q vai para nível ALTO (SET).
 4. No momento do pulso 4 de clock, S é nível BAIXO e R é nível ALTO, assim Q vai para nível BAIXO (RESET).
 5. No momento do pulso 5 de clock, S é nível ALTO e R é nível BAIXO, assim Q vai para nível ALTO (SET).
 6. No momento do pulso 6 de clock, S é nível ALTO e R é nível BAIXO, assim Q permanece em nível ALTO.

Uma vez determinada a saída Q , \bar{Q} é facilmente determinada visto que ela é simplesmente o complemento da saída Q . As formas de onda resultantes para Q e \bar{Q} são mostradas na Figura 7-16(b) para as formas de onda de entrada dadas na parte (a).

Problema relacionado Determine Q e \bar{Q} para as entradas S e R dadas de acordo com a Figura 7-16(a) se o flip-flop for um dispositivo disparado por borda negativa.

Um Método de Disparo por Borda

Uma implementação simplificada de um flip-flop S-R disparado por borda é ilustrada na Figura 7-17(a) e é usada para demonstrar o conceito de disparo por borda. Essa abordagem tomando como referência o flip-flop S-R não implica que ele seja o tipo mais importante. Na realidade, os flip-flops D e J-K são comercializados na forma de CI e são mais amplamente usados que o tipo

S-R. Entretanto, é importante entender o método para o tipo S-R porque os flip-flops D e J-K são derivados do flip-flop S-R. Observe que o flip-flop S-R difere do latch S-R controlado apenas no fato de que o primeiro tem um detector de transição de pulso.

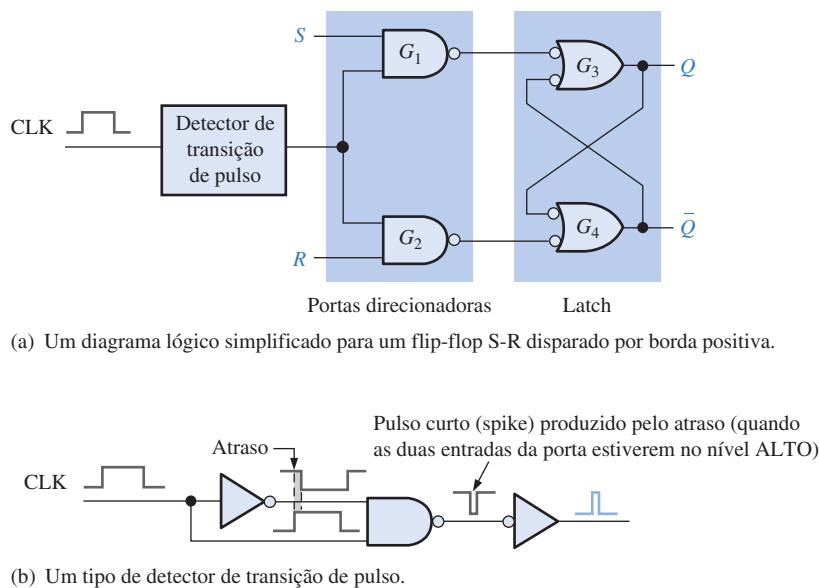


FIGURA 7-17

Disparo por borda.

Um tipo básico de detector de transição de pulso é mostrado na Figura 7-17(b). Como podemos ver, existe um pequeno atraso numa entrada da porta NAND de forma que o pulso de clock invertido chega à entrada da porta alguns nanossegundos depois do pulso de clock original. Esse circuito produz um spike de duração muito curta na transição positiva do pulso de clock. Num flip-flop disparado por borda negativa, o pulso de clock é invertido primeiro, produzindo assim um spike na borda negativa.

O circuito dado na Figura 7-17 é dividido em duas seções, uma denominada Portas Direcionadoras e a outra denominada Latch. As portas direcionadoras encaminham, ou direcionam, o spike de clock para a entrada da porta G_3 ou para a entrada da porta G_4 dependendo do estado das entradas S e R . Para entender a operação desse flip-flop, comece admitindo que ele está no estado de RESET ($Q = 0$) e que as entradas S , R e CLK são todas nível BAIXO. Para essa condição, as saídas das portas G_1 e G_2 estão em nível ALTO. O nível BAIXO na saída Q é acoplado de volta numa entrada da porta G_4 tornando a saída \bar{Q} nível ALTO. Como \bar{Q} está em nível ALTO, as duas entradas da porta G_3 estão em nível ALTO (lembre-se que a saída da porta G_1 é nível ALTO), mantendo a saída Q em nível BAIXO. Se um pulso for aplicado na entrada CLK , as saídas das portas G_1 e G_2 permanecem em nível ALTO porque elas são desabilitadas pelo nível BAIXO presente nas entradas S e R ; portanto, não há mudança no estado do flip-flop (ele permanece no estado resetado).

Agora vamos fazer com que S seja nível ALTO, deixando R em nível BAIXO e aplicando um pulso de clock. Como a entrada S para a porta G_1 é nível ALTO, a saída da porta G_1 vai para nível BAIXO por um intervalo de tempo muito curto (spike) quando CLK vai para nível ALTO, fazendo com que a saída Q vá para nível ALTO. Estando agora as duas entradas da porta G_4 em nível ALTO (lembre-se que a saída de G_2 é nível ALTO porque R é nível BAIXO), forçando a saída \bar{Q} para nível BAIXO. Esse nível BAIXO em \bar{Q} é acoplado de volta para uma entrada da porta G_3 , garantido que a saída Q seja mantida em nível ALTO. O flip-flop agora está no estado SET. A Figura 7-18 ilustra as transições de nível lógico que acontecem dentro do flip-flop para essa condição.

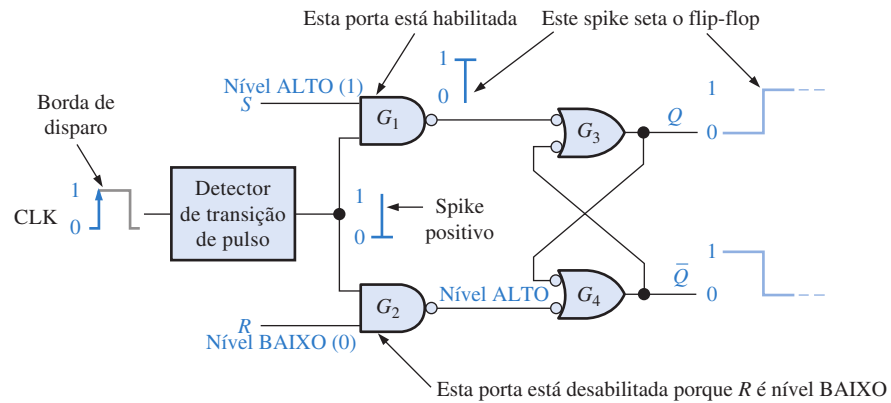
Em seguida vamos tornar S nível BAIXO e R nível ALTO e aplicar um pulso de clock. Como a entrada R agora é nível ALTO, a borda positiva do clock produz um spike negativo na saída da porta G_2 , fazendo com que a saída \bar{Q} vá para nível ALTO. Por causa desse nível ALTO em \bar{Q} , as duas entradas da porta G_3 estão em nível ALTO (lembre-se, a saída da porta G_1 é nível ALTO por causa do nível BAIXO em S), forçando a saída Q para o nível BAIXO. Esse nível BAIXO em Q é acoplado de volta numa das entradas da porta G_4 , garantido que \bar{Q} permaneça em nível ALTO. O flip-flop agora está no estado de RESET.

NOTA: COMPUTAÇÃO

Todas as operações lógicas que são realizadas com hardware também podem ser implementadas por software. Por exemplo, a operação de um flip-flop J-K pode ser realizada com instruções específicas de computador. Se dois bits forem usados para representar as entradas J e K , o computador não alteraria o bit de saída (representando a saída Q) para uma entrada 00, esse bit de saída seria *setado* (1) para uma entrada 10, o bit de saída seria *resetado* (0) para uma entrada 01 e o mesmo bit seria complementado para uma entrada 11. Embora não possa ser comum o uso de um computador para simular um flip-flop, a questão é que todas as operações de hardware podem ser simuladas usando software.

► FIGURA 7-18

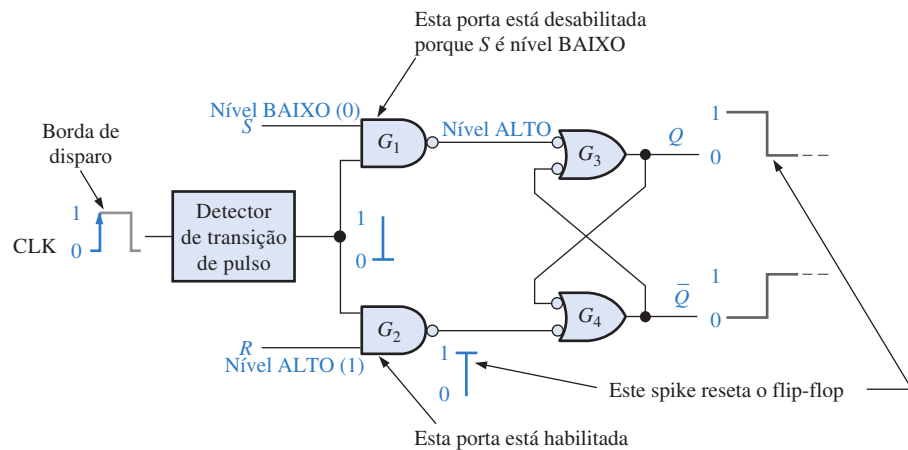
Flip-flop realizando uma transição do estado RESET para o estado SET na borda positiva do pulso de clock.



A Figura 7-19 ilustra as transições de nível lógico que ocorrem dentro do flip-flop para essa condição. Assim como com o latch controlado, uma condição inválida existe se um pulso de clock ocorrer quando as entradas S e R estiverem em nível ALTO ao mesmo tempo. Essa é a principal desvantagem do flip-flop S-R.

► FIGURA 7-19

Flip-flop realizando uma transição do estado SET para o estado RESET na borda positiva do pulso de clock.



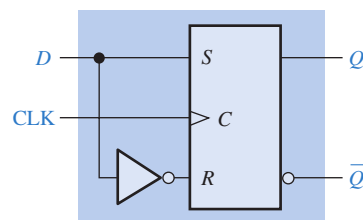
Flip-flop D Disparado por Borda

A saída Q de um flip-flop D considera o estado da entrada D na borda de disparo do clock.

O **flip-flop D** é usado quando um único bit de dado (1 ou 0) é para ser armazenado. A adição de um inversor num flip-flop S-R cria um flip-flop D básico, conforme a Figura 7-20, a qual mostra um tipo disparado por borda.

► FIGURA 7-20

Um flip-flop D disparado por borda positiva construído a partir de um flip-flop S-R e um inversor.



Observe que o flip-flop na Figura 7-20 tem apenas uma entrada, a entrada D , além do clock. Caso exista um nível ALTO na entrada D quando um pulso de clock é aplicado, o flip-flop será setado sendo o nível ALTO na entrada D é armazenado pelo flip-flop na borda positiva do pul-

so de clock. Caso exista um nível BAIXO na entrada D quando o pulso de clock é aplicado, o flip-flop será resetado sendo o nível BAIXO na entrada D armazenado pelo flip-flop na borda de subida do pulso de clock. No estado SET o flip-flop armazena um nível 1 e no estado RESET ele armazena um nível 0.

A operação lógica do flip-flop D disparado por borda positiva é resumida na Tabela 7-3. A operação de um dispositivo disparado por borda negativa é evidentemente a mesma, exceto que o disparo ocorre na borda de descida do pulso de clock. Lembre-se, a saída Q segue a entrada D na borda ativa ou de disparo do clock.

ENTRADAS		SAÍDAS		COMENTÁRIOS
D	CLK	Q	\bar{Q}	
1	↑	1	0	SET (armazena um nível 1)
0	↑	0	1	RESET (armazena um nível 0)

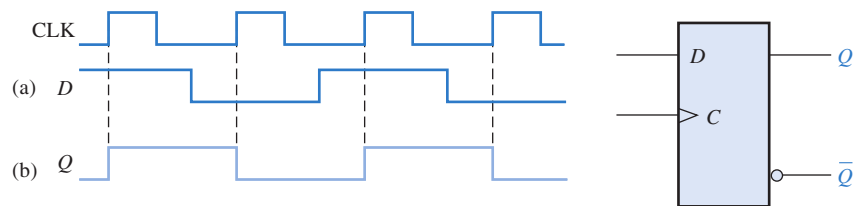
↑ = Transição do clock do nível BAIXO para o ALTO.

◀ TABELA 7-3

Tabela-verdade para um flip-flop D disparado por borda positiva

EXEMPLO 7-5

Dadas as formas de onda na Figura 7-21(a) para a entrada D e o clock, determine a forma de onda na saída Q se o flip-flop começar *resetado*.



▲ FIGURA 7-21

Solução A saída Q passa para o estado da entrada D no instante da transição positiva do clock. A saída resultante é mostrada na Figura 7-21(b).

Problema relacionado Determine a saída Q para o flip-flop D se a entrada D mostrada na Figura 7-21(a) for invertida.

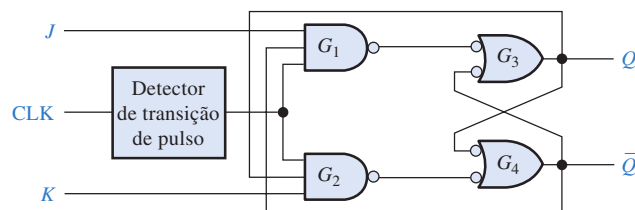
Flip-flop J-K Disparado por Borda

O **flip-flop J-K** é versátil e é um tipo de flip-flop amplamente usado. O funcionamento de um flip-flop J-K é idêntico ao do flip-flop S-R nas condições de operação de SET, RESET e repouso. A diferença é que o flip-flop J-K não tem estado inválido como o flip-flop S-R.

A Figura 7-22 mostra a lógica interna básica para um flip-flop J-K disparado por borda. Ele difere do flip-flop S-R disparado por borda em que a saída Q é conectada de volta na entrada da porta G_2 e a saída \bar{Q} é conectada de volta na entrada da porta G_1 . As duas entradas de controle são denominadas J e K em homenagem a Jack Kilby, inventor do circuito integrado. Um flip-flop J-K também pode ser do tipo disparado por borda negativa, caso no qual a entrada de clock é invertida.

► FIGURA 7-22

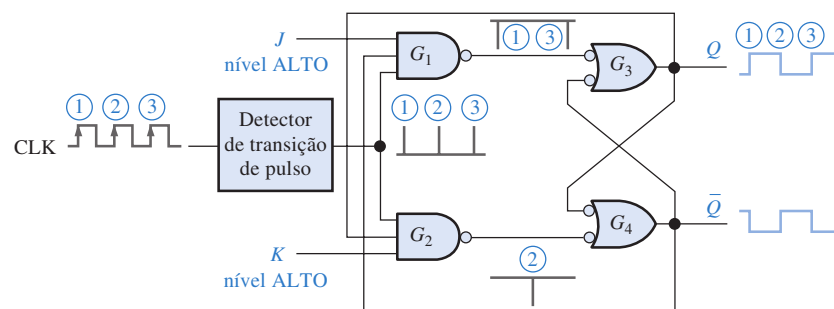
Um diagrama lógico simplificado para um flip-flop J-K disparado por borda positiva.



Vamos considerar que o flip-flop na Figura 7-23 esteja resetado e que a entrada J seja nível ALTO e que a entrada K seja nível BAIXO diferentemente do que é mostrado. Quando um pulso de clock ocorre, um spike de borda de subida indicado por \bar{Q} passa através da porta G_1 porque \bar{Q} é nível ALTO e J é nível ALTO. Isso faz com que a parte latch do flip-flop mude para o estado SET. O flip-flop agora está setado.

► FIGURA 7-23

Transições ilustrando a operação toggle (comutação) quando $J = 1$ e $K = 1$.



No modo toggle, um flip-flop J-K muda de estado a cada pulso de clock.

Se fizermos J nível BAIXO e K nível ALTO, o próximo spike de clock indicado por 1 passará através da porta G_2 porque Q é nível ALTO e K é nível ALTO. Isso faz com que a porção latch do flip-flop mude para o estado RESET.

Se aplicarmos um nível BAIXO nas entradas J e K , o flip-flop permanecerá no atual estado quando ocorrer um pulso de clock. Um nível BAIXO nas entradas J e K resulta numa condição *sem mudança*.

Até agora, a operação lógica do flip-flop J-K é a mesma que a do tipo S-R para as condições de SET, RESET e sem mudança. A diferença na operação ocorre quando as entradas J e K estiverem em nível ALTO. Para entender isso, considere que o flip-flop esteja no estado de RESET. O nível ALTO em \bar{Q} habilita a porta G_1 , assim o spike de clock indicado por 1 passa setando o flip-flop. Agora existe um nível ALTO em Q , permitindo que o próximo spike de clock passe através da porta G_2 e resete o flip-flop.

Como podemos ver, a cada spike de clock sucessivo, o flip-flop muda para o estado oposto. Esse modo é denominado operação **toggle** (comutação). A Figura 7-23 ilustra as transições quando o flip-flop está no modo toggle. Um flip-flop J-K conectado para o modo toggle é denominado algumas vezes de flip-flop T .

A Tabela 7-4 resume a operação lógica do flip-flop J-K na forma de tabela-verdade. Observe que não existe estado inválido como ocorre com o flip-flop S-R. Essa tabela verdade, para um dispositivo disparado por borda negativa, é idêntica a essa exceto que o flip-flop é disparado na borda de descida do pulso de clock.

► TABELA 7-4

Tabela-verdade para um flip-flop J-K disparado por borda positiva do clock

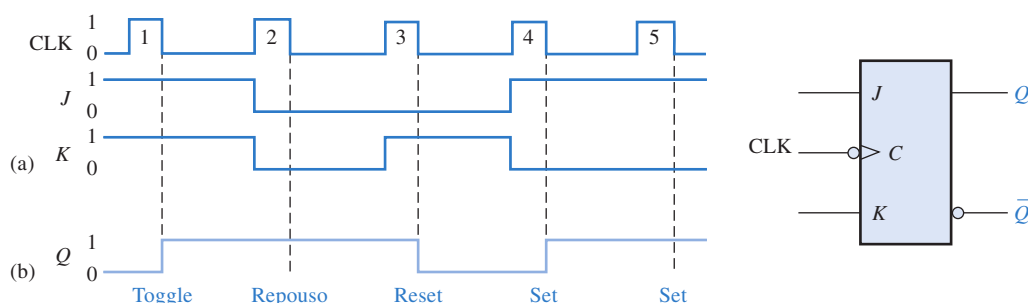
ENTRADAS			SAÍDAS		COMENTÁRIOS
J	K	CLK	Q	\bar{Q}	
0	0	↑	Q_0	\bar{Q}_0	Repouso
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	\bar{Q}_0	Q_0	Toggle

↑ = Transição do clock do nível BAIXO para o ALTO.

Q_0 = Nível da saída antes da transição do clock.

EXEMPLO 7-6

As formas de onda mostradas na Figura 7-24(a) são aplicadas nas entradas J , K e clock conforme indicado. Determine a saída Q , considerando que o flip-flop esteja inicialmente resetado.



▲ FIGURA 7-24

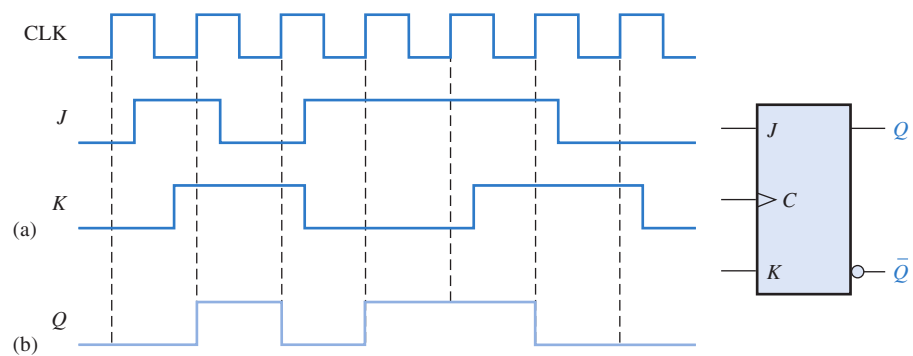
- Solução**
1. Primeiro, como esse flip-flop é disparado por borda negativa, conforme indicado pelo pequeno círculo na entrada de clock, a saída Q mudará apenas na borda negativa do pulso de clock.
 2. No primeiro pulso de clock, J e K estão em nível ALTO; por ser o modo toggle, Q vai para nível ALTO.
 3. No pulso de clock 2, existe uma condição de entrada que coloca o flip-flop no estado de repouso, mantendo Q no nível ALTO.
 4. Quando ocorre o pulso de clock 3, J é nível BAIXO e K é nível ALTO, resultando na condição de RESET; assim Q vai para nível BAIXO.
 5. No pulso de clock 4, J é nível ALTO e K é nível BAIXO, resultando na condição SET; assim Q vai para nível ALTO.
 6. Uma condição SET ainda existe em J e K quando ocorre o pulso de clock 5, assim Q permanece em nível ALTO.

A forma de onda Q resultante é indicada na Figura 7-24(b).

Problema relacionado Determine a saída Q de um flip-flop J-K se as entradas J e K mostradas na Figura 7-24(a) forem invertidas.

EXEMPLO 7-7

As formas de onda vista na Figura 7-25(a) são aplicadas no flip-flop como mostrado. Determine a saída Q para o flip-flop começando no estado RESET.



▲ FIGURA 7-25

Solução A saída Q assume o estado determinado pelas entradas J e K na borda positiva (disparo por borda) do pulso de clock. Uma mudança em J ou K após a borda de disparo do clock não tem efeito na saída, conforme mostra a Figura 7-25(b).

Problema relacionado Troque entre si as entradas J e K e determine a saída Q resultante.

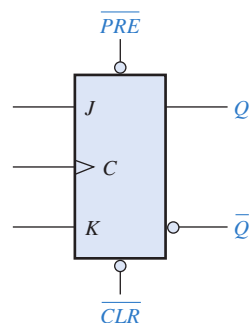
Entradas Assíncronas de Preset e Clear

Uma entrada *preset* ativa faz com que a saída Q seja nível ALTO (SET).

Uma entrada *clear* ativa faz com que a saída Q seja nível BAIXO (RESET).

Para os flip-flops discutidos, as entradas S-R, D e J-K são denominadas entradas síncronas porque os dados nessas entradas são transferidos para a saída do flip-flop apenas na borda de disparo do pulso de clock; ou seja, os dados são transferidos de forma sincronizada com o clock.

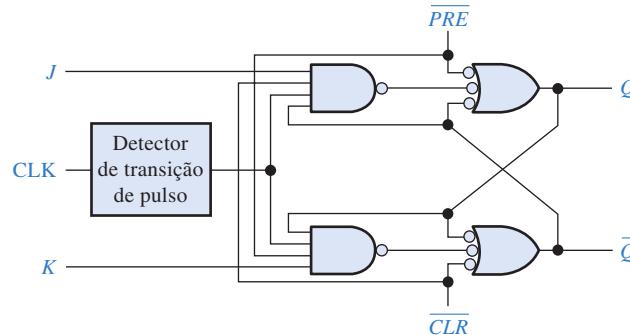
A maioria dos flip-flops em circuitos integrados também tem entradas **assíncronas**. Essas são entradas que afetam o estado do flip-flop *independente do clock*. Elas são normalmente denominadas **preset** (PRE) e **clear** (CLR), ou seta direto (S_D) e reseta direto (R_D) por alguns fabricantes. Um nível ativo na entrada preset irá setar o flip-flop e um nível ativo na entrada clear irá resetar o flip-flop. Um símbolo lógico para um flip-flop J-K com entradas preset e clear é mostrado na Figura 7-26. Essas entradas são ativas em nível BAIXO, conforme indicado pelos pequenos círculos. Essas entradas de preset e clear têm que ser mantidas em nível ALTO para a operação síncrona.



► FIGURA 7-26

Símbolo lógico para um flip-flop J-K com entradas preset e clear ativas em nível BAIXO.

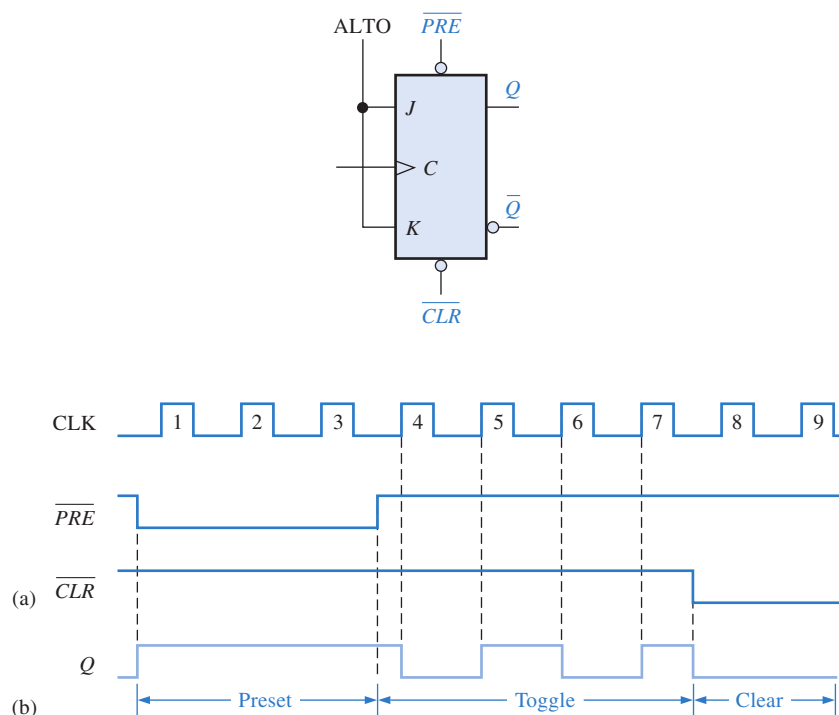
A Figura 7–27 mostra o diagrama lógico para um flip-flop J-K disparado por borda em entradas preset (\overline{PRE}) e clear (\overline{CLR}). Essa figura ilustra basicamente como essas entradas funcionam. Como podemos ver, elas são conectadas de forma que o efeito delas se sobrepõem ao das entradas síncronas (J , K e clock).



◀ **FIGURA 7–27**
Diagrama lógico para um flip-flop J-K básico com entradas preset e clear ativas em nível BAIXO.

EXEMPLO 7–8

Para o flip-flop J-K disparado por borda positiva com entradas preset e clear visto na Figura 7–28, determine a saída Q para as entradas mostradas no diagrama de temporização na parte (a) se Q estiver inicialmente em nível BAIXO.



▲ **FIGURA 7–28**

Abra o arquivo F07-28 para verificar a operação.



- Solução**
1. Durante os pulsos de clock 1, 2 e 3, preset (\overline{PRE}) é nível BAIXO, mantendo o flip-flop setado independente das entradas síncronas J e K .

2. Para os pulsos de clock 4, 5, 6 e 7 a operação toggle ocorre porque J é nível ALTO, K é nível ALTO e \overline{PRE} e \overline{CLR} estão nível ALTO.
3. Para os pulsos de clock 8 e 9, a entrada clear \overline{CLR} é nível BAIXO, mantendo o flip-flop resetado independente das entradas síncronas.

A saída Q resultante é mostrada na Figura 7-28(b).

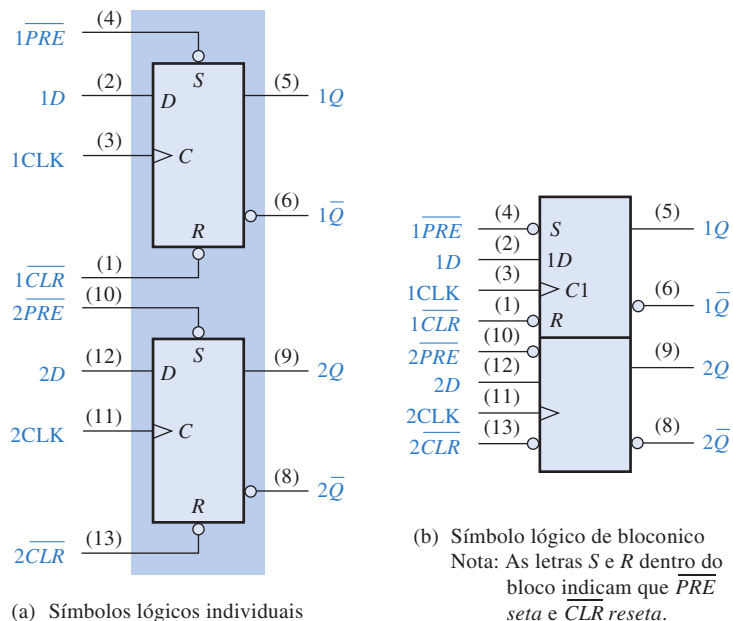
Problema relacionado Se trocarmos entre si as formas de onda de \overline{PRE} e \overline{CLR} na Figura 7-28(a), qual será a saída Q ?

Vamos analisar dois flip-flops disparados por borda específicos. Eles são representantes dos diversos tipos de flip-flops disponíveis na forma de CI e, assim como em outros dispositivos, são comercializados nas famílias lógicas CMOS e TTL.

DUPLO FLIP-FLOP D (74HC74)



Esse dispositivo CMOS contém dois flip-flops D idênticos que são independentes um do outro exceto pelo compartilhamento de V_{CC} e GND. Esses flip-flops são disparados por borda positiva e têm entradas assíncronas preset e clear. Os símbolos lógicos para os flip-flops individuais dentro do encapsulamento são mostrados na Figura 7-29(a) e o símbolo lógico padrão de bloco único da ANSI/IEEE que representa o dispositivo inteiro é mostrado na parte (b). Os números dos pinos são mostrados entre parênteses.



▲ FIGURA 7-29

Símbolos lógicos para o duplo flip-flop D disparado por borda positiva 74AHC74.

DUPLO FLIP-FLOP J-K (74HC112)

Esse dispositivo tem dois flip-flops idênticos que são disparados por borda negativa e têm entradas assíncronas preset e clear ativas em nível BAIXO. Os símbolos lógicos são mostrados na Figura 7-30.

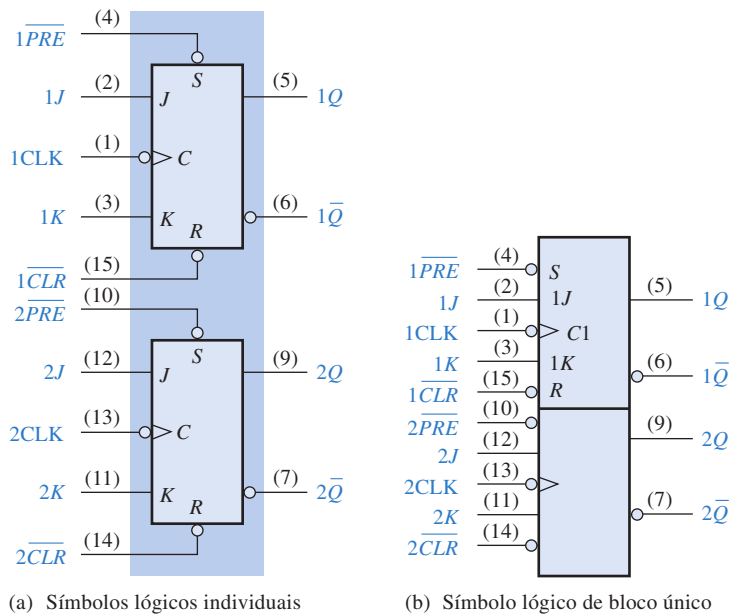
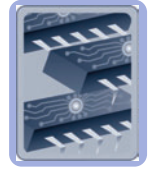


FIGURA 7-30

Símbolos lógicos para o CI com duplo flip-flop J-K disparado por borda negativa 74HC112.

EXEMPLO 7-9

As formas de onda de 1J, 1K, $1\overline{PRE}$ e $1\overline{CLR}$ mostradas na Figura 7-31(a) são aplicadas em um dos flip-flops disparados por borda negativa do CI 74HC112. Determine a forma de onda da saída 1Q.

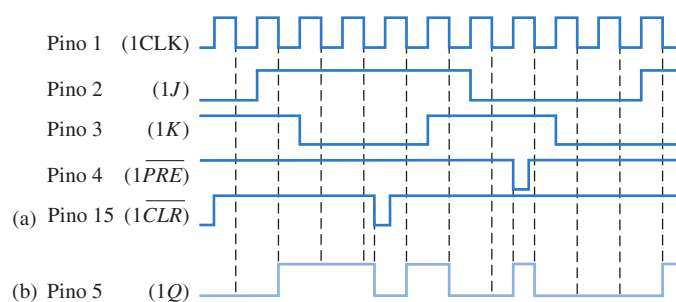


FIGURA 7-31

Solução A forma de onda 1Q resultante é mostrada na Figura 7-31(b). Observe que cada vez que um nível BAIXO é aplicado em $1\overline{PRE}$ ou $1\overline{CLR}$, o flip-flop é setado ou resetado independente dos estados das outras entradas.

Problema relacionado Determine a forma de onda da saída 1Q se as formas de onda para $1\overline{PRE}$ e $1\overline{CLR}$ são trocadas entre si.

SEÇÃO 7-2
REVISÃO

1. Descreva a principal diferença entre um latch S-R controlado e um flip-flop disparado por borda.
2. Em que um flip-flop J-K difere de um flip-flop S-R em sua operação básica?
3. Considere que o flip-flop mostrado na Figura 7-21 seja disparado por borda negativa. Descreva a forma de onda de saída para as mesmas formas de onda para as entradas D e CLK .

7-3 CARACTERÍSTICAS DE OPERAÇÃO DOS FLIP-FLOPS

O desempenho, os requisitos de operação e as limitações dos flip-flops são especificados por diversas características de operação ou parâmetros encontrados nas folhas de dados dos dispositivos. Geralmente, essas especificações são aplicáveis a todos os flip-flops CMOS e TTL.

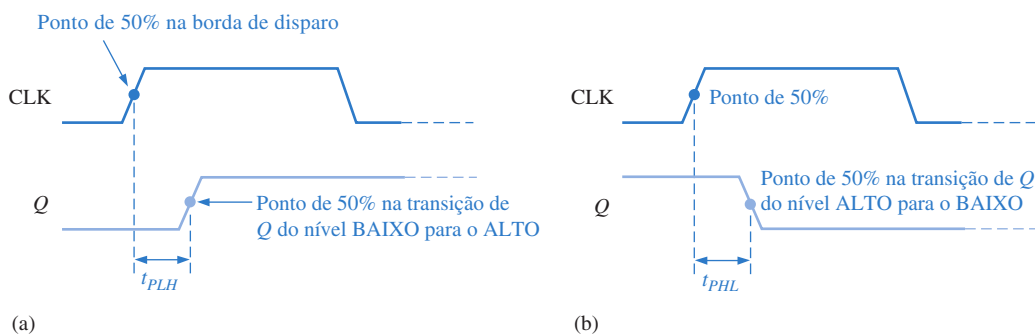
Ao final do estudo desta seção você deverá ser capaz de:

- Definir *tempo de atraso de propagação* ■ Explicar as diversas especificações do tempo de atraso de propagação ■ Definir *tempo de setup* e discutir como ele limita a operação do flip-flop
- Definir *tempo de hold* e discutir como ele limita a operação do flip-flop ■ Discutir o significado de frequência de clock máxima ■ Discutir as diversas especificações de largura de pulso? Definir *dissipação de potência* e calcular o seu valor para um dispositivo especificado ■ Comparar diversas séries de flip-flops em termos dos seus parâmetros de operação

Tempos de Atraso de Propagação

Um **tempo de atraso de propagação** é o intervalo de tempo necessário após a aplicação de um sinal de entrada até que a mudança de saída resultante ocorra. Quatro categorias de tempos de atraso de propagação são importantes na operação de um flip-flop:

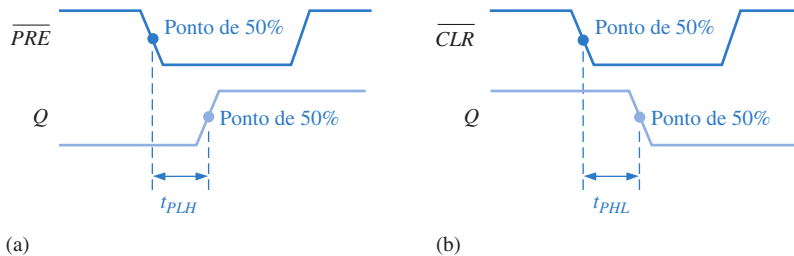
1. Atraso de propagação t_{PLH} medido a partir da borda de disparo do pulso de clock para a transição de nível BAIXO para nível ALTO na saída. Esse atraso é ilustrado na Figura 7-32(a).
2. Atraso de propagação t_{PHL} medido a partir da borda de disparo do pulso de clock para a transição de nível ALTO para nível BAIXO na saída. Esse atraso é ilustrado na Figura 7-32(b).



▲ FIGURA 7-32

Atrasos de propagação, do clock para a saída.

3. Atraso de propagação t_{PLH} medido a partir da borda de subida da entrada preset para a transição do nível BAIXO para nível ALTO na saída. Esse atraso é ilustrado na Figura 7-3(a) para uma entrada preset ativa em nível BAIXO.
4. Atraso de propagação t_{PHL} medido a partir da borda de subida da entrada de clear para a transição de nível ALTO para nível BAIXO na saída. Esse atraso é ilustrado na Figura 7-33(b) para uma entrada de clear ativa em nível BAIXO.

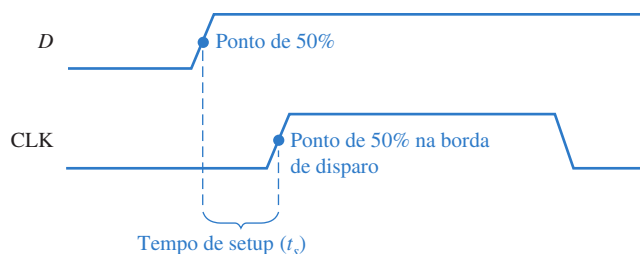


▲ FIGURA 7-33

Atrasos de propagação, da entrada à saída preset e da entrada à saída clear.

Tempo de Setup

O **tempo de setup** (preparação), t_s , é o intervalo mínimo necessário para os níveis lógicos se manterem estáveis nas entradas (J e K , ou S e R , ou D) antes da borda de disparo do pulso de clock para que os níveis sejam confiáveis na definição do estado do flip-flop. Esse intervalo é ilustrado na Figura 7-34 para um flip-flop D.



▲ FIGURA 7-34

Tempo de setup (t_s). O nível lógico tem que estar presente na entrada D por um tempo igual ou maior que t_s antes da borda de disparo do pulso de clock para uma entrada confiável de dados.

DICA PRÁTICA

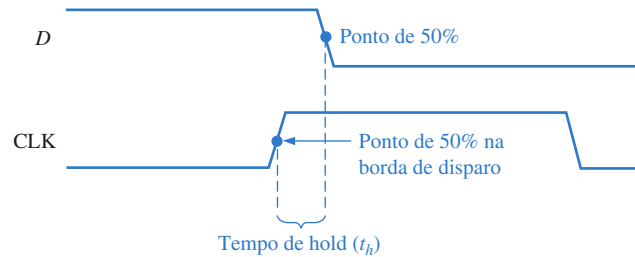
Uma vantagem de um dispositivo CMOS é que ele pode operar ao longo de uma faixa mais ampla de tensões cc de alimentação (tipicamente de 2 V a 6 V) que um dispositivo TTL e, portanto, podem ser usadas fontes de alimentação mais baratas que não necessitam ter uma regulação precisa. Podem ser usadas também baterias como fontes secundárias ou primárias para circuitos CMOS. Além disso, tensões menores implicam em dissipação de potência menor. A desvantagem é que o desempenho de dispositivos CMOS é degradado com tensões de alimentação menores. Por exemplo, a frequência de clock máxima garantida de um flip-flop CMOS é muito menor para $V_{CC} = 2$ V que para $V_{CC} = 6$ V.

Tempo de Hold

O **tempo de hold** (manutenção), t_h , é o intervalo de tempo mínimo necessário para que os níveis lógicos permaneçam após a borda de disparo do pulso de clock para que os níveis sejam confiáveis na definição do estado do flip-flop. Isso é ilustrado na Figura 7–35 para um flip-flop D.

► FIGURA 7–35

Tempo de hold (t_h). O nível lógico tem que ser mantido na entrada D por um tempo igual ou maior que t_h após a borda de disparo do pulso de clock para uma operação confiável.



Frequência de Clock Máxima

A frequência de clock máxima ($f_{\text{máx}}$) é a maior taxa na qual um flip-flop pode ser disparado confiavelmente. Nas frequências de clock acima da máxima, o flip-flop pode não ser capaz de responder de forma suficientemente rápida sendo a sua operação prejudicada.

Largura de Pulso

As larguras de pulso mínimas (t_w) para uma operação confiável são geralmente especificadas pelo fabricante para as entradas de clock, preset e clear. Tipicamente, o clock é especificado pelos seus tempos de nível ALTO e nível BAIXO mínimos.

Dissipação de Potência

A **dissipação de potência** de qualquer circuito digital é o consumo de potência total do dispositivo. Por exemplo, se o flip-flop opera com uma fonte cc de 5 V e drena 5 mA de corrente, a dissipação de potência é

$$P = V_{CC} \cdot I_{CC} = 5 \text{ V} \cdot 5 \text{ mA} = 25 \text{ mW}$$

A dissipação de potência é muito importante na maioria das aplicações nas quais a capacidade da fonte de alimentação é um parâmetro importante. Como exemplo, considere um sistema digital que utiliza dez flip-flops e que cada um dissipa 25 mW de potência. A potência total necessária é

$$P_T = 10 \cdot 25 \text{ mW} = 250 \text{ mW} = 0,25 \text{ W}$$

Isso nos diz qual deve ser a capacidade de saída necessária da fonte de alimentação cc. Se os flip-flops operam com +5 V cc, então a quantidade de corrente que a fonte tem que fornecer é

$$I = \frac{250 \text{ mW}}{5 \text{ V}} = 50 \text{ mA}$$

Temos que usar uma fonte de alimentação de +5 V cc que seja capaz de fornecer pelo menos 50 mA de corrente.

Comparação das Especificações de Flip-Flops

A Tabela 7–5 fornece uma comparação, em termos dos parâmetros discutidos nessa seção de quatro CIs de flip-flops CMOS e TTL do mesmo tipo.

▼ TABELA 7-5

Comparação dos parâmetros de operação para quatro famílias de CIs de flip-flops do mesmo tipo a 25°C

PARÂMETRO	CMOS		TTL	
	74HC74A	74AHC74	74LS74A	74F74
t_{PHL} (CLK para Q)	17 ns	4,6 ns	40 ns	6,8 ns
t_{PLH} (CLK para Q)	17 ns	4,6 ns	25 ns	8,0 ns
t_{PHL} (\overline{CLR} para Q)	18 ns	4,8 ns	40 ns	9,0 ns
t_{PLH} (\overline{PRE} para Q)	18 ns	4,8 ns	25 ns	6,1 ns
t_s (tempo de setup)	14 ns	5,0 ns	20 ns	2,0 ns
t_h (tempo de hold)	3,0 ns	0,5 ns	5 ns	1,0 ns
t_W (CLK ALTO)	10 ns	5,0 ns	25 ns	4,0 ns
t_W (CLK BAIXO)	10 ns	5,0 ns	25 ns	5,0 ns
$t_W(\overline{CLR}/\overline{PRE})$	10 ns	5,0 ns	25 ns	4,0 ns
$f_{m\acute{a}x}$	35 MHz	170 MHz	25 MHz	100 MHz
Potência quiescente	0,012 mW	1,1 mW		
Potência com ciclo de trabalho de 50%			44 mW	88 mW

SEÇÃO 7-3
REVISÃO

1. Defina:
 - (a) tempo de setup
 - (b) tempo de hold
2. Qual flip-flop em específico na Tabela 7-5 pode operar numa frequência maior?

7-4 APLICAÇÕES DE FLIP-FLOPS

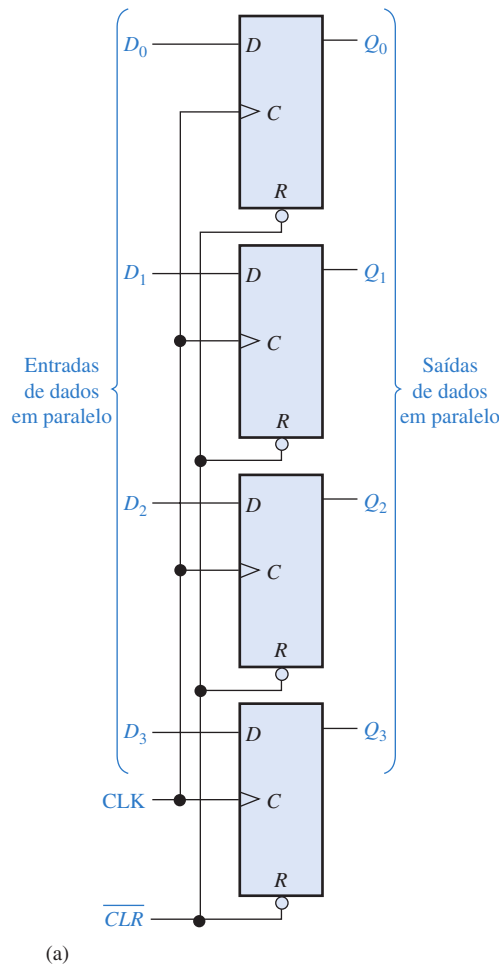
Nesta seção são discutidas três aplicações gerais de flip-flops para dar ao leitor uma idéia de como eles podem ser usados. Os Capítulos 8 e 9 abordam em detalhes as aplicações de flip-flops em contadores e registradores.

Ao final do estudo desta seção você deverá ser capaz de:

- Discutir aplicações de flip-flops no armazenamento de dados
- Descrever como os flip-flops são usados para divisão de frequência
- Explicar como os flip-flops são usados em aplicações básicas de contadores

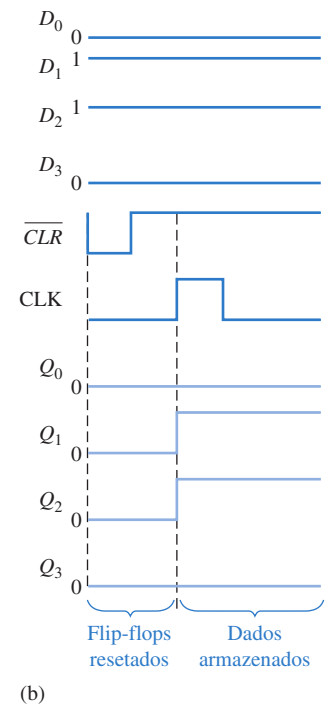
Armazenamento de Dados em Paralelo

Uma necessidade comum em sistemas digitais é armazenar diversos bits de dados em linhas em paralelo simultaneamente num grupo de flip-flops. Essa operação é ilustrada na Figura 7-36(a) usando quatro flip-flops. Cada uma das quatro linhas paralelas de dados é conectada na entrada D de um flip-flop. As entradas de clock dos flip-flops são conectadas juntas, de forma que cada flip-flop é disparado pelo mesmo pulso de clock. Nesse exemplo são usados flip-flops disparados por borda positiva, assim os dados nas entradas D são armazenados simultaneamente pelos flip-flops na borda positiva do clock, conforme indicado no diagrama de temporização visto na Figura 7-36(b). Além disso, as entradas assíncronas de reset (R) são conectadas numa linha \overline{CLR} comum, a qual reseta todos os flip-flops.



► FIGURA 7-36

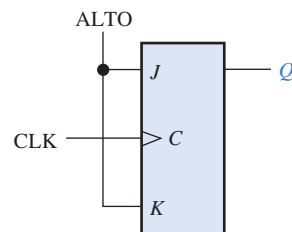
Exemplo de flip-flops usados como um registrador básico para armazenamento paralelo de dados.



Esse grupo de quatro flip-flops é um exemplo de uso de um registrador básico para armazenamento de dados. Em sistemas digitais, os dados são normalmente armazenados em grupos de bits (geralmente oito ou múltiplos dele) que representam números, códigos ou outras informações. Os registradores serão abordados em detalhes no Capítulo 9.

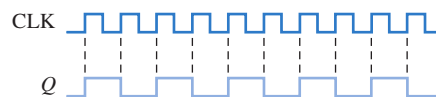
Divisão de Frequência

Uma outra aplicação de flip-flops é a divisão (redução) de frequência de uma forma de onda periódica. Quando uma forma de onda retangular é aplicada na entrada de clock de um flip-flop J-K que é conectado no modo toggle ($J = K = 1$), a saída Q é uma onda quadrada com metade da frequência do sinal na entrada de clock. Portanto, um único flip-flop pode ser usado como um dispositivo divisor por 2, conforme ilustrado na Figura 7-37. Como podemos ver, o flip-flop muda de



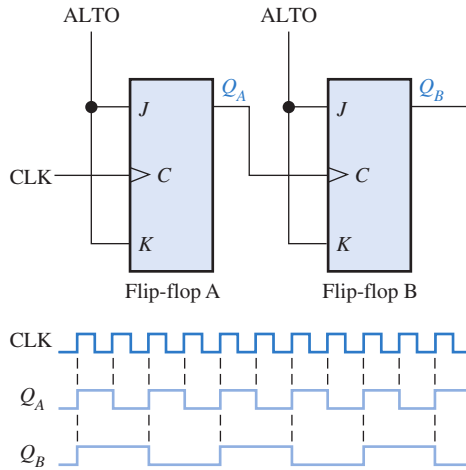
► FIGURA 7-37

O flip-flop J-K como um dispositivo divisor por 2. Q é a metade da frequência de CLK.



estado a cada borda de disparo do clock (borda de disparo positiva nesse caso). Isso resulta numa saída que varia com uma frequência que é metade da frequência da forma de onda do clock.

Divisões posteriores da frequência de clock podem ser conseguidas usando a saída de um flip-flop como entrada de clock de um segundo flip-flop, conforme mostra a Figura 7–38. A frequência da saída Q_A é dividida por 2 pelo flip-flop B. Portanto, a saída Q_B é um quarto da frequência da entrada de clock original. Os tempos de atraso de propagação não são mostrados nos diagramas de temporização.



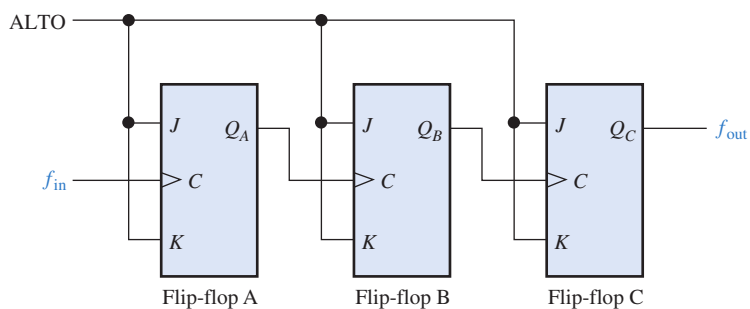
▲ FIGURA 7–38

Exemplo do uso de dois flip-flops J-K para dividir a frequência de clock por 4. Q_A é metade da frequência de CLK e Q_B é um quarto da mesma.

Conectando flip-flops dessa forma, obtemos uma divisão de frequência por 2^n , onde n é o número de flip-flops. Por exemplo, três flip-flops dividem a frequência de clock por $2^3 = 8$; quatro flip-flops dividem a frequência de clock por $2^4 = 16$; e assim por diante.

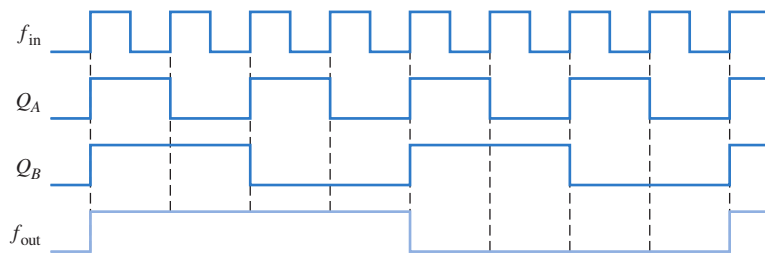
EXEMPLO 7–10

Determine a forma de onda f_{out} para o circuito dado na Figura 7–39 quando uma onda quadrada de 8 kHz for aplicada na entrada de clock do flip-flop A.



▲ FIGURA 7–39

Solução Os três flip-flops são conectados para dividir a frequência de entrada por oito ($2^3 = 8$) e a forma de onda de f_{out} é mostrada na Figura 7–40. Como esses flip-flops são disparados na borda positiva, as saídas mudam na borda positiva do clock. Ocorre um pulso de saída para cada oito pulsos de entrada, assim a frequência de saída é 1 kHz. As formas de onda de Q_A e Q_B também são mostradas.

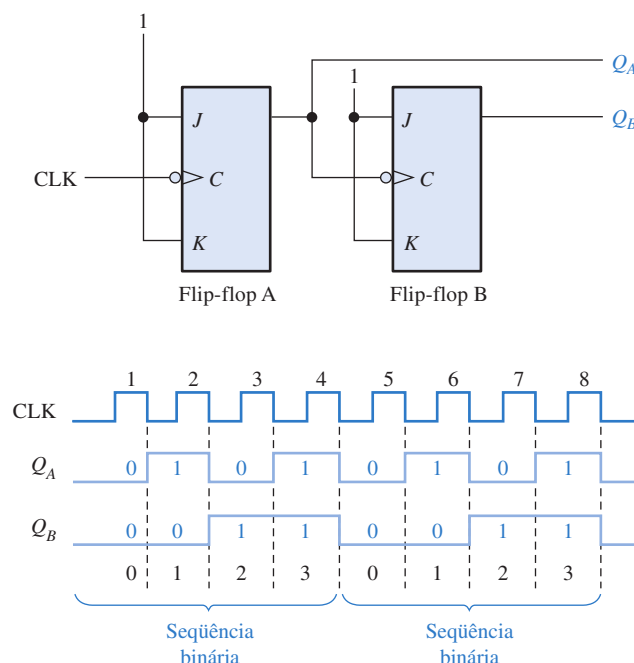


▲ FIGURA 7-40

Problema relacionado Quantos flip-flops são necessários para dividir uma frequência por trinta e dois?

Contagem

Uma outra aplicação importante de flip-flops é os contadores digitais, os quais serão abordados em detalhes no Capítulo 8. O conceito é ilustrado na Figura 7-41. Os flip-flops são do tipo J-K disparados pela borda negativa. Os dois flip-flops estão inicialmente *resetados*. O flip-flop A comuta na transição negativa de cada pulso de clock. A saída Q do flip-flop A é o clock do flip-flop B, assim cada vez que Q_A faz uma transição de nível ALTO para nível BAIXO, o flip-flop B muda de estado (toggle). As formas de onda resultante de Q_A e Q_B são mostradas na figura.



► FIGURA 7-41

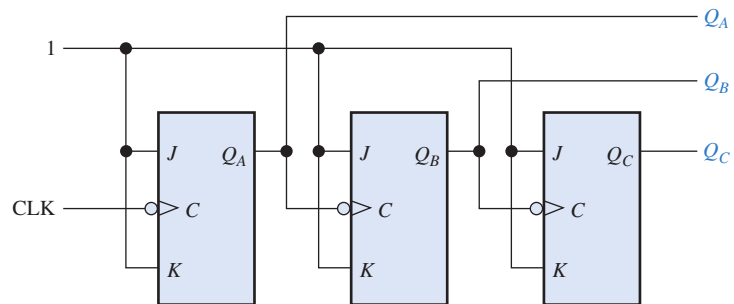
Flip-flops usados para gerar uma sequência de contagem binária. São mostradas dois ciclos (00, 01, 10, 11).

Observe a sequência de Q_A e Q_B na Figura 7-41. Antes do pulso de clock 1, $Q_A = 0$ e $Q_B = 0$; após o pulso de clock 1, $Q_A = 1$ e $Q_B = 0$; após o pulso de clock 2, $Q_A = 0$ e $Q_B = 1$; e após o pulso de clock 3, $Q_A = 1$ e $Q_B = 1$. Se tomarmos Q_A como sendo o bit menos significativo, uma seqüên-

cia de 2 bits é produzida enquanto os flip-flops recebem clocks. Essa sequência binária se repete a cada quatro pulsos de clock, conforme mostrado no diagrama de temporização visto na Figura 7-41. Portanto, os flip-flops realizam uma contagem de 0 a 3 (00, 01, 10, 11) e então retornam para 0 começando a sequência novamente.

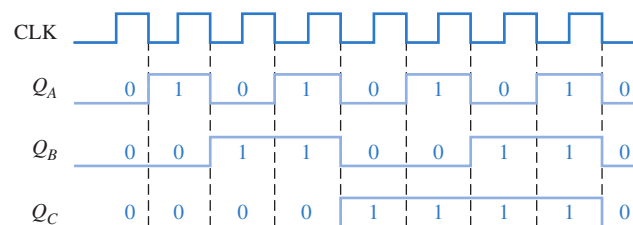
EXEMPLO 7-11

Determine as formas de onda de saída em relação ao clock para Q_A , Q_B e Q_C no circuito visto na Figura 7-42 e mostre a sequência binária representada por essas formas de onda.



▲ FIGURA 7-42

Solução O diagrama de temporização da saída é mostrado na Figura 7-43. Observe que as saídas mudam na borda negativa dos pulsos de clock. As saídas passam pela sequência binária 000, 001, 010, 011, 100, 101, 110 e 111, conforme indicado.



▲ FIGURA 7-43

Problema relacionado Quantos flip-flops são necessários para produzir uma sequência binária que representa os números decimais de 0 a 15?

SEÇÃO 7-4 REVISÃO

1. Como é denominado o grupo de flip-flops que armazena dados?
2. Quantos flip-flops J-K devem ser conectados para funcionar como um dispositivo divisor por 2?
3. Quantos flip-flops são necessários para produzir um dispositivo divisor por 64?

7-5 MONOESTÁVEIS

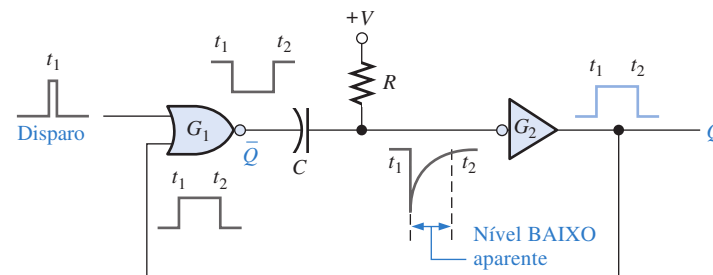
O **multivibrador monoestável** é um dispositivo com apenas um estado estável. Um monoestável está normalmente no estado estável mudando para o estado instável apenas quando disparado. Uma vez disparado, o monoestável permanece no estado instável por um período determinado de tempo retornando automaticamente para o estado estável. O tempo em que o dispositivo permanece no estado instável determina a largura do pulso na saída.

Ao final do estudo desta seção você deverá ser capaz de:

- Descrever a operação básica de um monoestável
- Explicar como funciona um monoestável não-redispável
- Explicar como funciona um monoestável redispável
- Configurar os CIs monoestáveis 74121 e 74LS122 para obter uma largura de pulso de saída especificada
- Reconhecer o símbolo de um Schmitt-trigger e explicar basicamente como ele funciona

Um monoestável produz um único pulso cada vez que é disparado.

A Figura 7-44 mostra um monoestável básico (multivibrador monoestável) que é composto de uma porta lógica e um inversor. Quando um pulso é aplicado na entrada de **disparo** (trigger), a saída da porta G_1 vai para nível BAIXO. Essa transição de nível ALTO para nível BAIXO é acoplada através de um capacitor à entrada do inversor G_2 . O nível BAIXO aparente em G_2 faz com que a saída vá para nível ALTO. Esse nível ALTO é conectado de volta em G_1 , mantendo a saída de G_1 em nível BAIXO. Até esse ponto, o pulso de disparo fez com que a saída do monoestável (Q) fosse para nível ALTO.



► FIGURA 7-44

Um circuito simples de um monoestável.

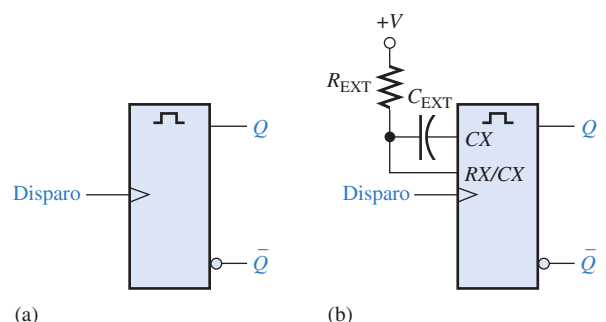
O capacitor começa a carregar imediatamente através de R em direção à tensão de nível ALTO. A taxa na qual ele se carrega é determinada pela constante de tempo RC . Quando o capacitor carrega até um certo nível, o qual é visto como nível ALTO por G_2 , a saída retorna para o nível BAIXO.

Para resumir, a saída do inversor G_2 vai para nível ALTO em resposta à entrada de disparo. Ele permanece no nível ALTO por um tempo determinado pela constante de tempo RC . No final desse tempo, ele retorna para o nível BAIXO. Um único pulso de disparo estreito produz um único pulso de saída cuja duração é controlada pela constante de tempo RC . Essa operação está ilustrada na Figura 7-44.

O símbolo lógico de um monoestável típico é mostrado na Figura 7-45(a) e o mesmo símbolo com R e C externos é mostrado na Figura 7-45(b). Os dois tipos básicos de monoestáveis na forma de CI são o não-redispável e o redispável.

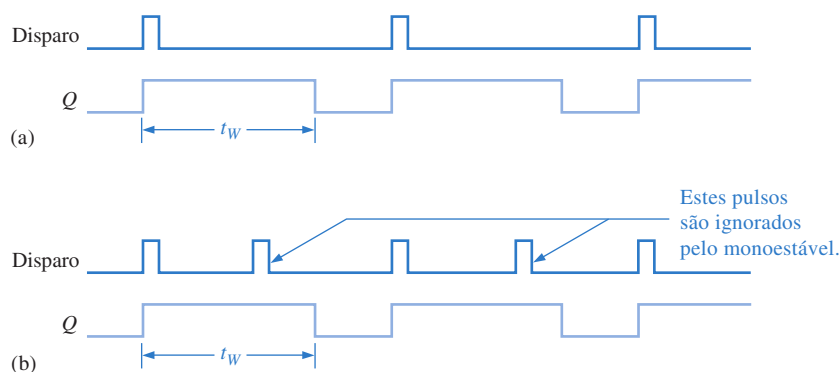
► FIGURA 7-45

Símbolo lógico de um monoestável básico. CX e RX suportam as conexões dos componentes externos.



Um monoestável não-redispável não responde a nenhum pulso de disparo adicional a partir do instante em que é disparado (passa para o estado instável) até retornar ao estado estável. Em outras palavras, ele ignora qualquer pulso de disparo que ocorre antes do término da temporização. O tempo no qual o monoestável permanece no estado instável é a largura do pulso de saída.

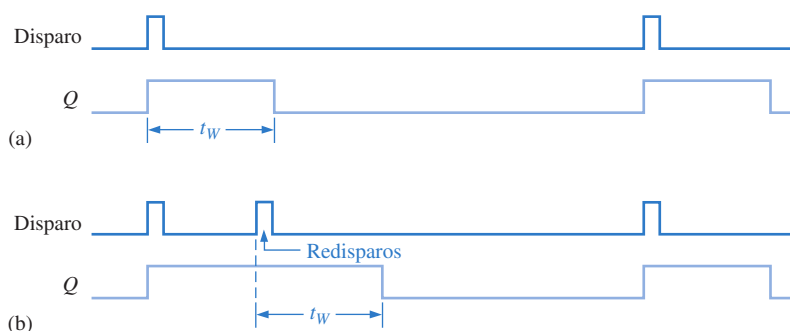
A Figura 7-46 mostra um monoestável não-redispável sendo disparado em intervalos maiores que a largura de pulso e em intervalos menores que a largura de pulso. Observe que no segundo caso, os pulsos adicionais são ignorados.



◀ FIGURA 7-46

Atuação de um monoestável não-redispável.

Um monoestável redispável pode ser disparado antes do final da temporização. O resultado do redisparo é uma extensão da largura de pulso conforme ilustrado na Figura 7-47.



◀ FIGURA 7-47

Atuação de um monoestável re-dispável.

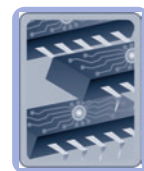
MONOESTÁVEL NÃO-REDISPARÁVEL (74121)

O CI 74121 é um exemplo de um monoestável não-redispável. Ele provê conexões para R e C externos, conforme mostra a Figura 7-48. As entradas denominadas de A_1 , A_2 e B são entradas de controle de disparo. A entrada R_{INT} conecta a um resistor de temporização interno de $2\text{ k}\Omega$ interno.

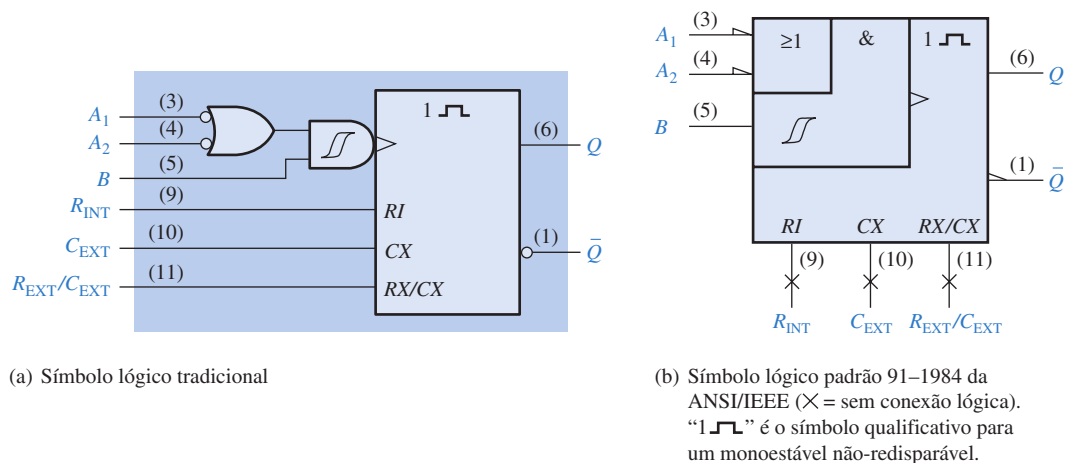
Ajustando a Largura do Pulso Uma largura de pulso típica de 30 ns é produzida quando nenhum componente de temporização externo é usado e o resistor de temporização interno (R_{INT}) é conectado a V_{CC} , como mostra a Figura 7-49(a). A largura do pulso pode ser definida em algum valor entre cerca de 30 ns e 28 s através do uso de componentes externos. A Figura 7-49(b) mostra a configuração usando o resistor interno ($2\text{ k}\Omega$) e um capacitor externo. A parte (c) mostra a configuração usando um resistor externo e um capacitor externo. A largura do pulso de saída é definida pelo valor do resistor ($R_{INT} = 2\text{ k}\Omega$ e R_{EXT} é selecionado) e o capacitor de acordo com a seguinte fórmula:

$$t_W = 0,7RC_{EXT}$$

Onde R é R_{INT} ou R_{EXT} . Quando R está em quiloohms ($\text{k}\Omega$) e C_{EXT} está em picofarads (pF), a largura do pulso de saída t_W está em nanossegundos (ns).

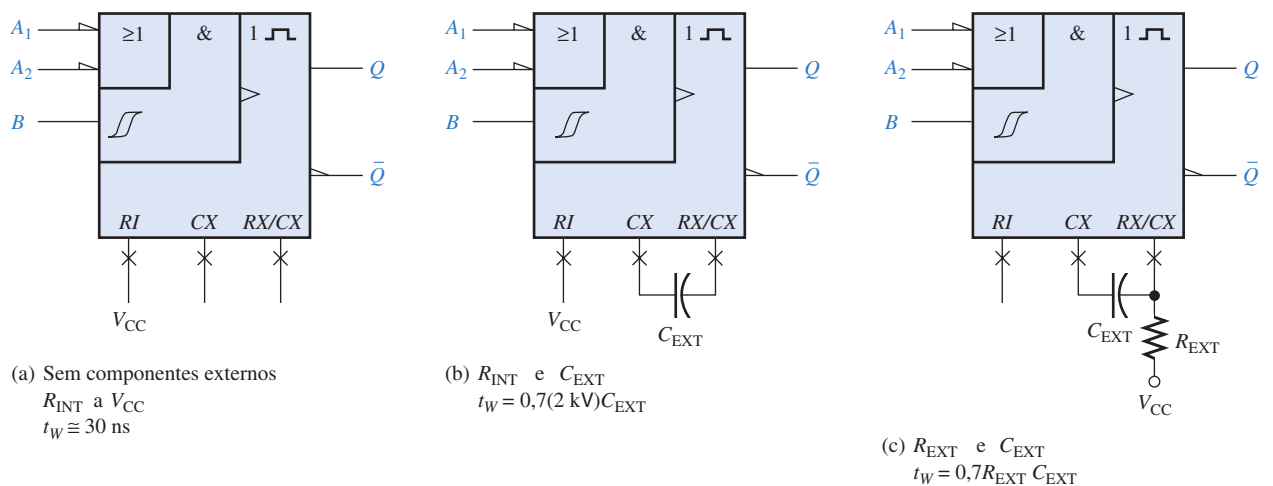


Equação 7-1



▲ FIGURA 7-48

Símbolos lógicos para o monoestável não-redispável 74121.



▲ FIGURA 7-49

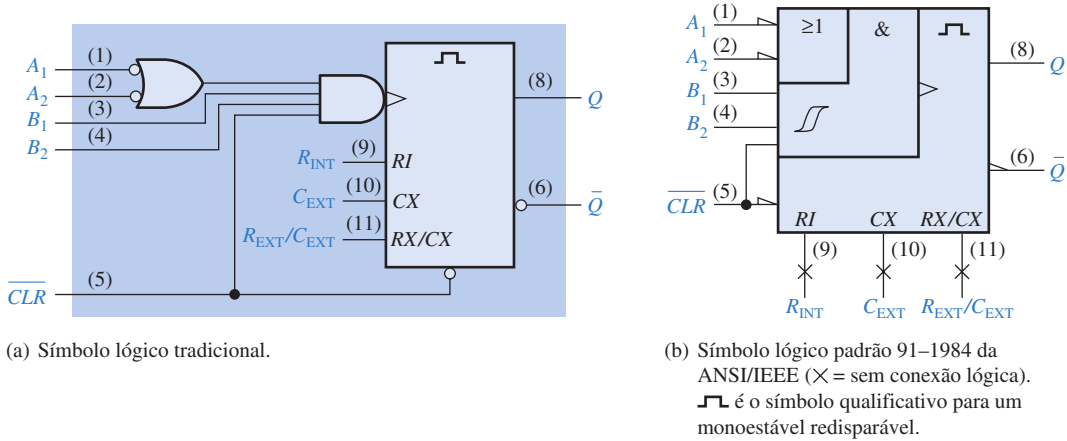
Três formas de estabelecer a largura de pulso de um CI 74121.

O Símbolo do Schmitt-Trigger O símbolo \int indica uma entrada Schmitt-trigger. Esse tipo de entrada usa um circuito de limiar especial que produz **histerese**, uma característica que evita erros de chaveamento entre estados quando uma tensão de disparo de variação lenta paira em torno do nível de entrada crítico. Isso permite segurança no disparo sempre quando a entrada varia de forma lenta como 1 volt/segundo.

MONOESTÁVEL REDISPÁVEL (74LS122)



O CI 74LS122 é um exemplo de CI monoestável redispável com uma entrada de *clear*. Ele também provê conexões externas de R e C, conforme mostra a Figura 7-50. As entradas denominadas A_1 , A_2 , B_1 e B_2 são entradas de controle de disparo.



▲ FIGURA 7-50

Símbolo lógico para o CI monoestável redispável 74LS122.

Uma largura de pulso mínima de aproximadamente 45 ns é obtida sem componentes externos. A maior largura de pulso é conseguida usando componentes externos. Uma fórmula geral para o cálculo dos valores desses componentes para uma largura de pulso específica (t_w) é

$$t_w = 0,32RC_{EXT} \left(1 + \frac{0,7}{R} \right)$$

Equação 7-2

onde 0,32 é uma constante determinada pelo tipo particular de monoestável, R é dado em $k\Omega$ podendo ser um resistor interno ou externo ao CI, C_{EXT} é dado em pF e t_w é dado em ns. A resistência interna é de 10 $k\Omega$ e pode ser usada em vez de um resistor externo. (Observe a diferença entre essa fórmula e aquela para o CI 74121, mostrada na Equação 7-1.)

EXEMPLO 7-12

Uma certa aplicação necessita de um monoestável com uma largura de pulso de aproximadamente 100 ms. Usando um 74121, mostre as conexões e os valores dos componentes.

Solução Arbitrariamente selecione $R_{EXT} = 39 \text{ k}\Omega$ e calcule a capacitância necessária.

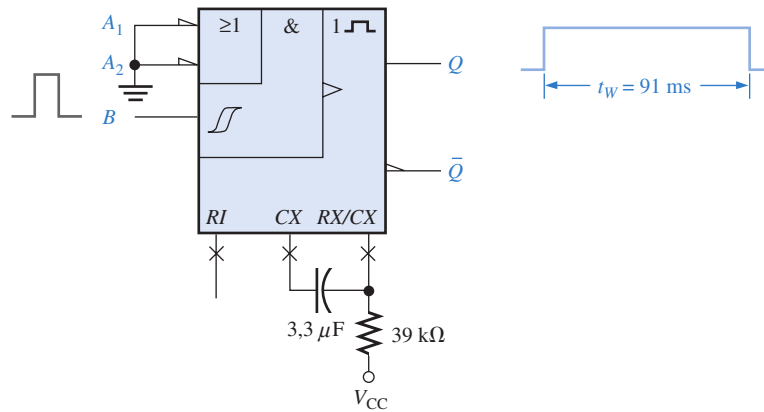
$$t_w = 0,7R_{EXT}C_{EXT}$$

$$C_{EXT} = \frac{t_w}{0,7R_{EXT}}$$

onde C_{EXT} está em pF, R_{EXT} está em $k\Omega$ e t_w está em ns. Como $100 \text{ ms} = 1 \times 10^8 \text{ ns}$,

$$C_{EXT} = \frac{1 \times 10^8 \text{ ns}}{0,7(39 \text{ k}\Omega)} = 3,66 \times 10^{-6} \text{ pF} = 3,66 \mu\text{F}$$

Um capacitor padrão de $3,3 \mu\text{F}$ proporciona uma largura de pulso de saída de 91 ms. As conexões apropriadas são mostradas na Figura 7-51. Para conseguir uma largura de pulso mais próximo de 100 ms, outras combinações de valores para R_{EXT} e C_{EXT} podem ser testadas. Por exemplo, $R_{EXT} = 68 \text{ k}\Omega$ e C_{EXT} de $2,2 \mu\text{F}$ proporcionam uma largura de pulso de 105 ms.



▲ FIGURA 7-51

Problema relacionado Use um capacitor externo juntamente com R_{INT} para produzir uma largura de pulso de saída de $10\mu s$ a partir do CI 74121.

EXEMPLO 7-13

Determine os valores de R_{EXT} e C_{EXT} que produzirão uma largura de pulso de $1\mu s$ quando conectado a um 74LS122.

Solução Considere um valor de $C_{EXT} = 560 \text{ pF}$ e então calcule para R_{EXT} . A largura do pulso tem que ser expressa em ns e C_{EXT} em pF. R_{EXT} será em kΩ.

$$\begin{aligned}
 t_W &= 0,32R_{EXT}C_{EXT}\left(1 + \frac{0,7}{R_{EXT}}\right) = 0,32R_{EXT}C_{EXT} + 0,7\left(\frac{0,32R_{EXT}C_{EXT}}{R_{EXT}}\right) \\
 &= 0,32R_{EXT}C_{EXT} + (0,7)(0,32)C_{EXT} \\
 R_{EXT} &= \frac{t_W - (0,7)(0,32)C_{EXT}}{0,32C_{EXT}} = \frac{t_W}{0,32C_{EXT}} - 0,7 \\
 &= \frac{1000 \text{ ns}}{(0,32)560 \text{ pF}} - 0,7 = \mathbf{4,88 \text{ k}\Omega}
 \end{aligned}$$

Use um valor padrão de **4,7 kΩ**.

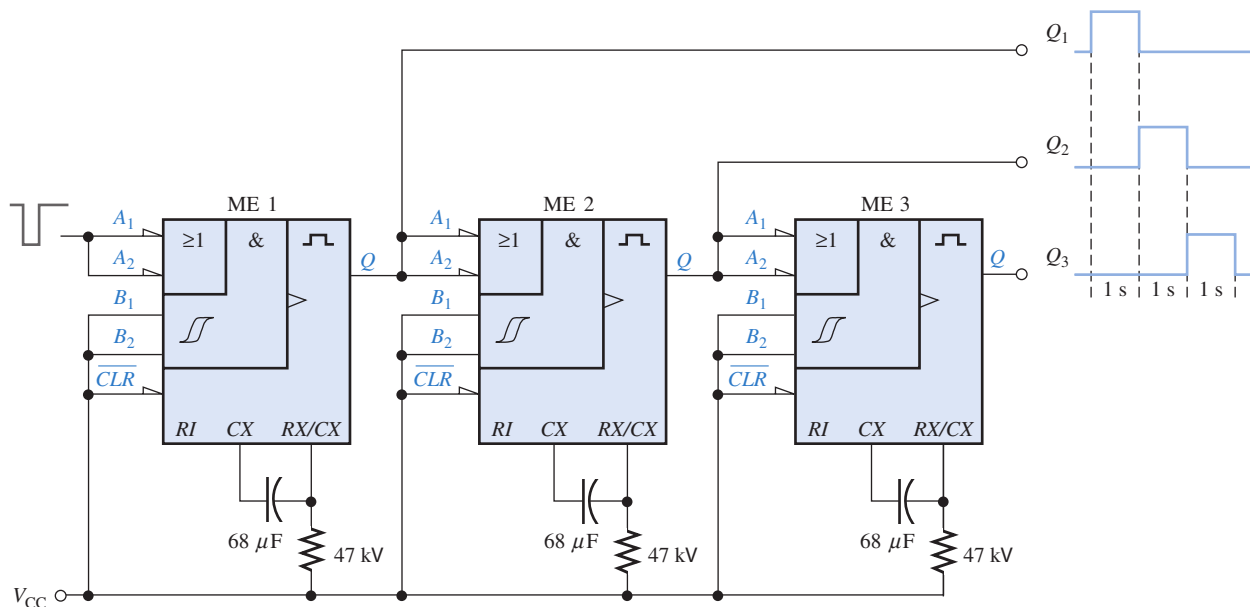
Problema relacionado Mostre as conexões e os valores dos componentes para um CI monoestável 74LS122 com uma largura de pulso de $5\mu s$. Considere $C_{EXT} = 560 \text{ pF}$.

Uma Aplicação

Uma aplicação prática de monoestável é um temporizador sequencial que pode ser usado para iluminar uma série de luzes. Esse tipo de circuito pode ser usado, por exemplo, num indicador direcional de mudança de pista em projetos de construção de estradas ou em sinais de mudança sequencial para automóveis.

A Figura 7-52 mostra três CIs monoestáveis 74LS122 conectados como um temporizador sequencial. Esse circuito em particular produz uma sequência de três pulsos de 1 s. O primeiro monoestável é disparado pelo fechamento de uma chave ou uma entrada de pulso de baixa frequência, produzindo um pulso de saída de 1 s. Quando o primeiro monoestável (ME 1) finaliza a temporização e o pulso de 1 s vai para nível BAIXO, o segundo monoestável (ME 2) é disparado, pro-

duzindo também um pulso de saída de 1 s. Quando esse segundo pulso vai para nível BAIXO, o terceiro monoestável (ME 3) é disparado e o terceiro pulso de 1 s é produzido. A temporização de saída é ilustrada na figura. Podem ser usadas variações básicas desse arranjo para produzir uma variedade de saídas temporizadas.



▲ FIGURA 7-52

Um circuito de temporização sequencial usando três CI's monoestáveis 74LS122.

SEÇÃO 7-5 REVISÃO

1. Descreva a diferença entre um monoestável não-redispável e um redispável.
2. Como é definida a largura de pulso de saída na maioria dos CI's monoestáveis?

7-6 TEMPORIZADOR 555

O **temporizador 555** é um dispositivo, na forma de CI, versátil e amplamente usado pois pode ser configurado em dois modos diferentes: multivibrador monoestável ou um multivibrador astável (oscilador). Um multivibrador astável não tem estado estável oscilando entre dois estados estáveis sem qualquer disparo externo.

Ao final do estudo desta seção você deverá ser capaz de:

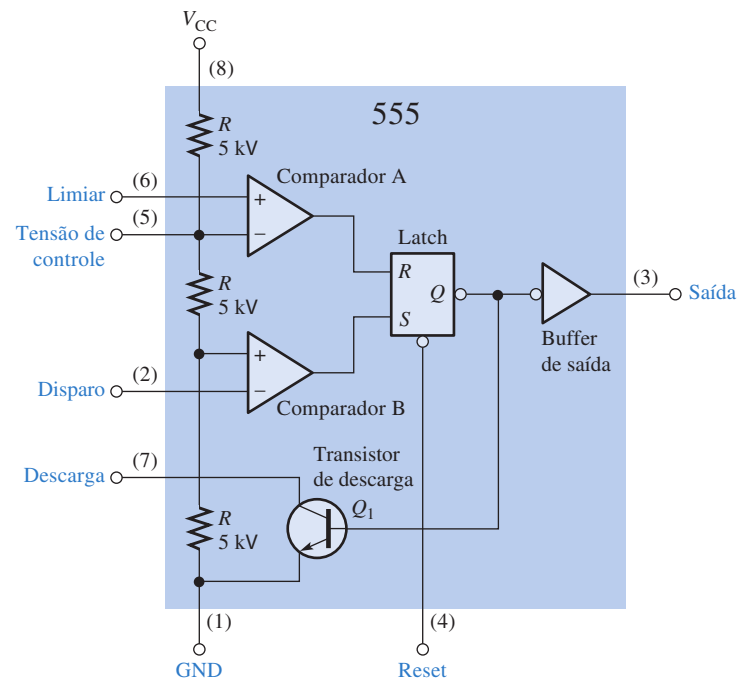
- Descrever os blocos básicos de um temporizador 555
- Configurar um 555 como um monoestável
- Configurar um 555 como um oscilador

Operação Básica

A Figura 7-53 apresenta um diagrama funcional mostrando os componentes internos do temporizador 555. Os comparadores são dispositivos cujas saídas são nível ALTO quando a tensão na entrada positiva (+) for maior que a tensão na entrada negativa (−) e nível BAIXO quando a tensão da entrada − for maior que a tensão na entrada +. O divisor de tensão consiste de três resistores de 5 kΩ, os quais fornecem um nível de limiar de 1/3 de V_{CC} e um nível de limiar de 2/3 de V_{CC} . A entrada de tensão de controle (pino 5) pode ser usada para ajuste externo dos níveis de disparo e limiar em outros

Um temporizador 555 pode operar como um monoestável ou como um oscilador (astável).

valores se necessário. Quando a entrada de disparo que é normalmente nível ALTO for momentaneamente para um valor abaixo de $1/3 V_{CC}$, a saída do comparador B comuta de nível BAIXO para nível ALTO e seta o latch S-R, fazendo com que a saída (pino 3) passe para o nível ALTO e desligue o transistor de descarga Q_1 . A saída permanece em nível ALTO até que a entrada de limiar, que normalmente é nível BAIXO, atinja um valor acima de $2/3 V_{CC}$ e faça com que a saída do comparador A comute de nível BAIXO para nível ALTO. Isso reseta o latch, fazendo com que a saída de 555 retorne para o nível BAIXO e ligue o transistor de descarga. A entrada de reset externo pode ser usada para resetar o latch independente do circuito de limiar. As entradas de disparo e limiar (pinos 2 e 6) são controladas por componentes externos conectados para produzir ações de monoestável e astável.



► FIGURA 7-53

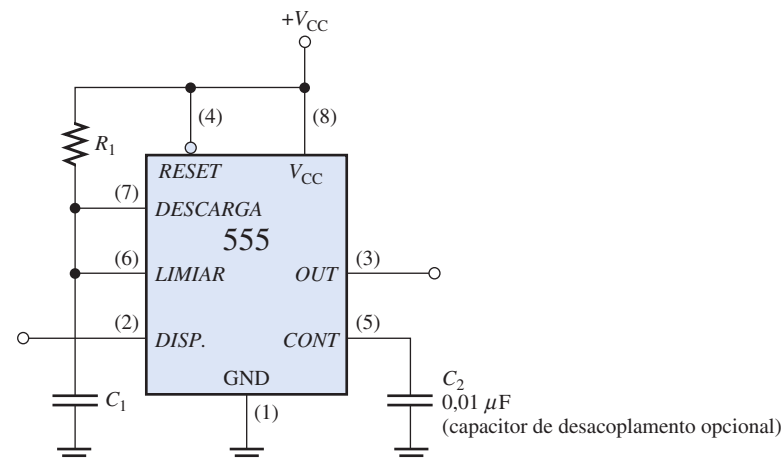
Diagrama funcional interno de um temporizador 555 (os números dos pinos estão entre parênteses).

Operação Monoestável

Para configurar o temporizador 555 como monoestável não-redisparável são usados um resistor e um capacitor externos como mostra a Figura 7-54. A largura do pulso da saída é determinado pela constante de tempo de R_1 e C_1 de acordo com a fórmula

Equação 7-3

$$t_W = 1,1R_1C_1$$

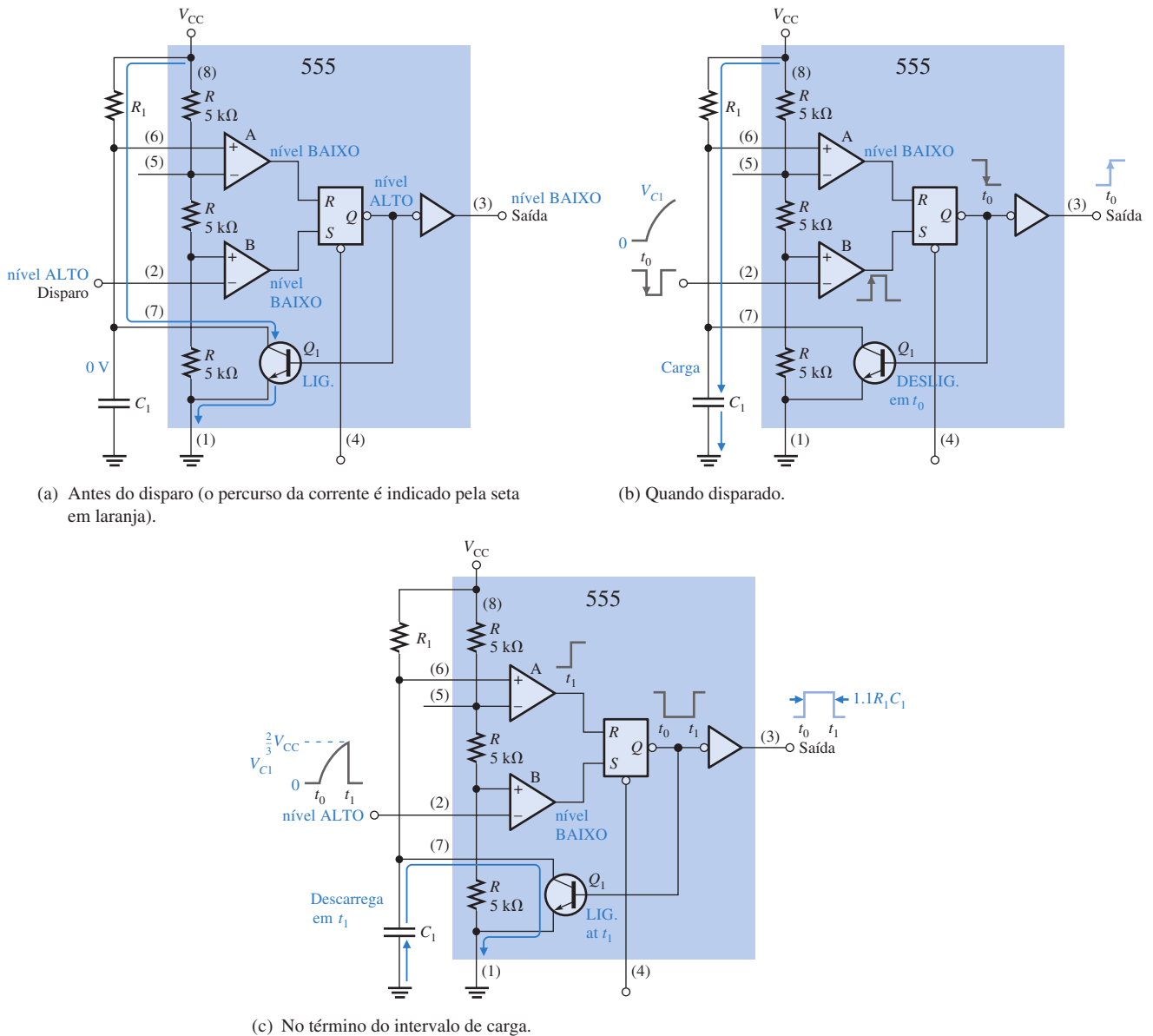


► FIGURA 7-54

O temporizador 555 conectado como um monoestável.

A entrada de tensão de controle não é usada e é conectada a um capacitor de desacoplamento C_2 para evitar que um ruído afete os níveis de disparo e limiar.

Antes que um pulso de disparo seja aplicado, a saída é nível BAIXO e o transistor de descarga Q_1 está ligado (*on*), mantendo C_1 descarregado como mostra a Figura 7-55(a). Quando um pulso de disparo negativo (de nível ALTO para BAIXO) é aplicado no instante t_0 , a saída vai para nível ALTO e o transistor de descarga é desligado (*off*), permitindo que o capacitor C_1 seja carregado através de R_1 conforme mostra a parte (b). Quando C_1 se carrega até $2/3 V_{CC}$, a saída retorna para o nível BAIXO em t_1 e Q_1 é imediatamente ligado, descarregando C_1 como mostra a parte (c). Como podemos ver, a taxa de carga de C_1 determina por quanto tempo a saída permanece em nível ALTO.



▲ FIGURA 7-55

Operação do temporizador 555 como monoestável.

EXEMPLO 7-14

Qual é a largura do pulso de um circuito monoestável com 555 tendo $R_1 = 2,2 \text{ k}\Omega$ e $C_1 = 0,001 \mu\text{F}$?

Solução A partir da Equação 7-3 a largura é

$$t_w = 1,1 R_1 C_1 = 1,1(2,2 \text{ k}\Omega)(0,01 \mu\text{F}) = \mathbf{24,2 \mu\text{s}}$$

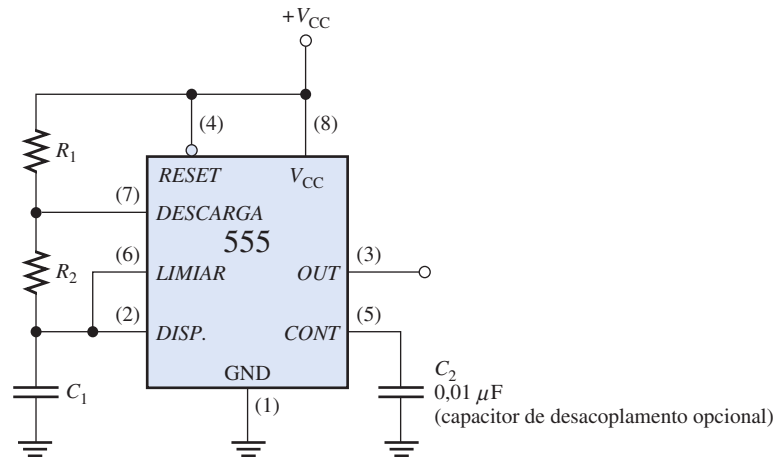
Problema relacionado Para $C_1 = 0,001 \mu\text{F}$, determine o valor de R_1 para uma largura de pulso de 1 ms.

NOTA: COMPUTAÇÃO

Todos os computadores necessitam de uma fonte de temporização para prover formas de onda de clock precisas. A seção de temporização controla toda a temporização do sistema e é responsável pela correta operação do hardware. A seção de temporização geralmente consiste de um oscilador controlado a cristal e contadores para divisão de frequência. O uso de um oscilador de alta frequência que tem a frequência dividida para um valor menor proporciona maior precisão e estabilidade na frequência.

**Operação Astável**

Um temporizador 555 conectado para operar como um multivibrador **astável**, o qual não é um **oscilador** senoidal, é mostrado na Figura 7-56. Observe que a entrada de limiar agora está conectada na entrada de disparo. Os componentes externos R_1 , R_2 e C_1 formam o circuito de temporização que define a frequência de oscilação. O capacitor de $0,001 \mu\text{F}$, C_2 , é conectado na entrada de controle (CONT) estritamente para desacoplamento e não tem efeito na operação; em alguns casos ele pode ser suprimido.



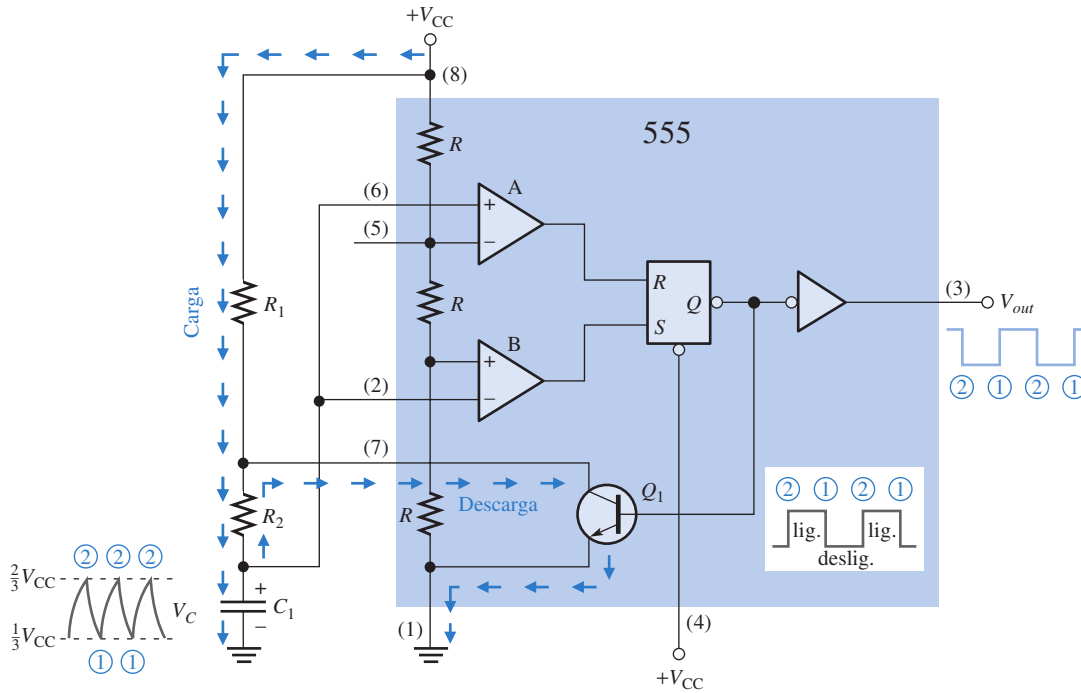
▲ **FIGURA 7-56**

O temporizador 555 conectado como um multivibrador astável (oscilador).

Inicialmente, quando a alimentação é ligada, o capacitor (C_1) está descarregado e a tensão de disparo (pino 2) é 0 V. Isso faz com que a saída do comparador B seja nível ALTO e a saída do comparador A seja nível BAIXO, forçando a saída do latch, e assim a base de Q_1 , para nível BAIXO mantendo o transistor desligado. Agora, C_1 começa carregando através de R_1 e R_2 , conforme indicado na Figura 7-57. Quando a tensão no capacitor alcança $1/3 V_{CC}$, o comparador B comuta sua saída para o estado BAIXO; e quando a tensão no capacitor alcança $2/3 V_{CC}$, o comparador A comuta sua saída para o estado ALTO. Isso reseta o latch, fazendo com que a base de Q_1 passe para o nível ALTO desligando o transistor. Essa sequência cria um percurso de descarga para o capacitor através de R_2 e do transistor, conforme indicado. Agora o capacitor começa a descarregar, fazendo com que o comparador A vá para nível BAIXO. Quando o capacitor se descarrega para um valor abaixo de $1/3 V_{CC}$, o comparador comuta para nível ALTO; isso seta o latch, fazendo com que a base de Q_1 seja nível BAIXO desligando o transistor. Um outro ciclo de carga inicia, e o processo se repete. O resultado é uma onda de saída retangular cujo ciclo de trabalho depende dos valores de R_1 e R_2 . A frequência de oscilação é dada pela seguinte fórmula, ou ainda pode ser determinada de forma gráfica conforme a Figura 7-58.

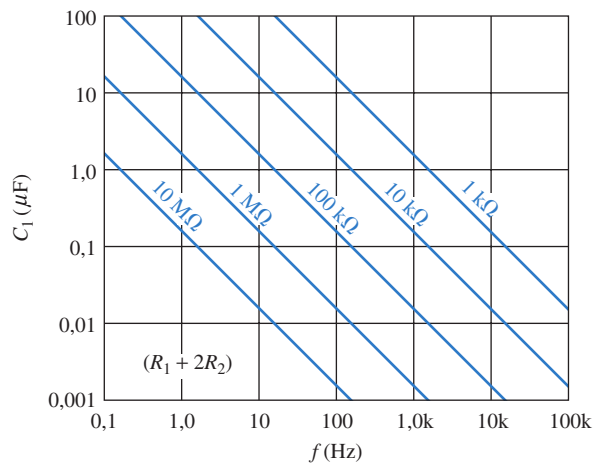
Equação 7-4

$$f = \frac{1,44}{(R_1 + 2R_2)C_1}$$



▲ FIGURA 7-57

Operação do temporizador 555 no modo astável.



◀ FIGURA 7-58

Frequência de oscilação como uma função de C_1 e $R_1 + 2R_2$. As linhas inclinadas são os valores de $R_1 + 2R_2$.

Selecionando R_1 e R_2 , o ciclo de trabalho da saída pode ser ajustado. Como C_1 carrega através de $R_1 + R_2$ e descarrega apenas através de R_2 , os ciclos de trabalho que se aproximam de um mínimo de 50% podem ser obtidos se $R_2 \gg R_1$ de forma que os tempos de carga e descarga sejam aproximadamente iguais.

Uma expressão para o ciclo de trabalho é desenvolvida a seguir. O tempo em que a saída é nível ALTO (t_H) é o tempo que C_1 leva entre $1/3 V_{CC}$ e $2/3 V_{CC}$. Esse tempo é expresso como a seguir:

$$t_H = 0,7(R_1 + R_2)C_1$$

O tempo em que a saída é nível BAIXO (t_L) é o tempo que C_1 leva para descarregar de $1/3 V_{CC}$ para $2/3 V_{CC}$. Esse tempo é expresso como a seguir:

$$t_L = 0,7R_2C_1$$

Equação 7-5

Equação 7-6

O período, T , da forma de onda de saída é a soma de t_H com t_L . Esse tempo é o inverso de f na Equação 7-4.

$$T = t_H + t_L = 0,7(R_1 + 2R_2)C_1$$

Finalmente, o ciclo de trabalho é

$$\text{Ciclo de trabalho} = \frac{t_H}{T} = \frac{t_H}{t_H + t_L}$$

$$\text{Ciclo de trabalho} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\%$$

Equação 7-7

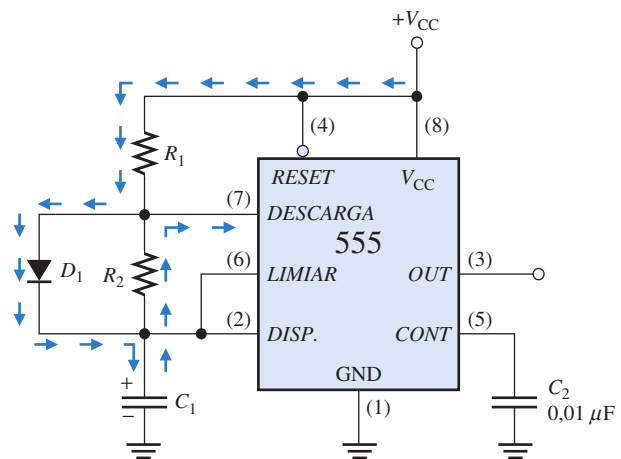
Para obter um ciclo de trabalho menor que 50%, o circuito mostrado na Figura 7-56 pode ser modificado de forma que C_1 carregue através de R_1 apenas e descarregue através de R_2 . Isso é conseguido usando o diodo D_1 , conforme a Figura 7-59. O ciclo de trabalho pode ser menor que 50% fazendo R_1 menor que R_2 . Sob essa condição, a expressão para o ciclo de trabalho é

$$\text{Ciclo de trabalho} = \left(\frac{R_1}{R_1 + R_2} \right) 100\%$$

Equação 7-8

► **FIGURA 7-59**

A adição do diodo D_1 permite que o ciclo de trabalho da saída seja ajustado em menos de 50% fazendo $R_1 < R_2$.



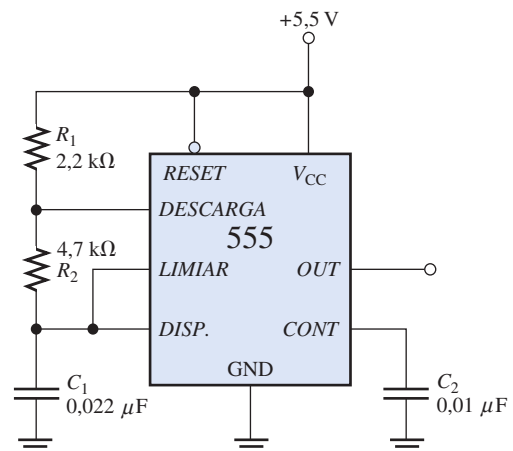
EXEMPLO 7-15

A Figura 7-60 mostra um temporizador 555 configurado no modo astável (oscilador). Determine a frequência de saída e o ciclo de trabalho.



► **FIGURA 7-60**

Abra o arquivo F07-60 para verificar a operação.



Solução Use as Equações 7-4 e 7-7.

$$f = \frac{1,44}{(R_1 + 2R_2)C_1} = \frac{1,44}{(2,2 \text{ k}\Omega + 9,4 \text{ k}\Omega)0,022 \text{ }\mu\text{F}} = 5,64 \text{ kHz}$$

$$\text{Ciclo de trabalho} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\% = \left(\frac{2,2 \text{ k}\Omega + 4,7 \text{ k}\Omega}{2,2 \text{ k}\Omega + 9,4 \text{ k}\Omega} \right) 100\% = 59,5\%$$

Problema relacionado Determine o ciclo de trabalho do circuito dado na Figura 7-60 se um diodo for conectado em paralelo com R_2 conforme indicado na Figura 7-59.

SEÇÃO 7-6 REVISÃO

1. Explique a diferença na operação entre um multivibrador astável e um multivibrador monoestável.
2. Para um certo multivibrador astável, $t_H = 15 \text{ ms}$ e $T = 20 \text{ ms}$. Qual o ciclo de trabalho da saída.

7-7 ANÁLISE DE DEFEITO

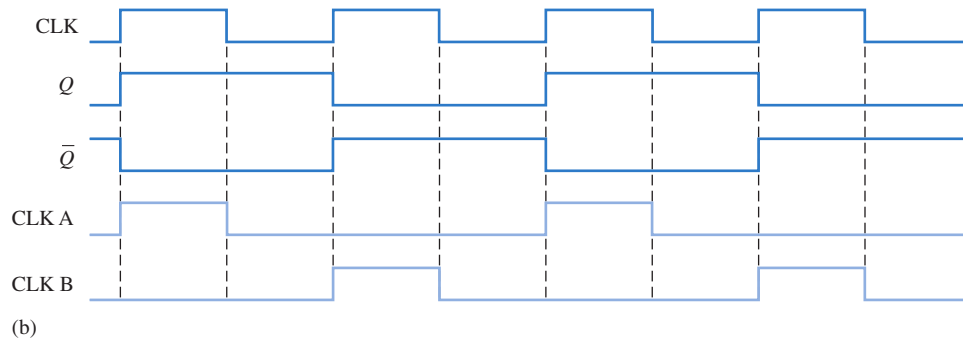
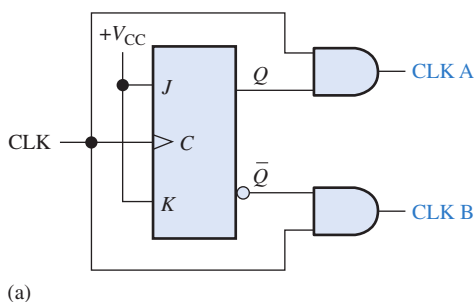
É uma prática padrão testar um novo circuito projetado para ter certeza que ele funciona como especificado. Os projetos de funções fixas novas são simulados e testados antes da finalização do projeto. O termo simulação se refere ao método de verificação de um circuito de forma que sua operação possa ser verificada e sanado qualquer defeito antes que o protótipo seja construído.

Ao final do estudo desta seção você deverá ser capaz de:

- Descrever como a temporização de um circuito pode produzir glitches falsos
- Fazer a análise de defeito de um novo projeto com uma avaliação mais detalhada e consciente dos problemas potenciais



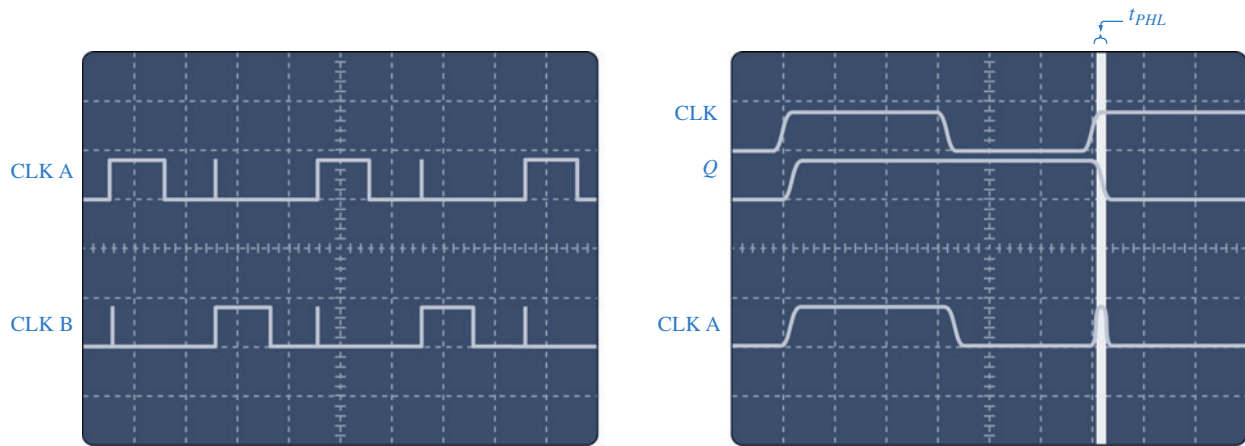
O circuito mostrado na Figura 7-61(a) gera duas formas de onda de clock (CLK A e CLK B) as quais apresentam pulsos alternados. Cada forma de onda é metade da frequência do clock original (CLK), como mostra o diagrama de temporização ideal na parte (b).



◀ FIGURA 7-61

Gerador de clock de duas fases com formas de onda ideais. Abra o arquivo F07-61 e verifique a operação.





(a) Tela de um osciloscópio mostrando as formas de onda CLK A e CLK B com glitches indicados pelos spikes.

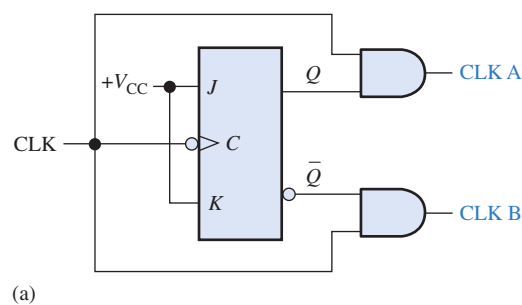
(b) Tela de um osciloscópio mostrando o atraso de propagação que cria glitches na forma de onda CLK A.

▲ FIGURA 7-62

Tela de um osciloscópio para o circuito dado na Figura 7-61.

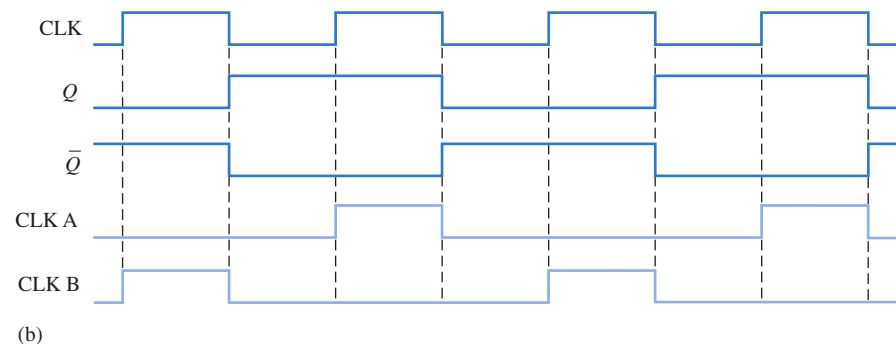
Quando o circuito é testado com um osciloscópio ou analisador lógico, as formas de onda CLK A e CLK B aparecem na tela como mostra a Figura 7-62(a). Como ocorrem glitches nas duas formas de onda, algo está errado com o circuito no projeto básico ou nas conexões. Investigações posteriores revelam que os glitches são causados por uma condição de **corrida** entre o sinal CLK e os sinais Q e \bar{Q} nas entradas das portas AND. Conforme mostrado na Figura 7-62(b), os atrasos e propagação entre CLK e Q e \bar{Q} criam uma coincidência de curta duração no nível ALTO nas bordas de subida dos pulsos de clock alternados. Portanto, existe uma falha no projeto básico.

O problema pode ser corrigido usando um flip-flop disparado por borda negativa no lugar do dispositivo disparado por borda positiva, como mostra a Figura 7-63(b).



► FIGURA 7-63

Gerador de clock de duas fases usando um flip-flop disparado por borda negativa para eliminar glitches. Abra o arquivo F07-63 para verificar a operação.



SEÇÃO 7-7
REVISÃO

1. Um flip-flop D disparado por borda negativa pode ser usado no circuito dado na Figura 7-63?
2. Qual dispositivo pode ser usado para prover o clock para o circuito dado na Figura 7-63?

Os problemas de análise de defeito que são abordados no CD-ROM estão disponíveis na Seção “Prática de Análise de Defeito Usando o Multisim” no final dos problemas do capítulo.

APLICAÇÕES EM
SISTEMAS DIGITAIS

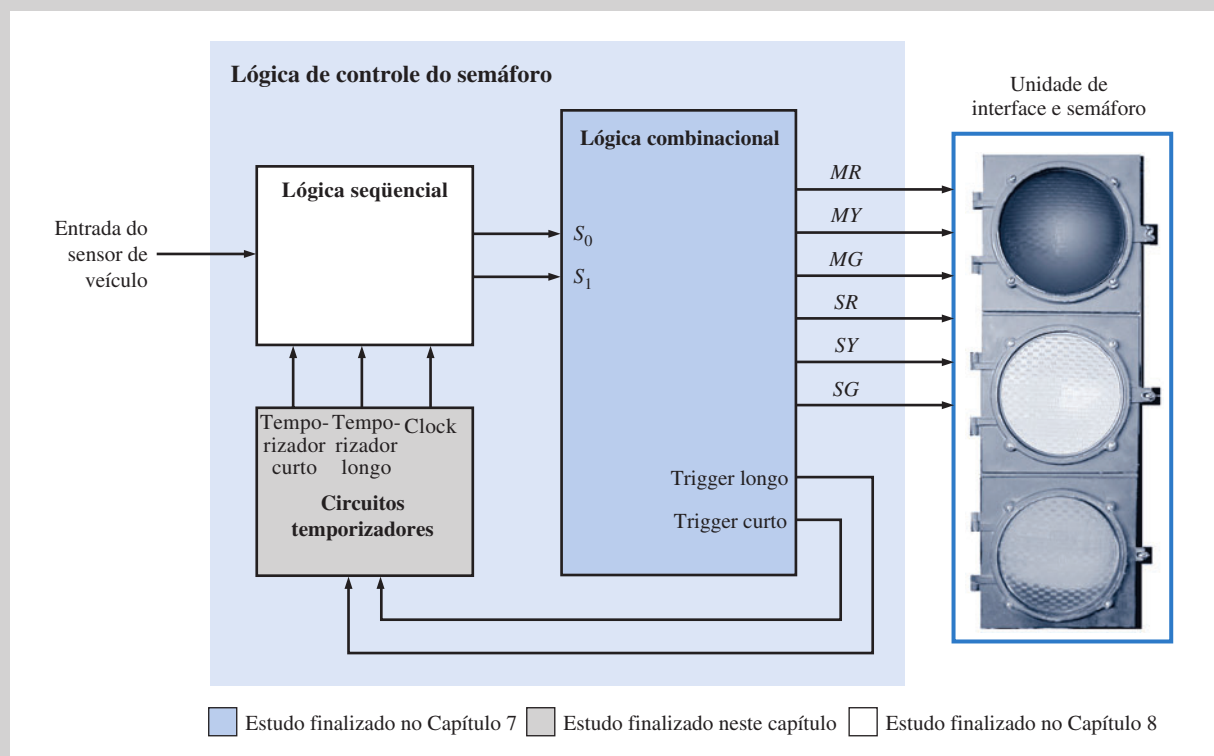
O sistema de controle de semáforo que iniciamos no Capítulo 6 tem continuidade neste capítulo. No capítulo anterior, foi desenvolvida a lógica combinacional.

Neste capítulo, são desenvolvidos os circuitos de temporização. Esses circuitos produzem um intervalo de tempo de 4 s para a luz de atenção (amarela) e um intervalo de tempo de 25 s para as luzes vermelha e verde. Além disso, é produzido um sinal de clock pelos circuitos de temporização. O diagrama em bloco geral

do sistema de controle de semáforo que foi introduzido no Capítulo 6 é mostrado novamente na Figura 7-64 para consulta.

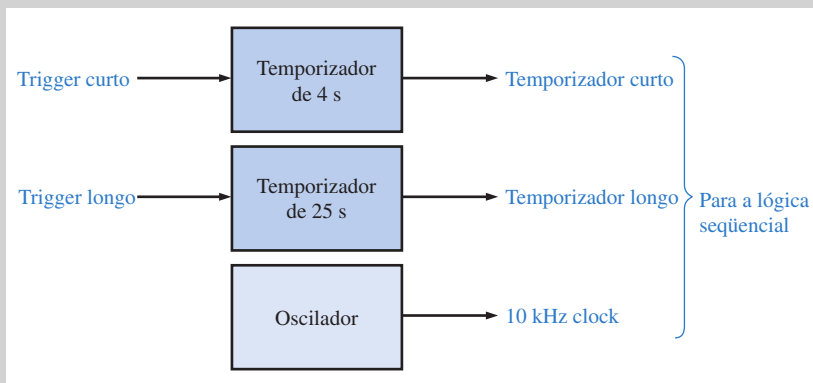
Requisitos do Circuito de Temporização

Os circuitos de temporização consistem de três partes – o temporizador de 4 s, o temporizador de 25 s e o oscilador de 10 kHz – conforme mostrado no diagrama em bloco mostrado na Figura 7-65. Os temporizadores de 4 s e 25 s são implementados com monoestáveis 74121 conforme mos-



▲ FIGURA 7-64

Diagrama em bloco do sistema de controle de um semáforo.



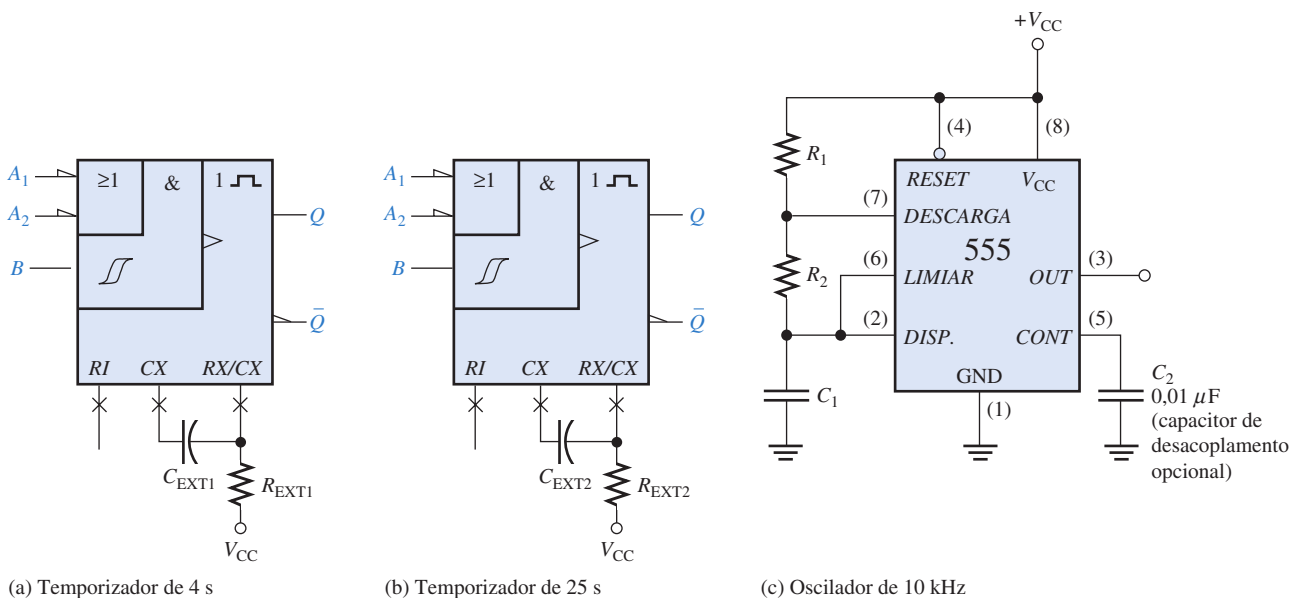
▲ FIGURA 7-65

Diagrama em bloco dos circuitos de temporização.

tra a Figura 7-66 (a) e (b). O oscilador de 10 kHz é implementado com um temporizador 555 como mostra a Figura 7-66(c).

Atribuições do Sistema

- **Atividade 1** Determine os valores de R e C externos para o temporizador de 4 s dado na Figura 7-66(a).
- **Atividade 2** Determine os valores de R e C externos para o temporizador de 25 s dado na Figura 7-66(a).
- **Atividade 3** Determine os valores de R e C para o oscilador 555 de 10 kHz dado na Figura 7-66(c).



▲ FIGURA 7-66

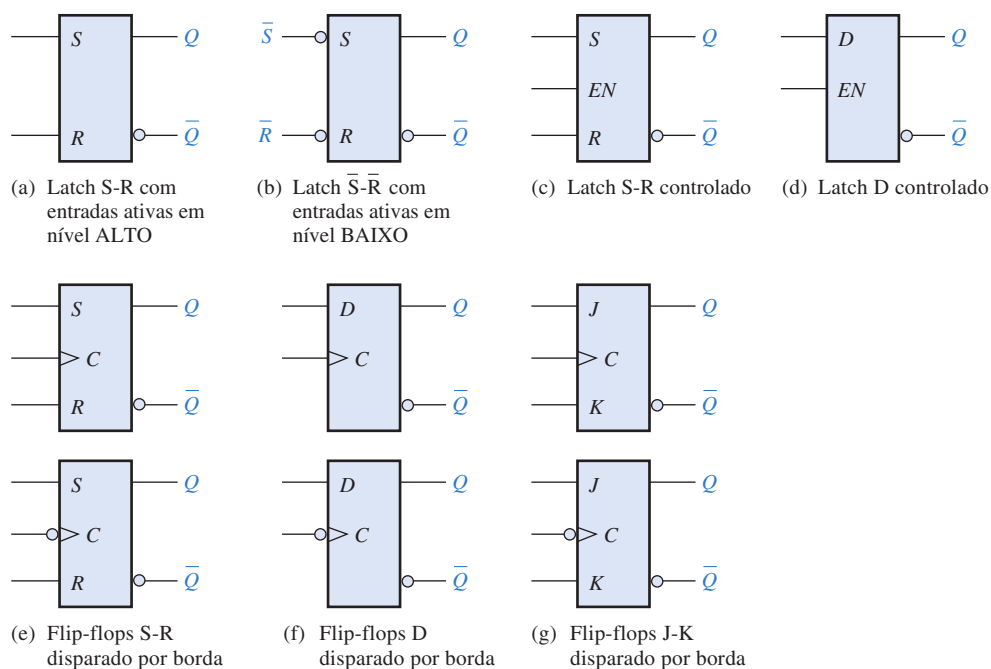
Os circuitos de temporização.

DICA PRÁTICA

Os glitches que ocorrem em sistemas digitais são muito rápidos (de duração extremamente curta) e podem ser difíceis de visualizar num osciloscópio, particularmente em taxas de varreduras mais lentas. Entretanto, um analisador lógico pode mostrar um glitch facilmente. Para procurar glitches usando um analisador lógico, selecione o modo “latch” ou (se disponível) amostragem de transição. No modo latch, o analisador procura por uma mudança de nível de tensão. Quando ocorre uma mudança, mesmo que ela seja de duração extremamente curta (alguns nanossegundos), a informação é “capturada” pela memória do analisador como um outro ponto de dado amostrado. Quando os dados são mostrados, o glitch aparece como uma mudança óbvia nos dados amostrados, sendo fácil identificá-lo.

RESUMO

- Símbolos para latches e flip-flops são mostrados na Figura 7-67.



► FIGURA 7-67

- Latches são dispositivos biestáveis cujos estados geralmente dependem das entradas assíncronas.
- Flip-flops disparados por borda são dispositivos biestáveis com entradas síncronas cujos estados dependem das entradas apenas no momento da transição ativa do pulso de clock. As mudanças na saída ocorrem na transição ativa do clock.
- Multivibradores monoestáveis têm um estado estável. Quando o monoestável é disparado, a saída vai para o estado instável por um tempo determinado por um circuito RC .
- Os multivibradores astáveis não têm estados estáveis e são usados como osciladores para gerar formas de onda de temporização em sistemas digitais.

TERMOS IMPORTANTES

Os termos importantes e outros termos em **negrito** destacados no capítulo são definidos no glossário que se encontra no final do livro.

Astável Não tem estado estável. Um multivibrador astável oscila entre dois estados quase estáveis.

Biestável Tem dois estados estáveis. Flip-flops e latches são multivibradores biestáveis.

Clear Uma entrada assíncrona usada para resetar um flip-flop (faz a saída $Q = 0$).

Clock A entrada de disparo de um flip-flop.

Dissipação de potência A quantidade de energia requerida por um circuito.

Flip-flop D Um tipo de multivibrador biestável no qual a saída assume o estado da entrada D na borda de disparo do pulso de clock.

Flip-flop disparado por borda Um tipo de flip-flop no qual os dados são inseridos e aparecem na saída na mesma borda do clock.

Flip-flop J-K Um tipo de flip-flop que pode operar nos modos SET, RESET, repouso e toggle (comutação).

Latch Um circuito digital biestável usado para armazenar um bit.

Monoestável Tem apenas um estado estável. Um multivibrador monoestável que produz um único pulso em resposta a uma entrada de disparo.

Preset Uma entrada assíncrona usada para setar um flip-flop (fazer a saída Q igual a 1).

RESET O estado de um flip-flop ou latch quando a saída é 0; a ação que produz o estado de RESET.

SET O estado de um flip-flop ou latch quando a saída é 1; a ação que produz o estado de SET.

Síncrono Tem uma relação de tempo fixo.

Tempo de atraso de propagação O intervalo de tempo necessário após um sinal de entrada ter sido aplicado e a mudança resultante na saída ocorrer.

Tempo de hold O intervalo de tempo necessário para os níveis de controle permanecerem nas entradas de um flip-flop após a borda de disparo do clock para a ativação confiável do dispositivo.

Tempo de setup O intervalo de tempo necessário para os níveis de controle serem colocados nas entradas de um circuito digital, tal como um flip-flop, antes da borda de disparo de um pulso de clock.

Temporizador Um circuito que pode ser usado como um monoestável ou um oscilador.

Toggle A ação de um flip-flop quando comuta de estado a cada pulso de clock.

AUTOTESTE

As respostas estão no final do capítulo.

- Se um latch S-R tem um nível 1 na entrada S e um nível 0 na entrada R e em seguida a entrada S passa para o nível 0, o latch estará no estado
 - set
 - reset
 - inválido
 - clear
- O estado inválido de um latch S-R ocorre quando
 - $S = 1, R = 0$
 - $S = 0, R = 1$
 - $S = 1, R = 1$
 - $S = 0, R = 0$
- Para um latch D controlado, a saída Q sempre é igual a entrada D
 - antes do pulso de habilitação
 - durante o pulso de habilitação
 - imediatamente após o pulso de habilitação
 - as respostas (b) e (c) estão corretas
- Assim como o latch, o flip-flop pertence a uma categoria de circuitos lógicos conhecida como
 - multivibradores monoestáveis
 - multivibradores biestáveis
 - multivibradores astáveis
 - monoestáveis
- A finalidade da entrada de clock num flip-flop é
 - resetar o dispositivo
 - setar o dispositivo
 - sempre provocar uma mudança de estado na saída
 - fazer com que a saída assuma o estado que depende das entradas de controle (S - R , J - K ou D).
- Para um flip-flop D disparado por borda,
 - uma mudança de estado de um flip-flop pode ocorrer apenas na borda de um pulso de clock
 - o estado para o qual um flip-flop comuta depende da entrada D
 - a saída segue a entrada para cada pulso de clock
 - todas as alternativas anteriores estão corretas
- Uma característica que distingue o flip-flop J-K do flip-flop S-R é
 - a condição toggle
 - a entrada preset
 - o tipo de clock
 - a entrada clear
- Um flip-flop está na condição toggle quando
 - $J = 1, K = 0$
 - $J = 1, K = 1$
 - $J = 0, K = 0$
 - $J = 0, K = 1$
- Um flip-flop J-K com $J = 1$ e $K = 1$ tem uma entrada de clock de 10 kHz. A saída Q é
 - constantemente nível ALTO
 - constantemente nível BAIXO
 - uma onda quadrada de 10 kHz
 - uma onda quadrada de 5 kHz

10. Um monoestável é um tipo de
 (a) multivibrador com um estado estável (b) multivibrador astável (c) temporizador
 (d) as respostas (a) e (c) estão corretas (e) as respostas (b) e (c) estão corretas
11. A largura do pulso de saída de um monoestável não-redispáravel depende
 (a) dos intervalos de disparo (b) da tensão de alimentação
 (c) de um resistor e um capacitor (d) da tensão de limiar
12. Um multivibrador astável
 (a) requer uma entrada e disparo periódica (b) não tem estado estável
 (c) é um oscilador (d) produz uma saída de pulsos periódica
 (e) as respostas (a), (b), (c) e (d) estão corretas (f) as respostas (b), (c) e (d) estão corretas

PROBLEMAS

As respostas para os problemas de número ímpar estão no final do livro.

SEÇÃO 7-1 Latches

1. Se as formas de onda vistas na Figura 7-68 são aplicadas no latch com entradas ativas em nível BAIXO, desenhe a forma de onda da saída Q resultante em relação às entradas. Considere a saída Q iniciando em nível BAIXO.

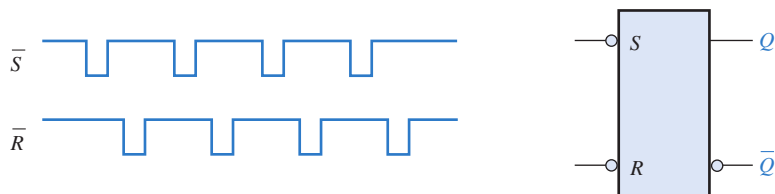


FIGURA 7-68

2. Resolva o Problema 1 para as formas de onda dadas na Figura 7-69 aplicadas num latch S-R com entradas ativas em nível ALTO.

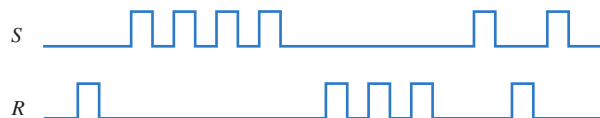


FIGURA 7-69

3. Resolva o Problema 1 para as formas de onda de entrada dadas na Figura 7-70.



FIGURA 7-70

4. Para um latch S-R controlado, determine as saídas Q e \bar{Q} para as entradas dadas na Figura 7-71. Mostre-as em relação à entrada de habilitação. Considere a saída Q iniciando em nível BAIXO.

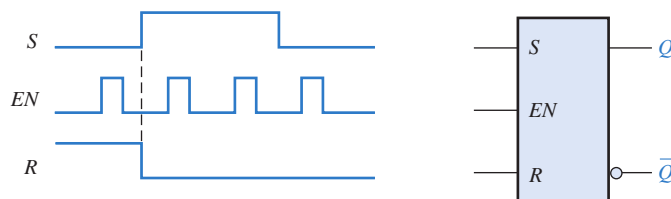
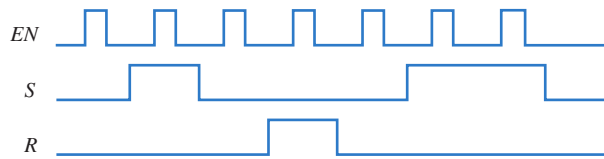
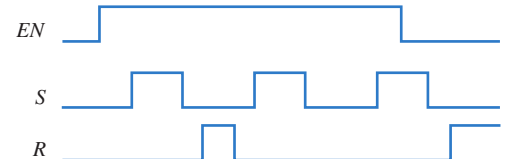


FIGURA 7-71

5. Resolva o Problema 4 para as entradas dadas na Figura 7-72.
 6. Resolva o Problema 4 para as entradas dadas na Figura 7-73.

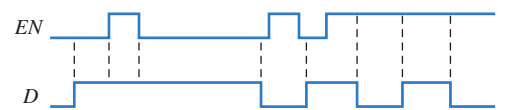


▲ FIGURA 7-72



▲ FIGURA 7-73

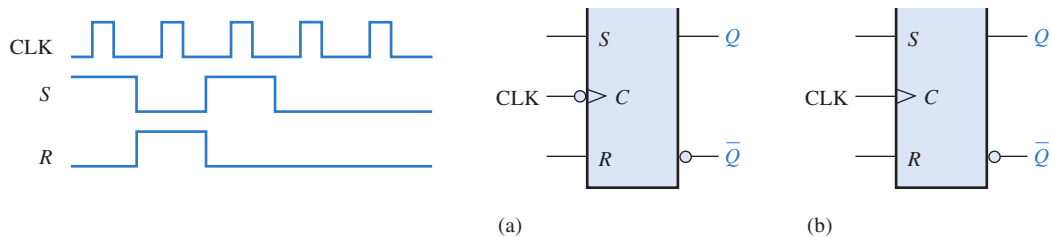
7. Para um latch controlado, as formas de onda mostradas na Figura 7-74 são observadas em suas entradas. Desenhe o diagrama de temporização mostrando a forma de onda de saída que você espera ver em Q se o latch estiver inicialmente *resetado*.



► FIGURA 7-74

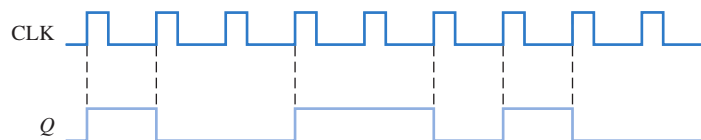
SEÇÃO 7-2 Flip-Flops Disparados por Borda

8. A Figura 7-75 mostra dois flip-flops S-R disparados por borda. Se as entradas são como mostra a figura, desenhe a saída Q de cada flip-flop em relação ao clock e explique a diferença entre os dois. Os flip-flops estão inicialmente resetados.



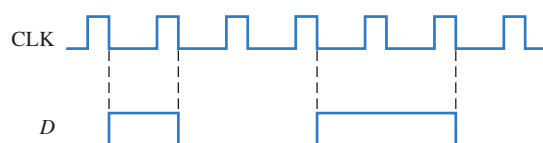
▲ FIGURA 7-75

9. A saída Q de um flip-flop S-R disparado por borda é mostrada em relação ao sinal de clock na Figura 7-76. Determine as formas de onda de entrada nas entradas S e R que são necessárias para produzir essa saída se o flip-flop é do tipo disparado por borda positiva.



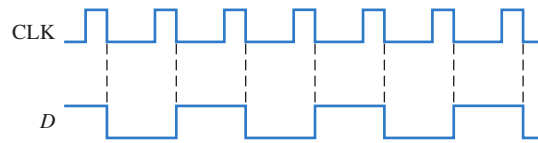
► FIGURA 7-76

10. Desenhe a saída Q em relação ao clock para um flip-flop D com as entradas conforme mostra a Figura 7-77. Considere a entrada de clock ativa na borda de subida e a saída Q inicialmente em nível BAIXO.



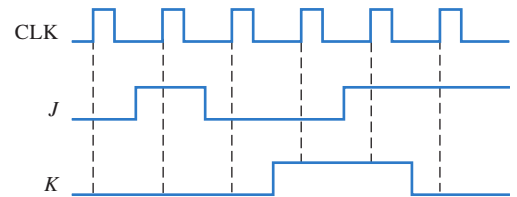
► FIGURA 7-77

11. Resolva o Problema 10 para as entradas dadas na Figura 7–78.



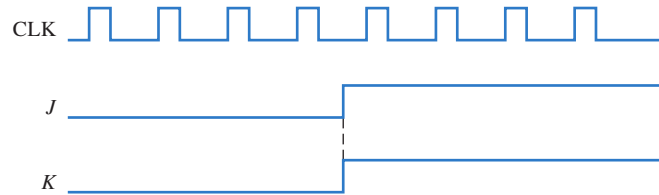
▲ FIGURA 7–78

12. Para um flip-flop J-K disparado por borda positiva com entradas conforme mostra a Figura 7–79, determine a saída Q em relação ao clock. Considere que a saída Q começa em nível BAIXO.

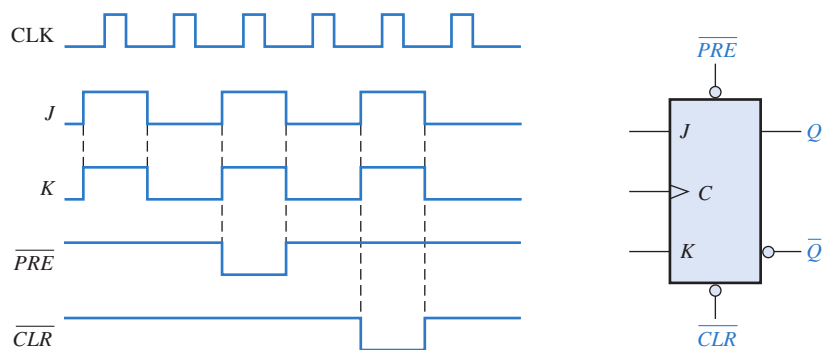


► FIGURA 7–79

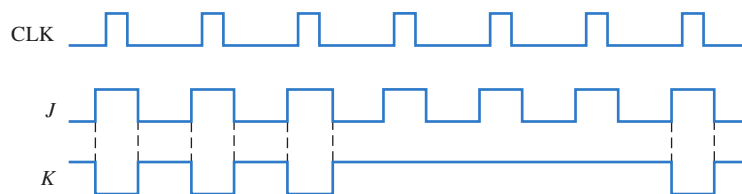
13. Resolva o Problema 12 para as entradas dadas na Figura 7–80.
14. Determine a forma de onda de Q em relação ao clock se os sinais mostrados na Figura 7–81 forem aplicados nas entradas do flip-flop J-K. Considere a saída Q inicialmente em nível BAIXO.
15. Para um flip-flop J-K disparado por borda negativa com as entradas dadas na Figura 7–82, desenvolva a forma de onda da saída Q em relação ao clock. Considere a saída Q inicialmente em nível BAIXO.



► FIGURA 7–80



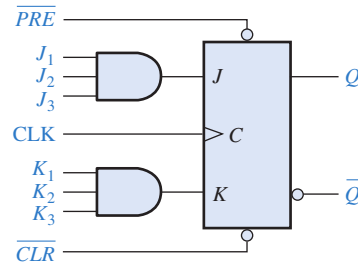
► FIGURA 7–81



► FIGURA 7–82

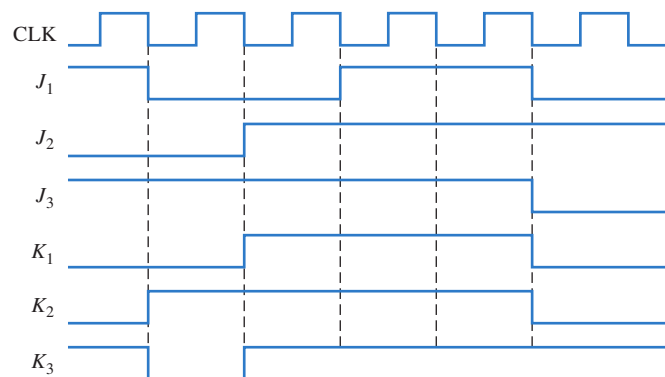
16. Os seguintes dados em série são aplicados ao flip-flop através das portas AND como indicado na Figura 7-83. Determine os dados em série resultantes que aparecem na saída Q . Existe um pulso de clock para cada tempo de bit. Considere a saída Q inicialmente em 0 e que \overline{PRE} e \overline{CLR} estejam em nível ALTO. Os bits mais à direita são aplicados primeiro.

J_1 : 1 0 1 0 0 1 1
 J_2 : 0 1 1 1 0 1 0
 J_3 : 1 1 1 1 0 0 0
 K_1 : 0 0 0 1 1 1 0
 K_2 : 1 1 0 1 1 0 0
 K_3 : 1 0 1 0 1 0 1



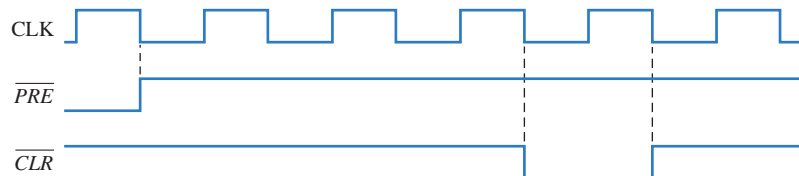
► FIGURA 7-83

17. Para o circuito dado na Figura 7-83, complete o diagrama de temporização dado na Figura 7-84 mostrando a saída Q (que está inicialmente em nível BAIXO). Considere que \overline{PRE} e \overline{CLR} permanecem em nível ALTO.



► FIGURA 7-84

18. Resolva o Problema 17 com as mesmas entradas J e K porém as entradas \overline{PRE} e \overline{CLR} como mostrado na Figura 7-85 em relação ao clock.

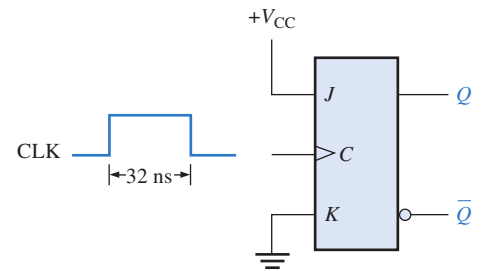


► FIGURA 7-85

SEÇÃO 7-3 Características de Operação dos Flip-Flops

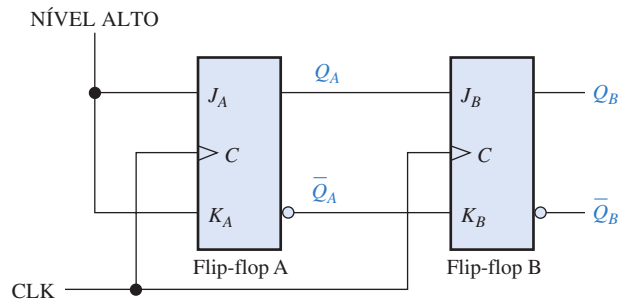
19. O que determina a dissipação de potência de um flip-flop?
20. As folhas de dados de um fabricante específica tipicamente quatro diferentes tempos de atrasos de propagação associados a um flip-flop. Nomeie e descreva cada um deles.
21. As folhas de dados de um certo flip-flop especifica que o tempo em nível ALTO mínimo para o pulso de clock é 30 ns e que o tempo em nível BAIXO mínimo é 37 ns. Qual a frequência máxima de operação?

22. O flip-flop mostrado na Figura 7-86 está inicialmente resetado. Mostre a relação entre a saída Q e o pulso de clock se o atraso de propagação t_{PLH} (clock para Q) é 8 ns.



► FIGURA 7-86

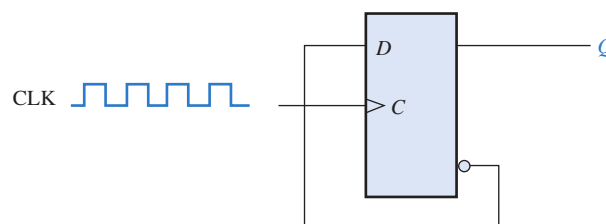
23. A corrente direta necessária para um flip-flop em particular que opera com uma fonte de +5 V cc é 10 mA. Um certo dispositivo digital usa 15 desses flip-flops. Determine a capacidade de corrente necessária para a fonte de +5 V cc e a dissipação de potência total do sistema.
24. Para o circuito dado na Figura 7-87, determine a frequência máxima do sinal de clock para uma operação confiável se o tempo de setup de cada flip-flop é de 2 ns e os atrasos de propagação (t_{PLH} e t_{PHL}) a partir do clock para a saída são de 5 ns para cada flip-flop.



► FIGURA 7-87

SEÇÃO 7-4 Aplicações de Flip-Flops

25. Um flip-flop D é conectado como mostra a Figura 7-88. Determine a saída Q em relação ao clock. Qual a função específica que esse dispositivo realiza?



► FIGURA 7-88

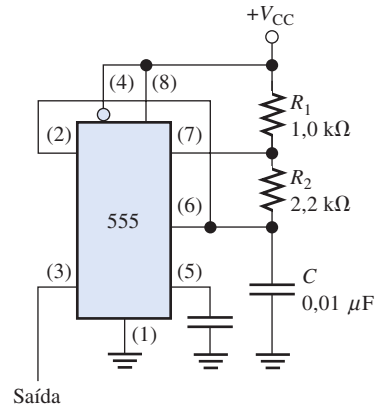
26. Para o circuito dado na Figura 7-87, desenvolva um diagrama de temporização para oito pulsos de clock, mostrando as saídas Q_A e Q_B em relação ao clock.

SEÇÃO 7-5 Monoestáveis

27. Determine a largura de pulso de um CI monoestável 74121 se o resistor externo for 3,3 kΩ e o capacitor externo for 2000 pF.
28. Um pulso de saída de 5 μs de duração deve ser gerado por um CI monoestável 74LS122. Usando um capacitor de 10000 pF, determine o valor da resistência externa necessária.

SEÇÃO 7-6 Temporizador 555

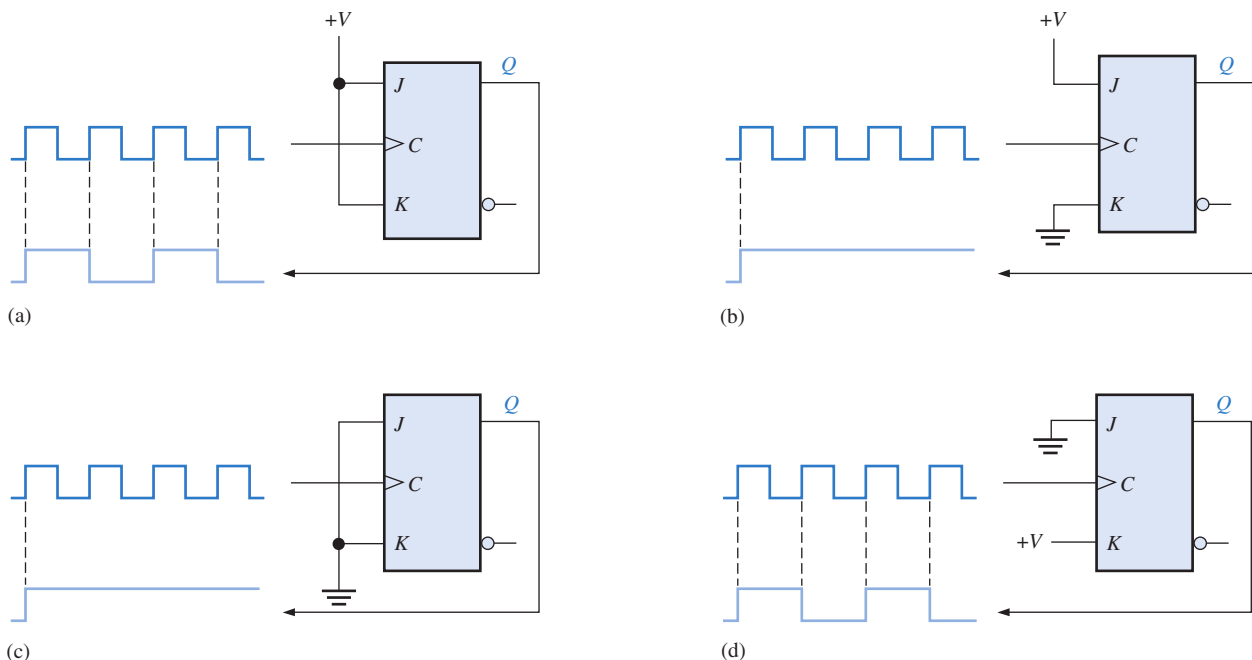
29. Projete um monoestável usando um temporizador 555 que produza um pulso de saída de 0,25 s.
30. Um temporizador 555 é configurado para funcionar como um multivibrador astável como mostra a Figura 7-89. Determine a frequência dele.

► **FIGURA 7-89**

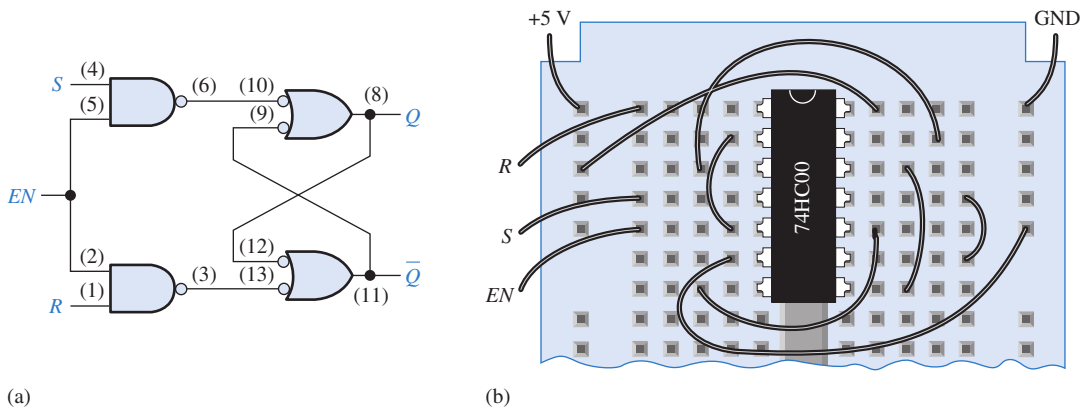
31. Determine os valores dos resistores externos para um temporizador 555 usado como um multivibrador astável com uma frequência de saída de 20 kHz, se o capacitor externo C é de $0,002\mu\text{F}$ e o ciclo de trabalho é aproximadamente 75%?

**SEÇÃO 7-7 Análise de Defeito**

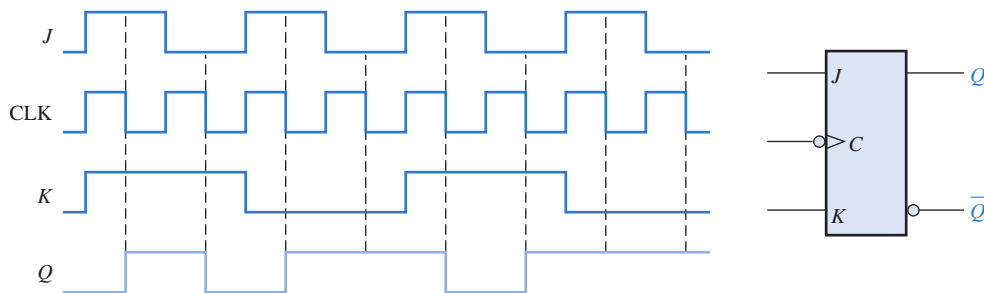
32. O flip-flop mostrado na Figura 7-90 é testado em todas as condições de entrada conforme mostrado. Ele está operando adequadamente? Em caso negativo, qual é o defeito mais provável?

▲ **FIGURA 7-90**

33. Um CI de quatro portas NAND (74HC00) é usado para construir um latch S-R controlado num protoboard num laboratório de eletrônica como mostra a Figura 7-91. O esquemático na parte (a) é usado para montar o circuito na parte (b). Quando se coloca o latch em operação, verifica-se que a saída Q permanece em nível ALTO não importando como as entradas estão. Determine o problema.
34. Determine se o flip-flop mostrado na Figura 7-92 está operando corretamente e, em caso negativo, identifique o defeito mais provável.



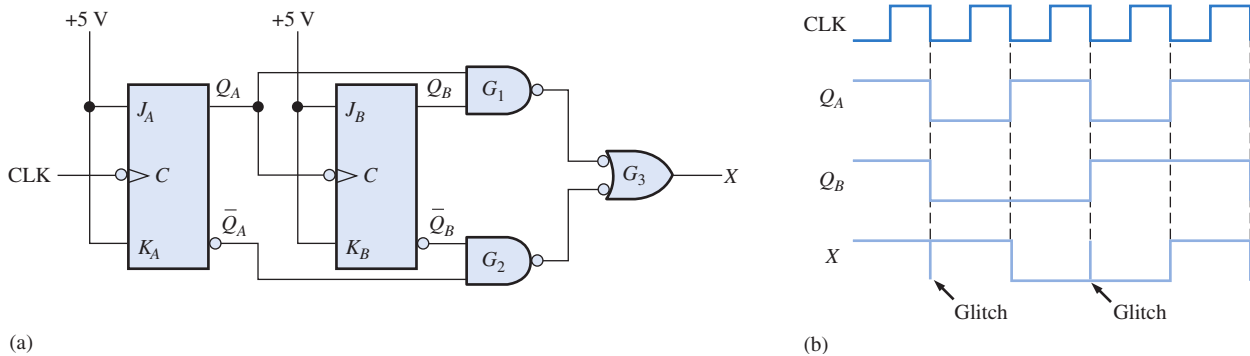
▲ FIGURA 7-91



▲ FIGURA 7-92

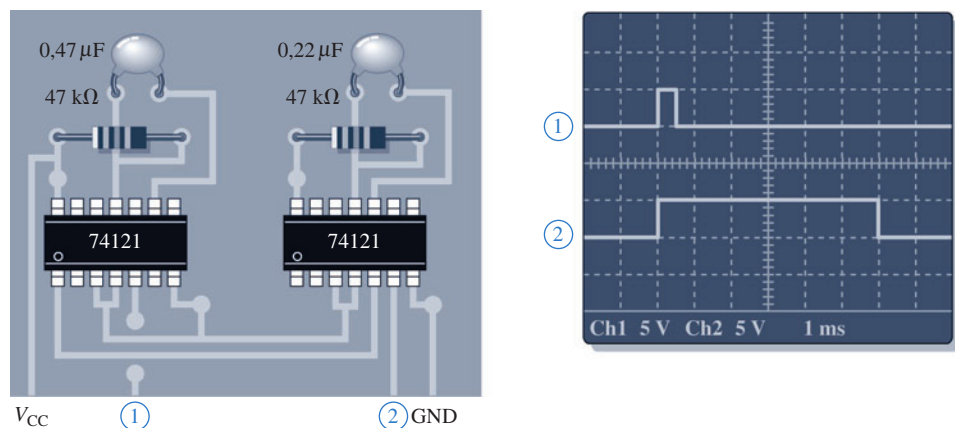
35. O circuito de armazenamento de dados em paralelo mostrado na Figura 7-36 não está funcionando corretamente. Para verificar isso, primeiro é verificado as conexões de V_{CC} e GND e em seguida aplica-se nível BAIXO em todas as entradas D e aplica-se um pulso na linha de clock. Verifica-se que as saídas Q estão todas em nível BAIXO; até agora, tudo bem. Em seguida, aplica-se nível ALTO em todas as entradas D e novamente aplica-se um pulso na linha de clock. Quando se verifica as saídas Q , encontra-se todas em nível BAIXO. Qual o problema e qual procedimento você usaria para isolar o defeito a um único dispositivo?

36. O circuito do flip-flop mostrado na Figura 7-93(a) é usado para gerar uma sequência de contagem binária. As portas formam um decodificador que supostamente produz um nível ALTO quando ocorre um binário zero ou um dos três estados binários (00 a 11). Quando se verifica as saídas Q_A e Q_B , encontramos o que podemos ver na parte (b) da figura, a qual revela glitches na saída do decodificador (X) além dos pulsos corretos. O que está causando os glitches e como eles podem ser eliminados?

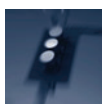


▲ FIGURA 7-93

37. Determine as saídas Q_A , Q_B e X ao longo de seis pulsos de clock no circuito dado na Figura 7-93(a) para cada um dos seguintes defeitos no circuito TTL. Comece com Q_A e Q_B em nível BAIXO.
- (a) entrada J_A aberta
 - (b) entrada K_B aberta
 - (c) saída Q_B aberta
 - (d) entrada de clock do flip-flop B curto-circuitada
 - (e) saída da porta G_2 aberta
38. Dois CIs monoestáveis 74121 são conectados numa placa de circuito como mostra a Figura 7-94. após observar a tela do osciloscópio você conclui que o circuito está operando corretamente? Em caso negativo, qual deve ser o problema mais provável?



► FIGURA 7-94



Aplicações em Sistemas Digitais

39. Use temporizadores 555 para implementar monoestáveis de 4 s e 25 s para os circuitos de temporização do sistema de controle de semáforo. A entrada de disparo do 555 não pode permanecer em nível BAIXO após a transição negativa, assim deve-se desenvolver um circuito que produza um pulso negativo (borda de descida) muito estreito para disparar os temporizadores longo e curto quando o sistema for para cada estado.



Problemas Especiais de Projeto

40. Projete um circuito de contagem básico que produza uma sequência binária de zero a sete usando flip-flops J-K disparados por borda negativa.
41. No departamento de embalagem de uma fábrica de bolas, as bolas caem num transportador e seguem em fila através de uma rampa até às caixas para serem embaladas. Cada bola que passa na rampa ativa uma chave que produz um pulso elétrico. A capacidade de cada caixa é de 32 bolas. Projete um circuito lógico para indicar quando uma caixa está cheia de forma que uma caixa vazia possa ser movida para a posição da extremidade da rampa.
42. Faça uma lista com as alterações de projeto que seriam necessárias no sistema de controle de semáforo para acrescentar 15 s à seta de conversão à esquerda na via principal. A seta de conversão ocorre após a luz vermelha e antes da luz verde. Modifique o diagrama de estado do Capítulo 6 para mostrar essas alterações.



Prática de Análise de Defeito Usando o Multisim

43. Abra o arquivo P07-43 e teste os latches para determinar qual deles está com defeito.
44. Abra o arquivo P07-44 e teste os flip-flops J-K para determinar qual deles está com defeito.
45. Abra o arquivo P07-45 e teste os flip-flops D para determinar qual deles está com defeito.
46. Abra o arquivo P07-46 e teste os monoestáveis para determinar qual deles está com defeito.
47. Abra o arquivo P07-47 e teste o circuito divisor por quatro para determinar se existe um defeito. Em caso afirmativo, identifique-o se possível.

RESPOSTAS

SEÇÕES DE REVISÃO

SEÇÃO 7-1 Latches

1. Três tipos de latches são S-R, S-R controlado e D controlado.
2. $SR = 00$, NC ; $SR = 01$, $Q = 0$; $SR = 10$, $Q = 1$; $SR = 11$, inválido.
3. $Q = 1$

SEÇÃO 7-2 Flip-Flops Disparados por Borda

1. A saída de um latch S-R controlado pode mudar em qualquer momento que a entrada de habilitação (EN) da porta estiver ativa. A saída de um flip-flop S-R disparado por borda pode mudar apenas na borda de disparo de um pulso de clock.
2. O flip-flop J-K não tem estado inválido como o flip-flop S-R.
3. A saída Q vai para nível ALTO na borda de subida do primeiro pulso de clock, vai para nível BAIXO na borda de subida do segundo pulso, vai para nível ALTO na borda de subida do terceiro pulso e vai para nível BAIXO na borda de subida do quarto pulso.

SEÇÃO 7-3 Características de Operação dos Flip-Flops

1. (a) O tempo de setup é o tempo necessário em que os dados na entradas devem estar presentes antes da borda de disparo do pulso de clock.
(b) Tempo de hold é o tempo necessário em que os dados devem permanecer nas entradas após a borda de disparo do pulso de clock.
2. O CI 74AHC74 pode operar na maior frequência, de acordo com a Tabela 7-5.

SEÇÃO 7-4 Aplicações de Flip-Flops

1. Um grupo de flip-flops de armazenamento de dados é um registrador.
2. Para a operação de divisão por 2 o flip-flop tem que ser toggle ($J = 1$, $K = 1$).
3. Seis flip-flops são usados num divisor por 64.

SEÇÃO 7-5 Monoestáveis

1. Um monoestável não-redisparável finaliza a temporização antes de responder a um outro disparo na entrada. Um monoestável redisparável responde a cada disparo na entrada.
2. A largura de pulso é definida pelos componentes R e C externos.

SEÇÃO 7-6 Temporizador 555

1. Um multivibrador astável não tem estado estável. Um multivibrador monoestável tem um estado estável.
2. Ciclo de trabalho = $(15 \text{ ms}/20 \text{ ms})100\% = 75\%$

SEÇÃO 7-7 Análise de Defeito

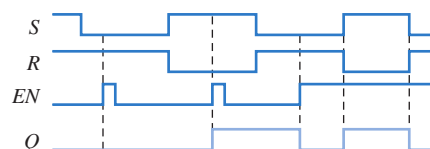
1. Sim, um flip-flop D disparado por borda negativa pode ser usado.
2. Um multivibrador astável usando um temporizador 555 pode ser usado para fornecer o clock.

PROBLEMAS RELACIONADOS APRESENTADOS NOS EXEMPLOS

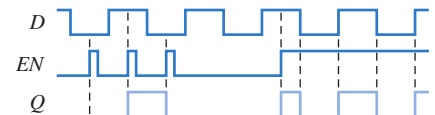
7-1. A saída Q é a mesma como mostra a Figura 7-5(b).

7-2. Veja a Figura 7-95. 7-3. Veja a Figura 7-96.

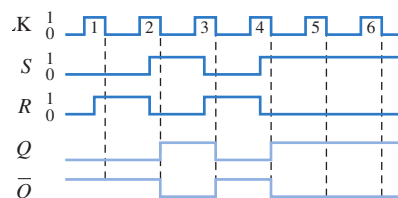
7-4. Veja a Figura 7-97. 7-5. Veja a Figura 7-98.



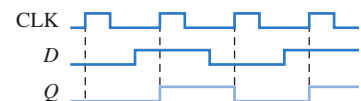
▲ FIGURA 7-95



▲ FIGURA 7-96



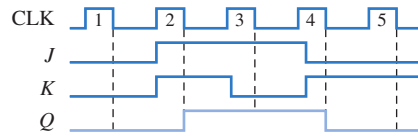
▲ FIGURA 7-97



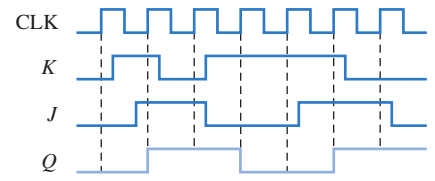
▲ FIGURA 7-98

7-6. Veja a Figura 7-99. 7-7. Veja a Figura 7-100.

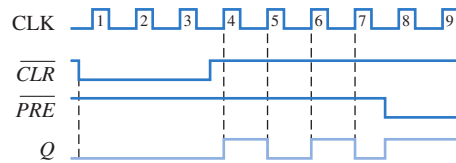
7-8. Veja a Figura 7-101. 7-9. Veja a Figura 7-102.



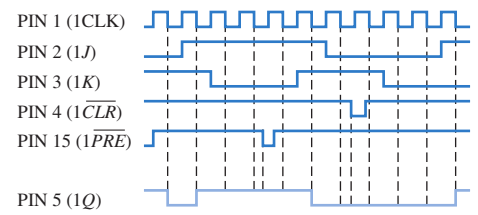
▲ FIGURA 7-99



▲ FIGURA 7-100



▲ FIGURA 7-101



▲ FIGURA 7-102

7-10. $2^5 = 32$. São necessários cinco flip-flops.

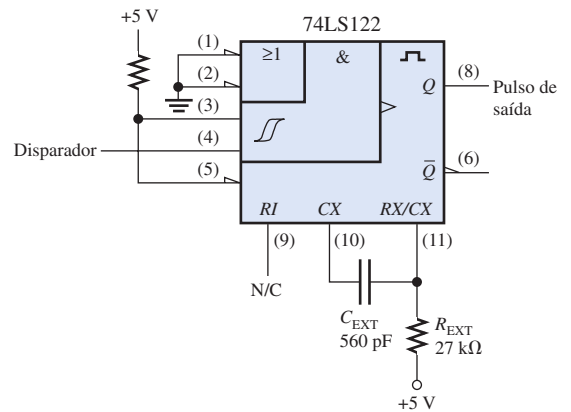
7-11. Dezesesseis estados necessitam de quatro flip-flops ($2^4 = 16$).

7-12. $C_{EXT} = 7143 \text{ pF}$ conectado de CX para RX/CX do CI 74121.

7-13. $C_{EXT} = 560 \text{ pF}$, $R_{EXT} = 27 \text{ k}\Omega$. Veja a Figura 7-103.

7-14. $R_1 = 91 \text{ k}\Omega$

7-15. Ciclo de trabalho $\cong 32\%$



► FIGURA 7-103

AUTOTESTE

1. (a) 2. (c) 3. (d) 4. (b) 5. (d) 6. (d) 7. (a) 8. (b)
9. (d) 10. (d) 11. (c) 12. (f)