

# Flip-flops

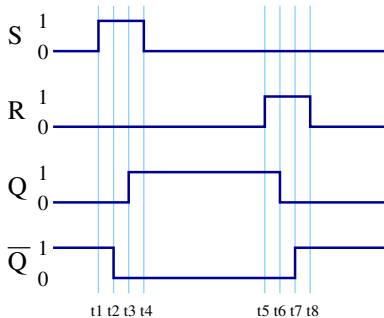
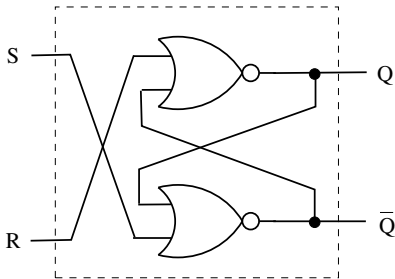
Revisão de:

SR (set-reset), SR com entrada para sinal de controle, JK

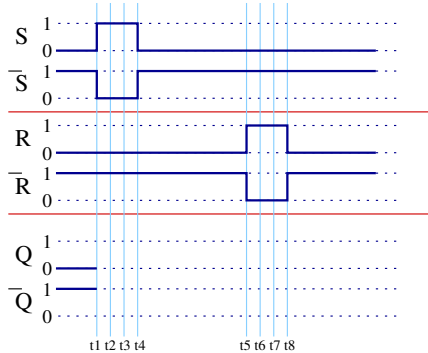
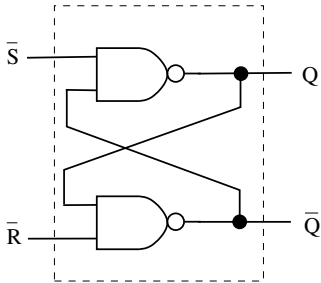
Veremos:

flip-flops mestre-escravo, exemplos de circuitos que usam flip-flops

# Latch SR com porta NÃO-OU



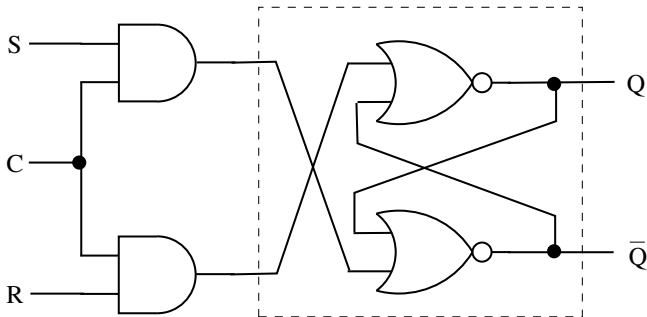
# Latch SR com porta NÃO-E



Complete a simulação

# Flip-flop SR com porta NÃO-OU

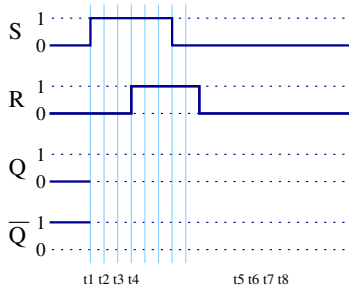
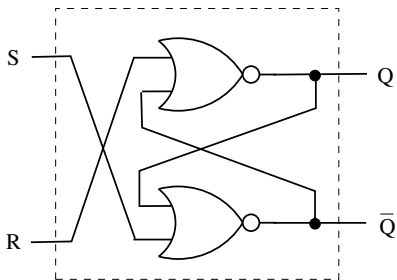
Um pulso na entrada  $C$ , com duração não mais que o suficiente para uma mudança de estado, permite sincronizar a mudança de estados simultânea de vários desses dispositivos.



Dois problemas:

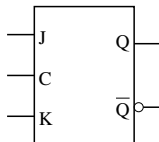
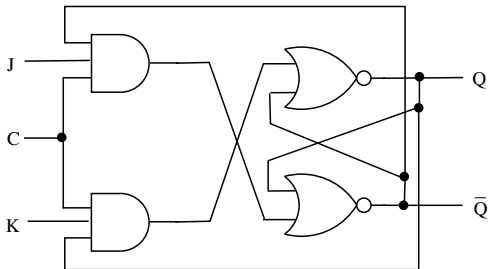
1. quando  $R=S=1$  simultaneamente
2. quando  $C = 1$  por longo tempo

# Problema 1: $S=R=1$

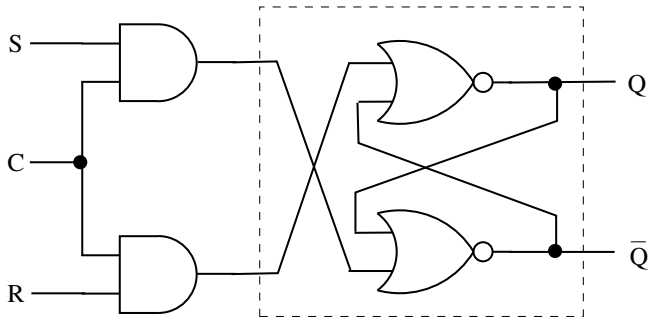


# Flip-flop JK

$J=K=1$  inverte o estado



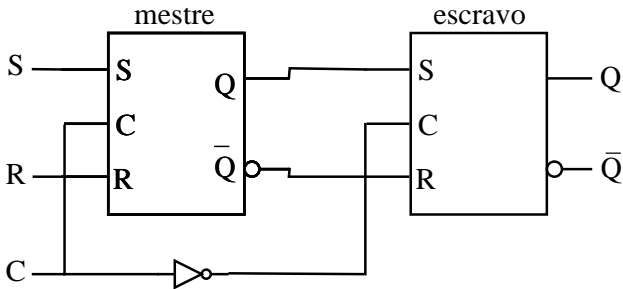
## Problema 2: C ativo por longo período de tempo





Simular ff RS com C ativo por looongo período de tempo

# Flip-flop mestre-escravo

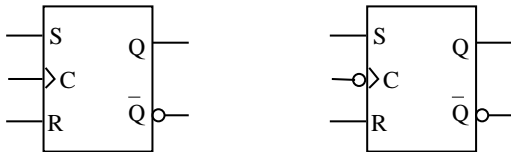


Garante que a cada pulso em C (independentemente de sua duração), ocorre apenas uma mudança de estado

Simular o flip-flop mestre-escravo

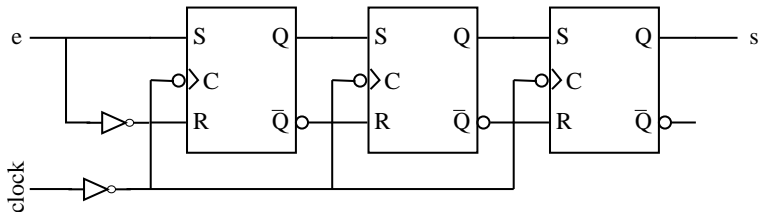
Estado muda quando sobe o sinal do clock ou quando baixa ?

# Flip-flops edge-triggered



Representação esquemática de *flip-flops* mestre-escravo *edge-triggered*.  
A mudança de estado pode ocorrer somente na subida (diagrama da esquerda) ou na descida (diagrama da direita) do sinal de controle.

# Registrador-deslocador serial



“e” é uma sequência de bits, sincronizada com o sinal do clock.

Cada flip-flop é um mestre-escravo ativado na descida do sinal de controle. Como a entrada  $\bar{C}$  recebe o sinal de clock negado, então o efeito que temos é a mudança de estado na subida do sinal de clock.

A cada pulso no sinal do clock os bits de “e” são deslocados uma posição para a direita. Os três flip-flops armazenam 3 bits.