

**Universidad Nacional Autónoma de México**

**Facultad de Ingeniería**

**Ingeniería en Computación**

**Laboratorio de Organización y Arquitectura de Computadoras**

**Práctica 01: Introducción a las herramientas de desarrollo de los FPGAs**

Alumnos:

- Murrieta Villegas Alfonso
- Reza Chavarria Sergio Gabriel
- Valdespino Mendieta Joaquin

Profesora: Ayesha Sagrario Román García

Grupo: 7

Fecha de entrega: 17 de septiembre de 2021

## **Práctica 01**

### **Objetivo**

Conocer las características de la tarjeta FPGA de dispositivos lógicos programables que se dispone para este laboratorio. Conocer Quartus, el software que se usara para la operación, programación en lenguaje VHDL y simulación de la tarjeta FPGA.

### **Introducción**

Una Tarjeta FPGA (Field Programmable Gate Array) es un circuito utilizado en la electrónica Digital, la cual tiene la capacidad de la reconfiguración del hardware de su programación. Esto siendo una modificación utilizada para ser dispositivos variables y versátiles, en comparación a un microprocesador.

Para el uso de este tipo de tarjetas los lenguajes utilizados para la programación de estos son VHDL y Verilog. La programación de las tarjetas se basa en la descripción del hardware que será utilizado e implementado

Para el manejo de las FPGA se utilizan diferentes tipos de ambientes para el manejo, configuración, compilación y ejecución de estos. En el curso se utilizará el software Intel Quartus Prime. Esta herramienta ayuda al diseño de entradas, optimización, verificación, simulación y descarga de los archivos programables de los archivos utilizados en las FPGA.

Debido al concepto de las FPGA, se utilizará el lenguaje de programación VHDL. Este lenguaje fue definido por IEEE (Institute of Electrical and Electronics Engineers) para ser utilizado en la descripción de circuitos digitales y para la automatización de diseño electrónico. El lenguaje consta de una estructura en la programación. Esta estructura se divide en 2 partes.

- Entidades: Declaración de los puertos de entrada y salida que serán utilizados.
- Arquitectura: Las acciones o los procesos que utilizaran los puertos y las variables.

## Material y Software

- Dispositivo: FPGA Altera Cyclone R©IV EP4CE22F17C6N
- Versión del software: Quartus Prime Lite Edition 15.1.0.185
- Plataforma: Windows

## Desarrollo

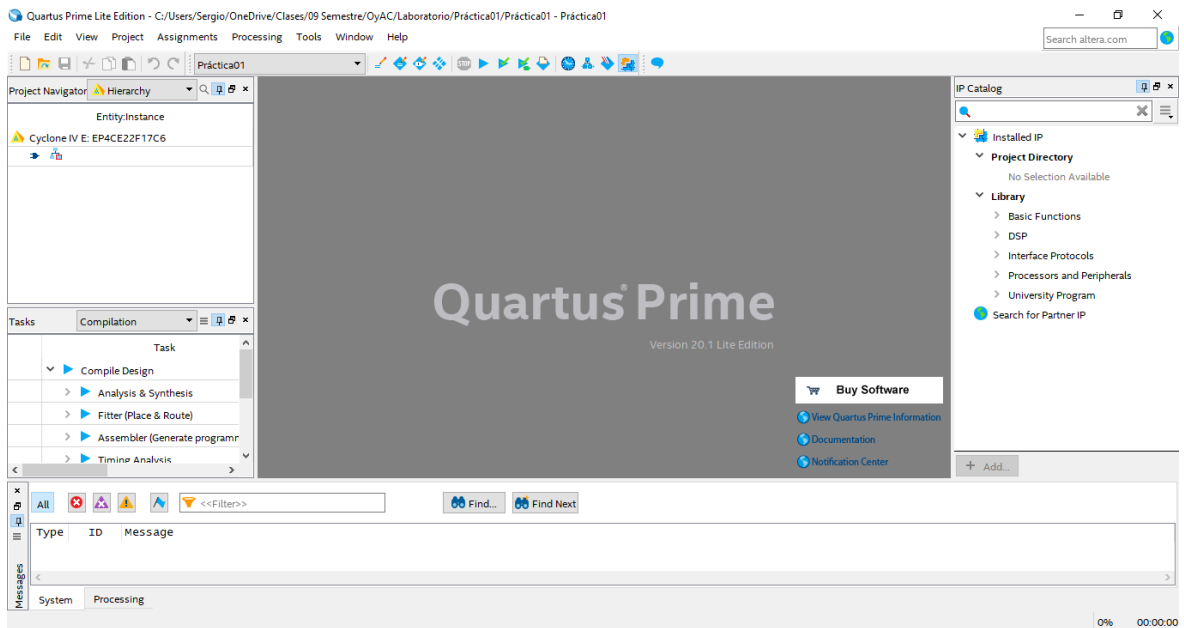
1. Creación de un nuevo proyecto
2. Simulación Básica Utilizando el Simulador Externo
3. Modifique los valores y configuraciones del reloj, la entrada RESET y la simulación para que se familiarice con el simulador
4. Simulación Básica utilizando el simulation Waveform Edition

## Resultados

A continuación, se anexarán las evidencias del desarrollo de la práctica.

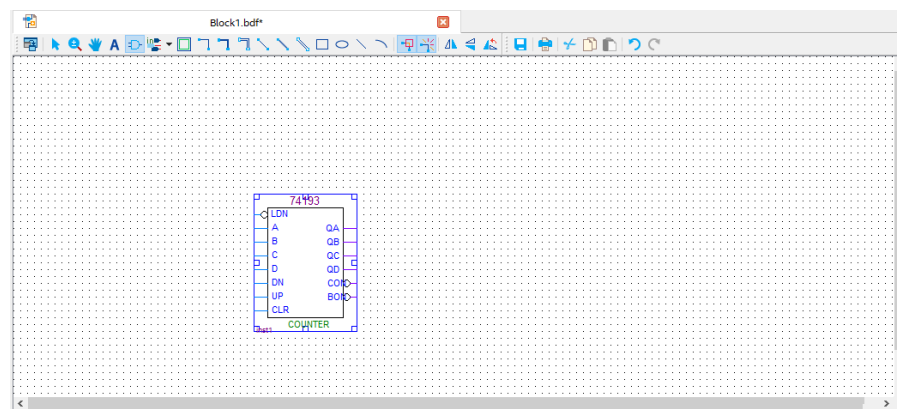
### *1. Creación de proyecto*

Se creó el proyecto asignando la familia de Cyclone IV E y el dispositivo EP4CE22F17C6. También se agregó de herramientas ModelSim-Altera con el formato VHDL.



*Ilustración 1: Creación del proyecto en Quartus Prime*

A continuación, se agregó el diagrama esquemático al proyecto y se agregó el contador 74193.



*Ilustración 2: Creación del archivo esquemático del contador*

Se agregaron las entradas y salidas asignadas a contador. Las entradas corresponden a el reloj interno y el botón de reset. Las salidas se pueden visualizar como led para el entendimiento de encendido y apagado.

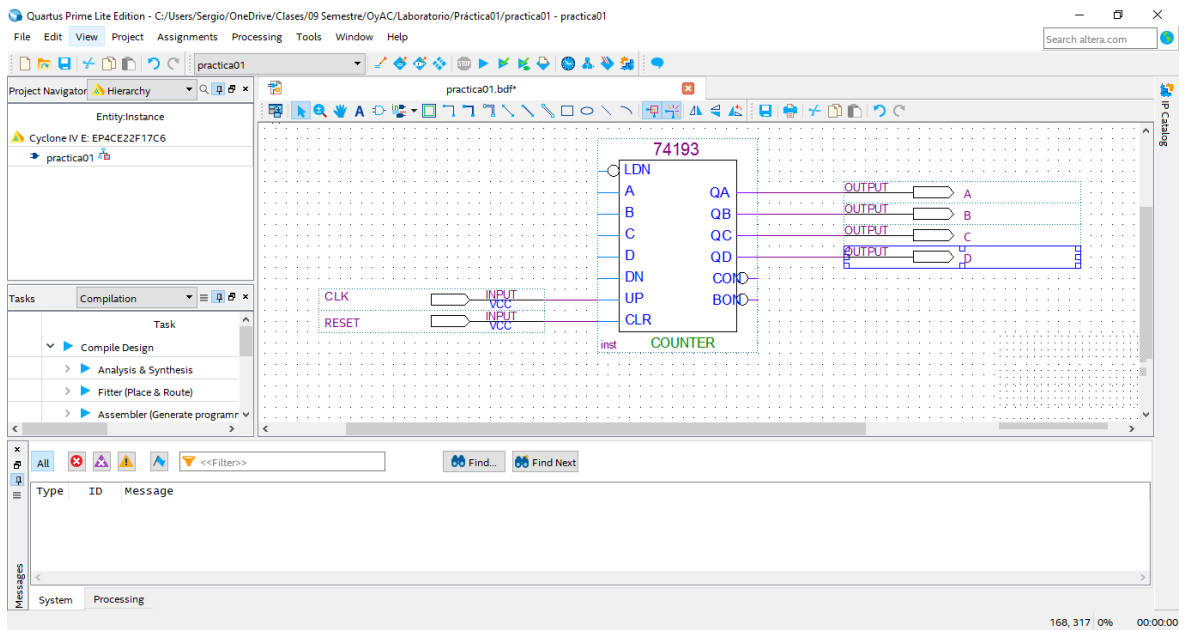


Ilustración 3: Diagrama esquemático del proyecto

La compilación del proyecto con el esquemático fue realizada.

Flow Summary	
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	practica01
Top-level Entity Name	practica01
Family	Cyclone IV E
Device	EP4CE22F17C6
Timing Models	Final
Total logic elements	7 / 22,320 (< 1 %)
Total registers	4
Total pins	6 / 154 (4 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Command: quartus\_eda --read\_settings\_files=off --write\_settings\_files=off practica01 -c practica01

18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM\_PARALLEL\_PROCESSORS in your project settings.

204019 Generated file practica01.vho in folder "c:/users/sergio/onedrive/clases/09 Semestre/OyAC/Laboratorio/Práctica01/simulation/modelsim/" for EDA simulation.

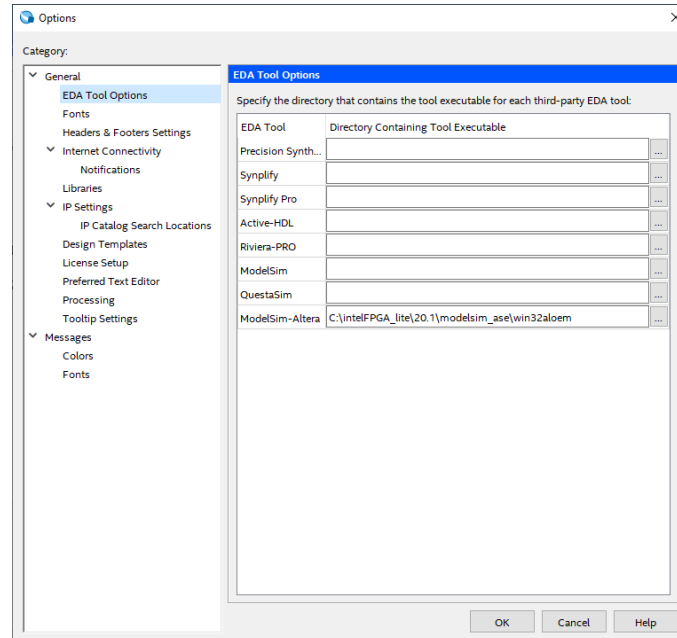
Quartus Prime EDA Netlist writer was successful. 0 errors, 1 warning

293000 Quartus Prime Full compilation was successful. 0 errors, 13 warnings

Ilustración 4: Compilación del proyecto

## 2. Simulación Básica Utilizando el Simulador Externo

Para la simulación, se descargaron los archivos correspondientes a ModelSim. Se necesitó configurar la ruta de ModelSim-Altera con la siguiente ruta:  
*C:\intelFPGA\_lite\20.1\modelsim\_ase\win32aloem*



*Ilustración 5: Asignación de ruta para hacer uso de ModelSim*

Se abrió el EDA Gate Level Simulator y se seleccionaron las entradas y salidas del proyecto en la sección de Wave

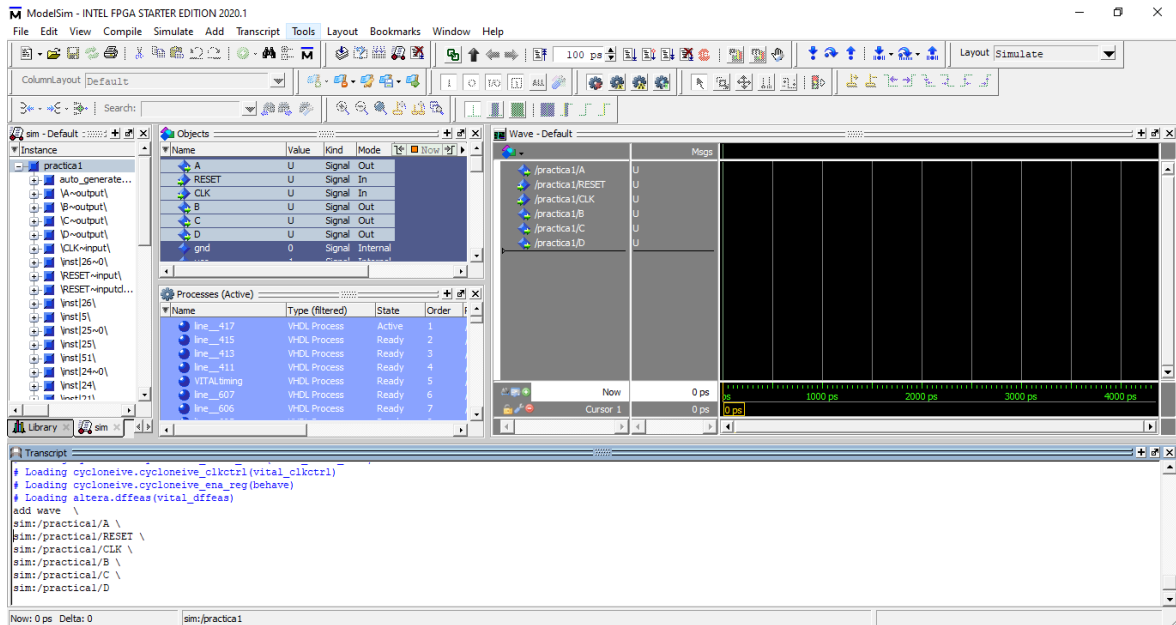


Ilustración 6: Vista principal de ModelSim

Se realizó la asignación de la frecuencia del reloj en el puerto de entrada CLK y se forzó el valor de RESET a 0. Al empezar la simulación se obtuvieron las señales de entrada y las señales de salidas obtenidas.

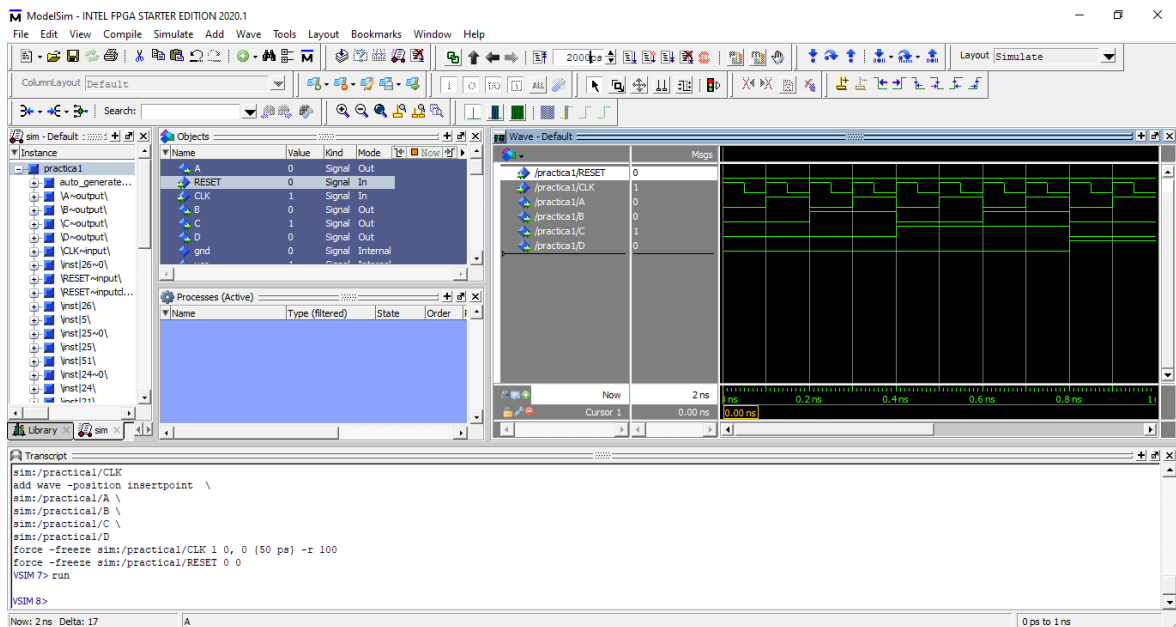
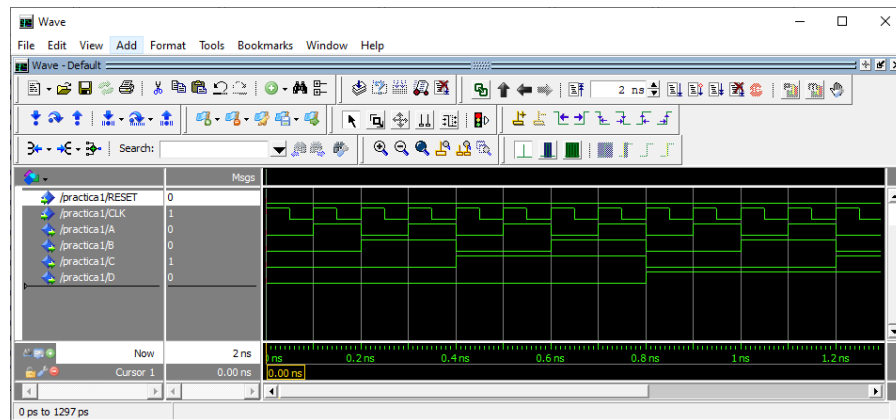


Ilustración 7: Simulación de las entradas y salidas del esquemático realizado

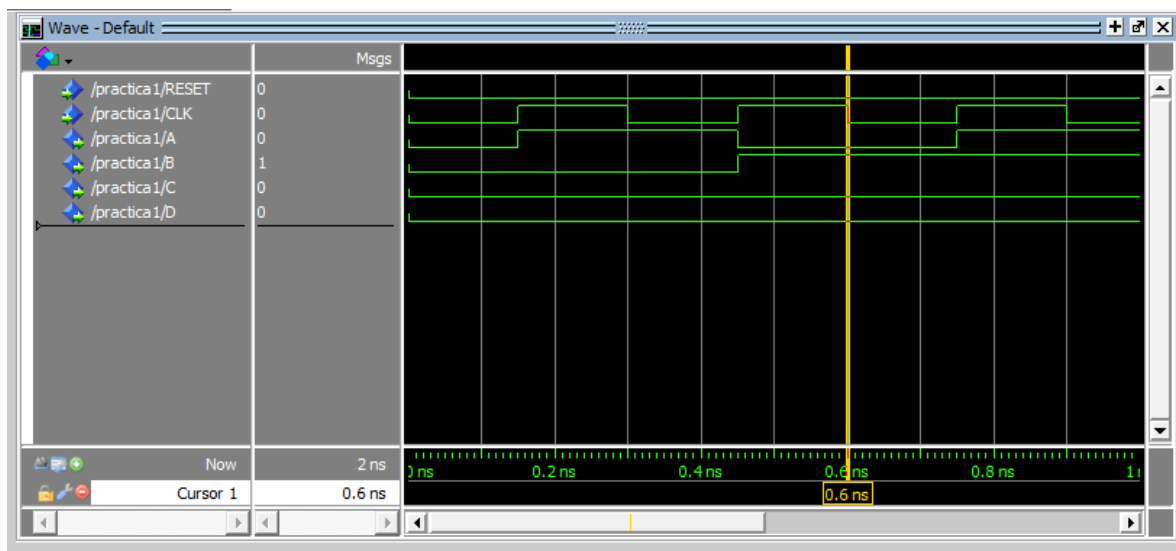
Se puede obtener el comportamiento de un contador con formato hexadecimal (0-F) a partir de los bits de salida en alto y en bajo.



*Ilustración 8: Visualización de la simulación*

### **3. Modifique los valores y configuraciones del reloj, la entrada RESET y la simulación para que se familiarice con el simulador**

Para esta prueba se cambió la frecuencia del reloj a 300Hz en flanco en Baja.



*Ilustración 9: Cambio en la frecuencia del reloj de entrada*

En la siguiente prueba se asignó el valor de Reset en 1, esto hace que el componente se mantenga en el estado inicial.



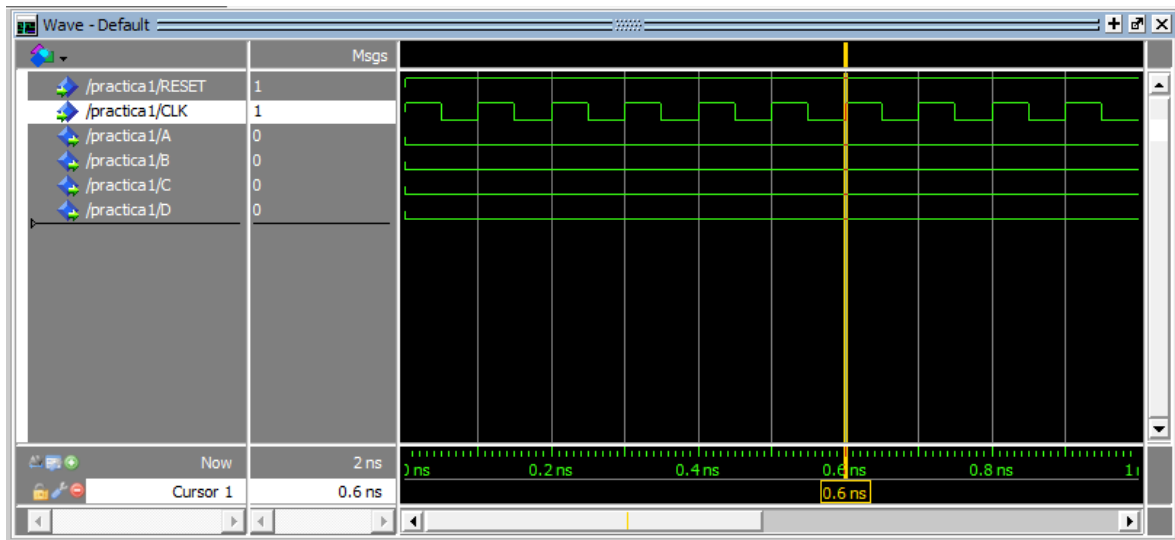


Ilustración 10: Asignación de valor de 1 en RESET

Se realizó un retraso en el Reset para que se activara el botón de reset a los 250 ms. Cuando se active el contador estará en reset.

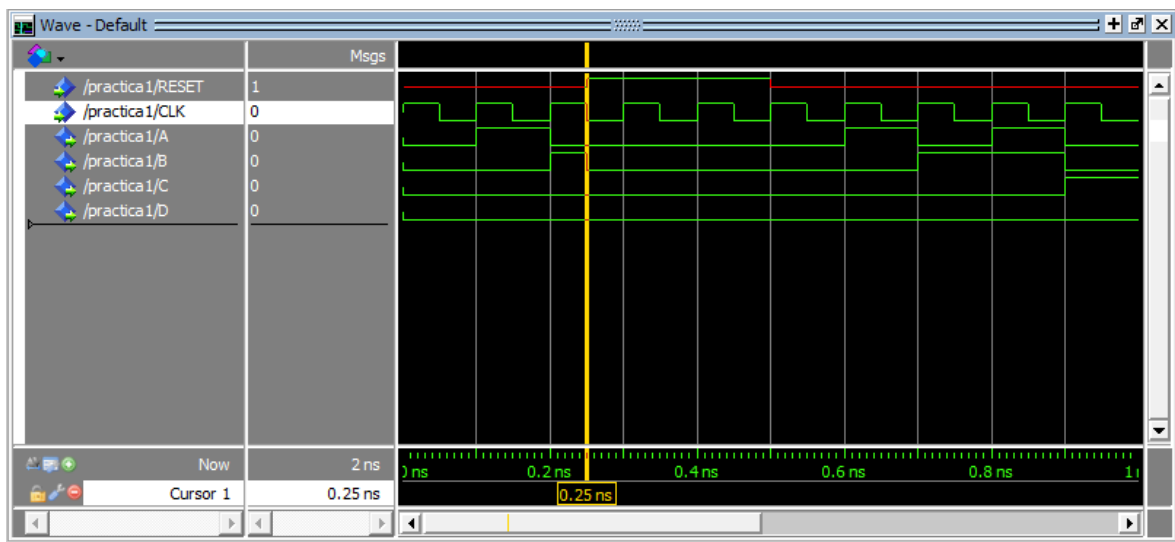
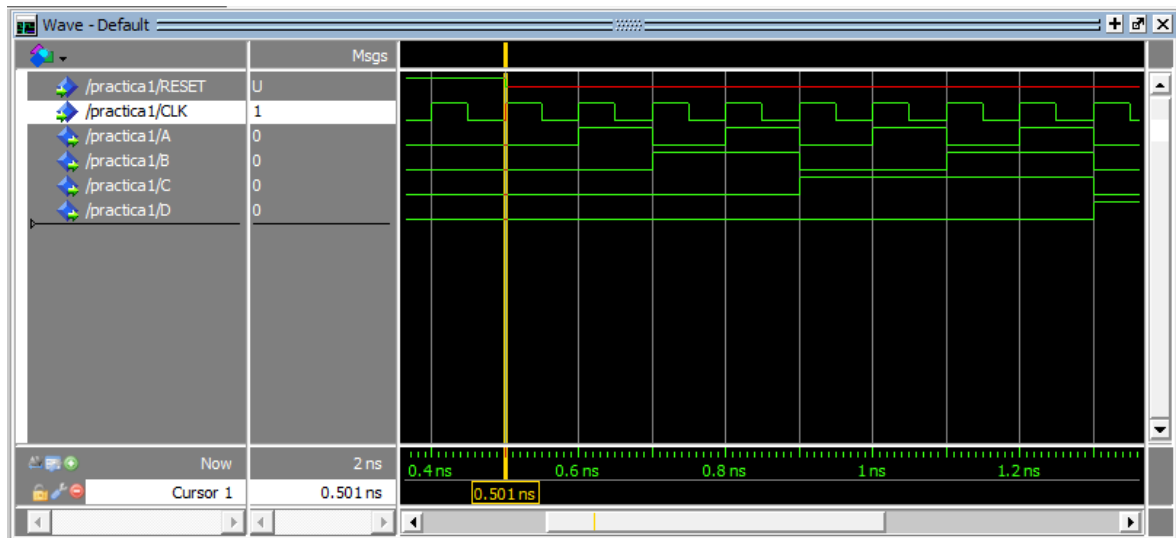


Ilustración 11: Variación en la asignación de valores en las entradas

A los 500 ms se apaga el reset y el contador funciona de manera normal, la cuenta se reinicia.



#### 4. Simulación Básica utilizando el simulation Waveform Editor

Se realizó la segunda forma en simulación en Quartus Prime. Se creó un nuevo archivo de University Program VWF. Se insertaron los nodos a partir del archivo creado con anterioridad.

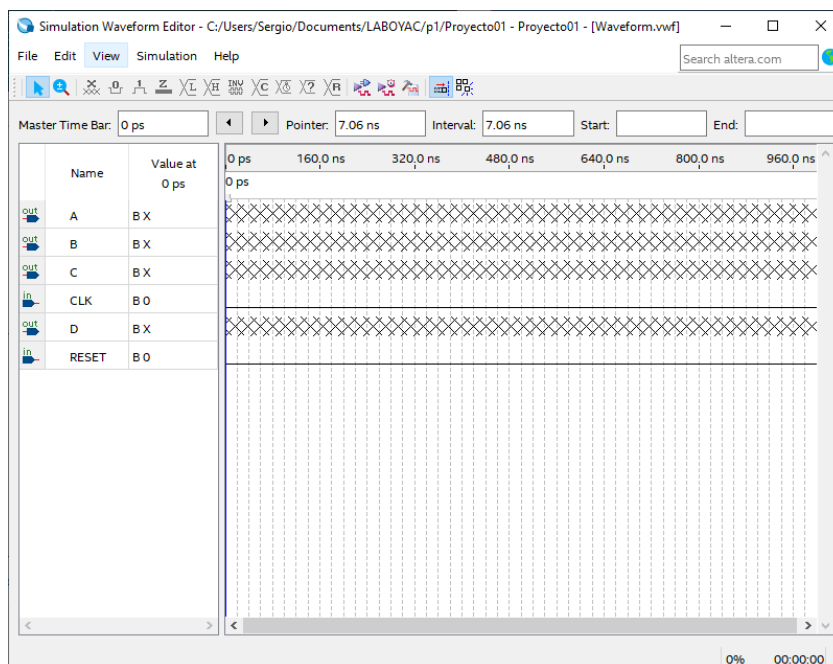
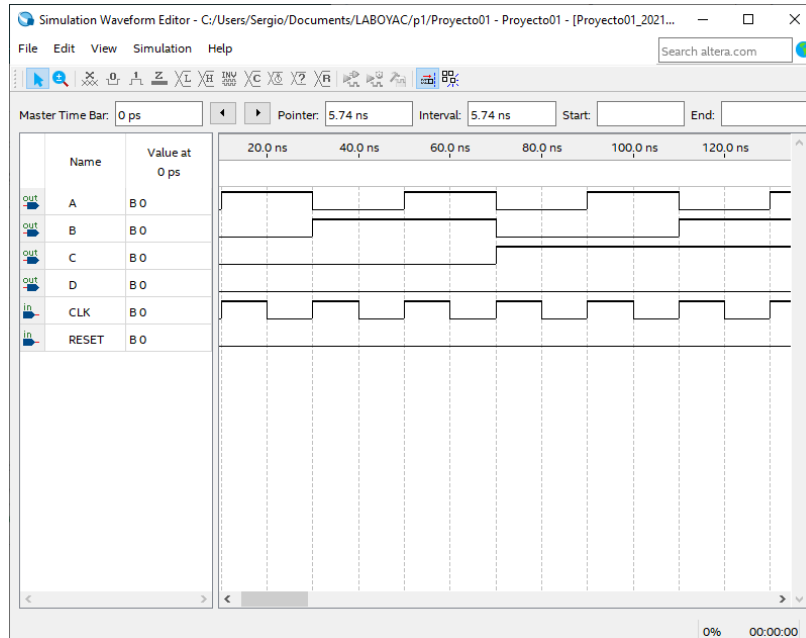
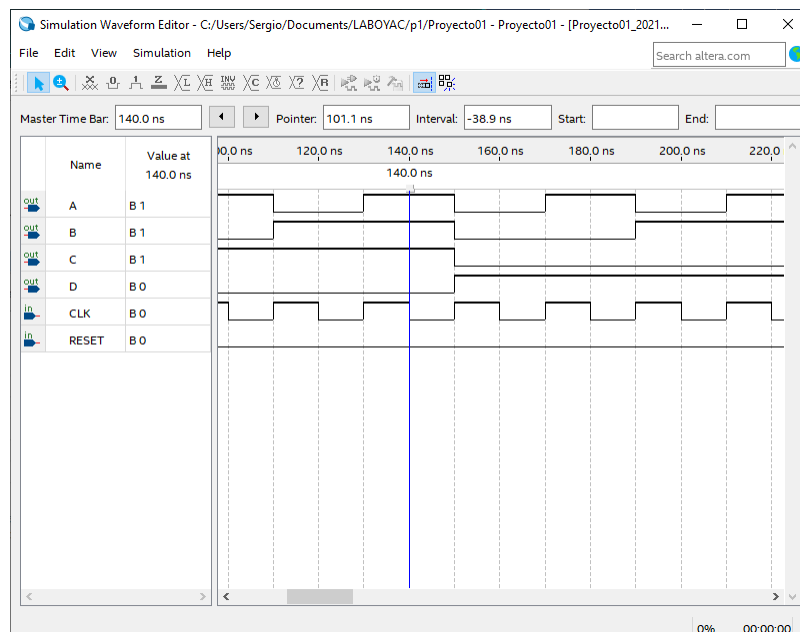


Ilustración 12: Ventana de Simulation Waveform con la inserción de nodos de las entradas y salidas

Se asignaron los valores de entrada, el reloj y el reset, para la realización de la simulación por medio Waveform. Al compilar el programa se genera otra ventana con las salidas. Se puede revisar los valores obtenidos a partir de la barra de tiempo.

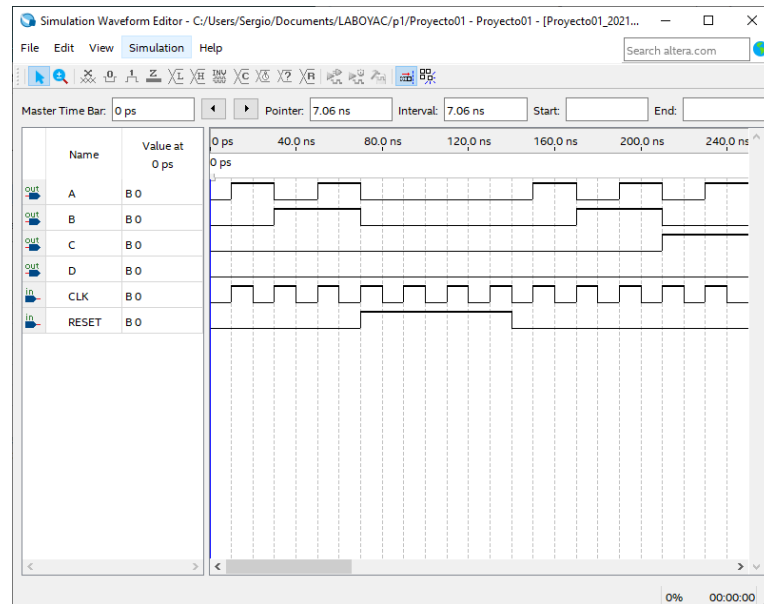


*Ilustración 13: Compilación del simulador con las salidas correspondientes*



*Ilustración 14: Visualización de resultados*

El manejo de las entradas en Waveform se pueden modificar a partir de la malla de visualización, esta manera es más sencilla para el manejo personalizado de las entradas, en comparación a modelsim, el simulador externo.



*Ilustración 15: Manejo de valores a partir de las celdas del simulador*

## Conclusiones

*Murrieta Villegas Alfonso*

Con base en materias previas como Diseño Digital Moderno y Diseño VLSI en la presente práctica aplicamos nuestros conocimientos técnicos para la manipulación básica de Quartus Prime y Model Sim.

A su vez, entendimos el funcionamiento e implementación de las formas de onda o WaveForms en Model Sim con el objetivo de poder simular nuestras salidas y entradas de los distintos sistemas que realizaremos a lo largo del semestre.

Por último, aprendimos a desarrollar esquemáticos o diagramas de bloques con el objetivo de sustituir nuestra FPGA física mediante Model Sim, además de poder observar cada módulo de hardware con el que trabajaremos.

*Reza Chavarria Sergio Gabriel*

A partir del manejo de los programas a realizar en la materia de Organización y Arquitectura de computadoras el manejo de las máquinas de estados se pueden representar por medio de Quartus prime, por medio de esquemáticos o por la programación.

Las simulaciones nos ayudarán en la visualización gráfica de las máquinas a realizar. Existen diferentes maneras de visualización. Por un lado está el simulador externo, el cual maneja de manera básica las entradas, y en Waveform el cual da variedad en el manejo de las entradas y tiene el manejo de opciones más intuitivo.

*Valdespino Mendieta Joaquin*

En la presente práctica, a grandes rasgos una introducción al ambiente de trabajo, en este caso un IDE especializado para la materia, permitiendo programar mediante esquemáticos o VHDL las diferentes tareas, máquinas de estados, que se presenten para resolver un determinado problema, por lo tanto, el apartado de simulación nos permitirá

observar el correcto funcionamiento de nuestras soluciones o implementaciones antes mencionadas, teniendo simulador WaveForm, simulador externo, o en su caso teniendo equipo físico poder cargarlo en la tarjeta correspondiente, asignando las entradas y las salidas correspondientes.

## Bibliografía

- Artega, V.(2018). FPGA, *¿Qué son? ¿Para qué sirven? y aplicaciones*. Encontrado el 11 de septiembre de 2021, de Intesc Sitio web: <https://www.intesc.mx/2018/09/fpga-que-son-para-que-sirven-y-aplicaciones-2/>
- Intel. (Desconocido). *Intel Quartus Prime Software Suite*. Encontrado el 11 de septiembre de 2021, de Intel. Sitio web: <https://www.intel.la/content/www/xl/es/software/programmable/quartus-prime/overview.html>
- BIORBOTICS (2020). *Laboratorio de Organización y Arquitectura de Computadoras Práctica No. 1 Introducción a las herramientas de desarrollo de los FPGAs*. Consultado el 10 de septiembre de 2021. Sitio web: [https://biorobotics.fi-p.unam.mx/wp-content/uploads/Courses/laboratorio\\_de\\_organizacion\\_y\\_arquitectura\\_de\\_computadoras/2020-2/practicas/practica1A.pdf](https://biorobotics.fi-p.unam.mx/wp-content/uploads/Courses/laboratorio_de_organizacion_y_arquitectura_de_computadoras/2020-2/practicas/practica1A.pdf)
- Wikilibros. (2018). Programación en VHDL. Encontrado el 11 de septiembre de 2021. Sitio Web: [https://es.wikibooks.org/wiki/Programaci%C3%B3n\\_en\\_VHDL/Introducci%C3%B3n](https://es.wikibooks.org/wiki/Programaci%C3%B3n_en_VHDL/Introducci%C3%B3n)