



Universidad Politécnica de Madrid

# Grado en Ingeniería Electrónica y Automática

Asignatura

SISTEMAS ELECTRÓNICOS DIGITALES

## **PROGRAMACIÓN DE UNA LAVADORA VHDL**

Curso 2019-2020



Universidad Politécnica de Madrid

# Grado en Ingeniería Electrónica y Automática

## Datos del Grupo

<i>DIEGO ESCALONA IRLA</i>	<i>53355</i>
<i>ELENA ACUÑA MATEOS</i>	<i>52215</i>
<i>EDUARDO FRANCISCO AZNAR TORRES</i>	<i>52236</i>

## 1. PLANTEAMIENTO DE LA MEMORIA

El presente proyecto consiste en la programación en VHDL del funcionamiento de una lavadora y su prueba en un sistema físico de simulación de una lavadora.

La programación se ha realizado utilizando Vivado Design Suite v2018.2 (64-bit), una suite de software producida por Xilinx para la síntesis y análisis de diseños HDL.

El desarrollo del proyecto se ha hecho siguiendo los pasos:

1. Estudio del funcionamiento de una lavadora.
2. Análisis de las señales de entrada y salida del módulo principal de la lavadora.
3. Diseño de los submódulos que componen el módulo principal, así como de las señales de entrada y salida de cada submódulo y las interacciones de señales entre ellos.
4. Diseño de la máquina de estados del submódulo FSM Control.
5. Desarrollo en VHDL de cada uno de los submódulos.
6. Simulación y prueba de cada submódulo.
7. Integración de todos los desarrollos VHDL de los submódulos.
8. Simulación y prueba de la integración.
9. Diseño y montaje del sistema físico de simulación de la lavadora.
10. Prueba del desarrollo VHDL en el sistema físico de simulación de la lavadora.

## 2. DESCRIPCIÓN DE LOS MÓDULOS

### 2.1 MÓDULO PRINCIPAL: LAVADORA

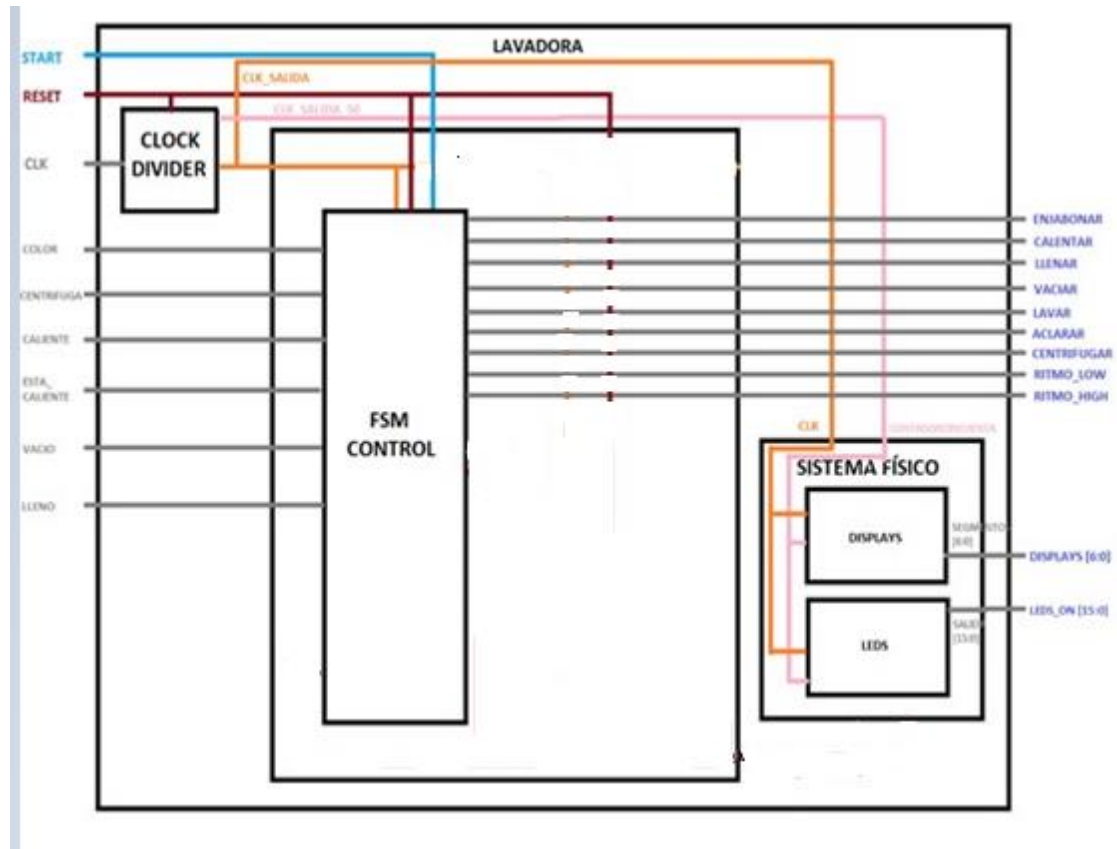
Este módulo es el encargado de desarrollar el funcionamiento de la lavadora así como de integrar todas las entradas y salidas hacia los sistemas físicos que contiene la lavadora.

A su vez, está formado por los siguientes submódulos:

- Clock divider
- Control
  - FSM Control
- Sistema físico
  - Displays
  - Leds

A continuación, se presenta el diagrama del módulo principal de la lavadora, así como de los submódulos que lo componen y todas las señales de entrada y salida del módulo principal y de los submódulos.

Se puede comprobar en el proyecto.xpr como al generar el “Schematic” se obtiene un diseño similar al que se muestra a continuación:



#### ENTRADAS:

*start:* STD\_LOGIC – Botón de puesta en marcha de la lavadora (encendido/apagado).

*color:* STD\_LOGIC – Botón de ropa color (encendido/apagado).

*caliente:* STD\_LOGIC – Botón de utilizar agua caliente o fría (encendido/apagado).

*centrifuga:* STD\_LOGIC – Botón de centrifugado (encendido/apagado). *reset:* STD\_LOGIC – Botón de reinicio de la lavadora (encendido/apagado).

*esta\_caliente:* STD\_LOGIC – Sensor del calentador de agua (caliente/frío).

*vacio*: STD\_LOGIC – Sensor del agua del tambor (vacío/no vacío).

*lleno*: STD\_LOGIC – Sensor del agua del tambor (lleno/no lleno).

*clk*: STD\_LOGIC – Reloj de 100MHz que alimenta al módulo.

#### **SALIDAS:**

*displays*: STD\_LOGIC\_VECTOR (6 downto 0) – Vector para presentar los 7 segmentos de un display en función del estado de la lavadora.

*leds\_on*: STD\_LOGIC\_VECTOR (15 downto 0) – Vector para presentar 16 leds que muestran el progreso de la lavadora en cada estado.

## **2.2 CLK\_DIVIDER**

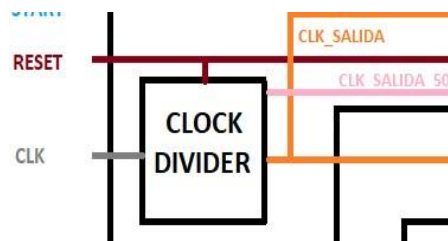
El submódulo CLK\_DIVIDER hace la función de divisor de la señal de reloj de la placa.

- Genera un reloj partiendo del reloj de entrada que se utilizará como reloj principal del módulo principal de la lavadora y de sus distintos submódulos.

*NOTA*: Consultar proyecto para ver los valores del *clk\_divider* utilizados para la implementación en la placa y los utilizados para las simulaciones.

- Genera un pulso de 20Hz (señal cada 50 ms), que se utilizará para cambiar el estado de leds y displays.

Para ello, se pone la señal a 1 en uno de cada 40 ciclos del reloj de 800Hz (50ms -> 20 Hz), manteniendo la señal a cero los otros 39.



#### **ENTRADAS:**

*reset*: STD\_LOGIC – Botón de reinicio de la lavadora (encendido/apagado).

*clk*: STD\_LOGIC – Reloj de 100MHz que alimenta al módulo.

#### **SALIDAS:**

*clk\_salida*: STD\_LOGIC - Reloj a 800Hz

*clk\_salida\_50*: STD\_LOGIC - Pulso a 20Hz para los displays. se pone a 1 un ciclo de cada 40 del reloj de 800Hz. El resto a cero.

## PLANTEAMIENTO DEL CÓDIGO DEL TEST

El único otro estímulo que crea este test, es una señal de Reset que dura 100ns y se introduce en el comienzo del test.

A fin de hacer más fácil el seguimiento de las señales en el test, la señal generada en vez de usar un contador de 62499 se usa un divisor por 9 para el reloj principal, y en vez del divisor por 39 uno de 4 para el pulso.

### Imágenes de la simulación

La primera imagen sirve para comprobar el correcto funcionamiento del divisor del reloj.

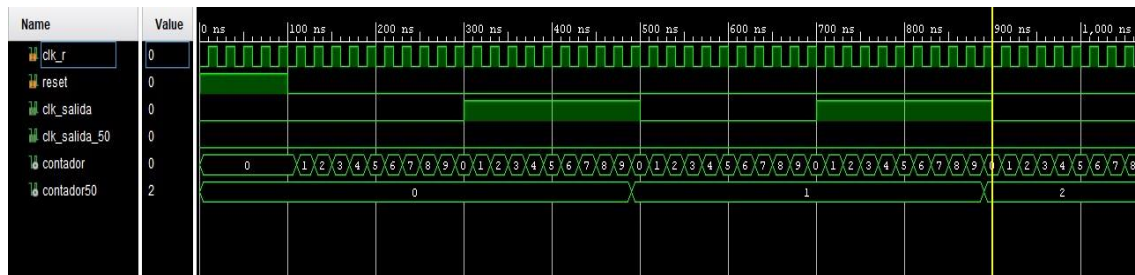


Imagen 1. Comprobación del funcionamiento del divisor de reloj

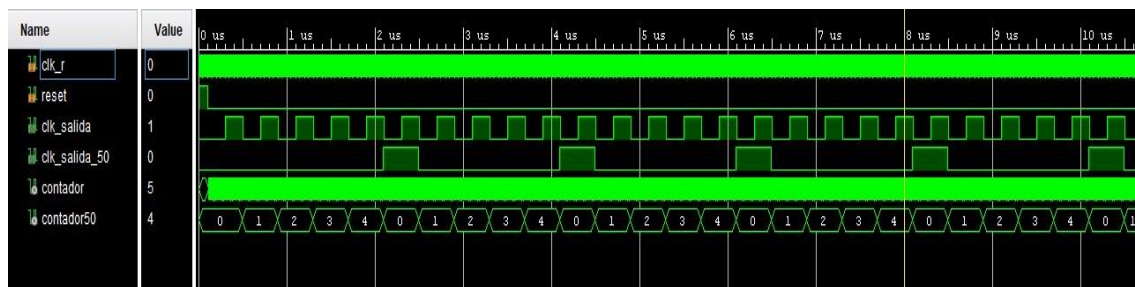


Imagen 2. Comprobación del correcto funcionamiento del pulso

## 2.3 CONTROL

El submódulo CONTROL controla la máquina de estados de la lavadora, las acciones que se ejecutan en cada estado, así como los cambios de estado en función de señales de entrada o de temporizaciones.

El submódulo CONTROL está a su vez formado por un submódulo:

- **FSM\_CONTROL:** controla la máquina de estados de la lavadora, las acciones que se ejecutan en cada estado y los cambios de estado. .

### ENTRADAS:

*start:* STD\_LOGIC – Botón de puesta en marcha de la lavadora (encendido/apagado).

*color:* STD\_LOGIC – Botón de ropa color (encendido/apagado).

*caliente:* STD\_LOGIC – Botón de utilizar agua caliente o fría (encendido/apagado).

*centrifuga:* STD\_LOGIC – Botón de centrifugado (encendido/apagado).

*reset:* STD\_LOGIC – Botón de reinicio de la lavadora (encendido/apagado).

*esta\_caliente:* STD\_LOGIC – Sensor del calentador de agua (caliente/frío).

*vacío:* STD\_LOGIC – Sensor del agua del tambor (vacío/no vacío).

*lleno:* STD\_LOGIC – Sensor del agua del tambor (lleno/no lleno).

*clk\_salida:* STD\_LOGIC – Reloj de 800Hz que alimenta al submódulo.

## SALIDAS:

*llenar*: STD\_LOGIC – Señal de meter agua en el tambor de la lavadora.

*vaciar*: STD\_LOGIC – Señal de vaciar de agua el tambor de la lavadora.

*calentar*: STD\_LOGIC – Señal de activar el calentador del agua que entra a la lavadora.

*lavar*: STD\_LOGIC – Señal de realizar el ciclo de lavado.

*centrifugar*: STD\_LOGIC – Señal de realizar el ciclo de centrifugado.

*carga\_timer*: STD\_LOGIC\_VECTOR (3 DOWNTO 0) – Identifica el estado actual, tomando valores de 0000 a 1111.

## Planteamiento del código del Test

El test asignado al módulo control está descrito tras explicar el funcionamiento de todos sus submódulos.

### 2.3.2 FSM\_CONTROL

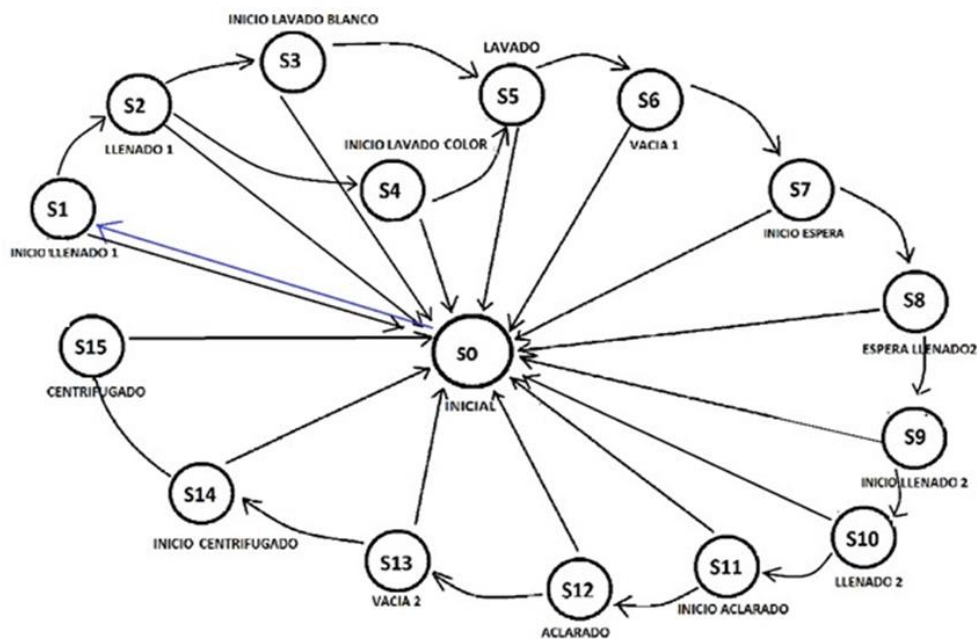
El submódulo FSM\_CONTROL controla la máquina de estados de la lavadora, las acciones que se ejecutan en cada estado y los cambios de estado.

Las tareas principales del módulo son:

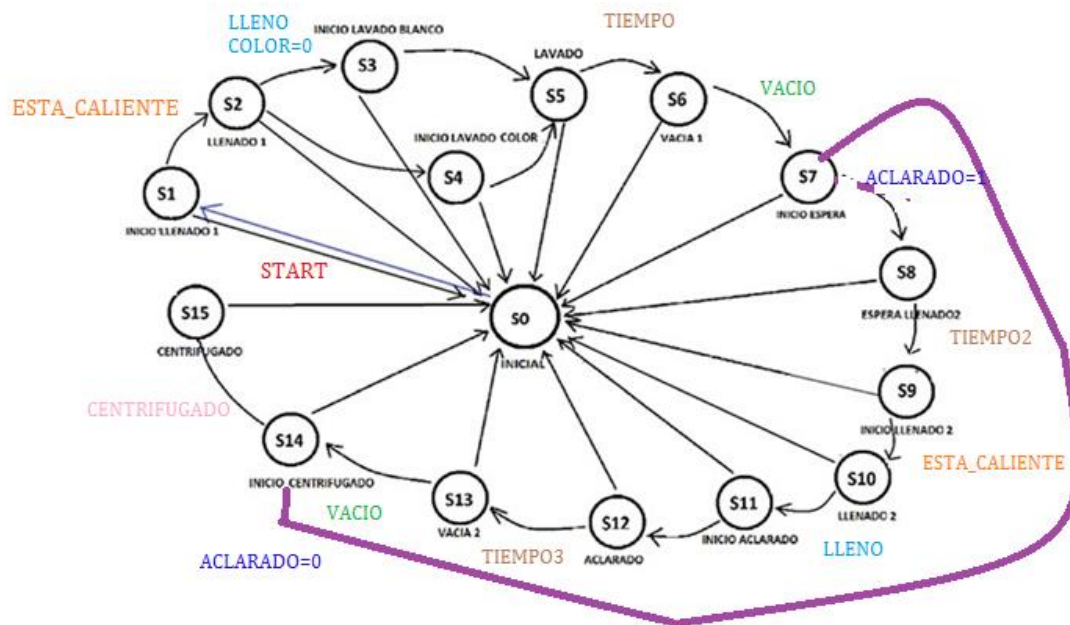
- Definir qué estados deben tener una temporización prefijada así como asignar el tiempo que deben durar.
- Controlar el cambio del estado actual al siguiente.
- Definir qué estado debe ejecutarse cuando acabe el estado actual.
- En cada estado, asignar valores a las señales de salida en función del estado actual de la máquina de estados y de las señales de entrada
- 

## MAQUINA DE ESTADOS

A continuación, la representación de la máquina de estados de la lavadora.



Además aquí se muestra las condiciones que provocan cada cambio de estado, para un lavado con agua caliente, ropa a color y con centrifugado:



#### ENTRADAS:

*start*: STD\_LOGIC – Botón de puesta en marcha de la lavadora (encendido/apagado).  
*color*: STD\_LOGIC – Botón de ropa color (encendido/apagado).  
*caliente*: STD\_LOGIC – Botón de utilizar agua caliente o fría (encendido/apagado).  
*centrifuga*: STD\_LOGIC – Botón de centrifugado (encendido/apagado).  
*reset*: STD\_LOGIC – Botón de reinicio de la lavadora (encendido/apagado).  
*esta\_caliente*: STD\_LOGIC – Sensor del calentador de agua (caliente/frío).  
*vacio*: STD\_LOGIC – Sensor del agua del tambor(vacío/no vacío).  
*lleno*: STD\_LOGIC – Sensor del agua del tambor(lleno/no lleno).  
*clk*: STD\_LOGIC – Reloj de 800Hz que alimenta al submódulo.  
*done*: STD\_LOGIC – En aquellos estados que tienen asignado un tiempo fijo, se pone a 1 cuando ya ha pasado este tiempo.

#### SALIDAS:

*llenar*: STD\_LOGIC – Señal de meter agua en el tambor de la lavadora.  
*vaciar*: STD\_LOGIC – Señal de vaciar de agua el tambor de la lavadora.  
*calentar*: STD\_LOGIC – Señal de activar el calentador del agua que entra a la lavadora.

*carga\_timer*: STD\_LOGIC\_VECTOR(3 DOWNTO 0) – Identifica el estado actual, tomando valores de 0000 a 1111.



## Funcionalidad de cada estado

1. **Inicio:** Etapa inicial en la que se seleccionan las características del lavado (a color o blanco, agua caliente, con o sin centrifugado...).
2. **Inicio llenado 1 :** Etapa en la que se empiezan a calentar las resistencias que calentarán el agua posteriormente. La etapa finaliza cuando el sensor esta\_caliente se pone a '1'.
3. **Llenado1:** En esta etapa, el tambor de la lavadora empieza a llenarse y se vierte jabón en el agua. La etapa finaliza cuando el sensor lleno='1'.
4. **Inicio lavado color e inicio lavado blanco:** Dependiendo si en la etapa inicial hemos accionado el switch color, tendremos un tipo de lavado u otro.
  - Si hemos seleccionado lavado a color, en esta etapa se cargan 10 minutos en el temporizador. (los necesarios para realizar un lavado a color).
  - Si hemos seleccionado lavado blanco, en esta etapa se cargan 20 minutos en el temporizador (los necesarios para realizar un lavado blanco).
5. **Lavado:** Esta etapa acaba cuando se carga el tiempo seleccionado en el temporizador.
6. **Vacia1:** El agua se vacía del tambor y la etapa termina cuando el sensor vacío='1'.
7. **Inicio espera llenado:** Esta etapa se utiliza para cargar en el temporizador 10 segundos que se descargarán en la siguiente etapa.
8. **Espera llenado 2:** Esta etapa consiste en una espera entre el vaciado y el llenado 2. La etapa acaba tras descargar los 10 segundos del temporizador.
9. **Inicio llenado 2:** Igual que inicio llenado 1.
10. **Llenado2 :** Igual que llenado 2.
11. **Inicio aclarado 2:** Etapa utilizada para cargar 5 minutos en el temporizador.
12. **Aclarado :** Esta etapa acaba cuando se carga el tiempo seleccionado en el temporizador. El tambor gira a velocidad normal.
13. **Vacia2:** Igual que vacío 1.
14. **Inicio centrifugado :** Esta etapa es utilizada para cargar 10 minutos en el temporizador ( los necesarios para realizar un centrifugado )
15. **Centrifugado:** Esta etapa acaba cuando se carga el tiempo seleccionado en el temporizador.

## Planteamiento del código del Test

El proceso de estímulos que crea este test, asigna una situación inicial de las señales de entrada de la lavadora procedentes de sus botones (start=1, color=1, centrifuga=1, caliente=1), y a partir de esta situación realiza un ciclo completo de lavado de la lavadora, simulando las entradas de los sensores en cada uno de los estados.

En los estados que dependen de un temporizador, el test genera directamente la señal de temporización completa (done = 1).

El ciclo completo consiste en:

- Espera inicial al vaciado inicial del tambor.
- Espera a que el calentador de agua esté caliente.
- Llenado del tambor con agua y jabón.
- Lavado en color.
- Vaciado del tambor.

- Llenado del tambor con agua.
- Aclarado.
- Vaciado del tambor.
- Centrifugado.

Imagen 4. Simulación máquina de estados



### 2.3.3 Planteamiento del código del Test de CONTROL y CLOCK\_DIVIDER

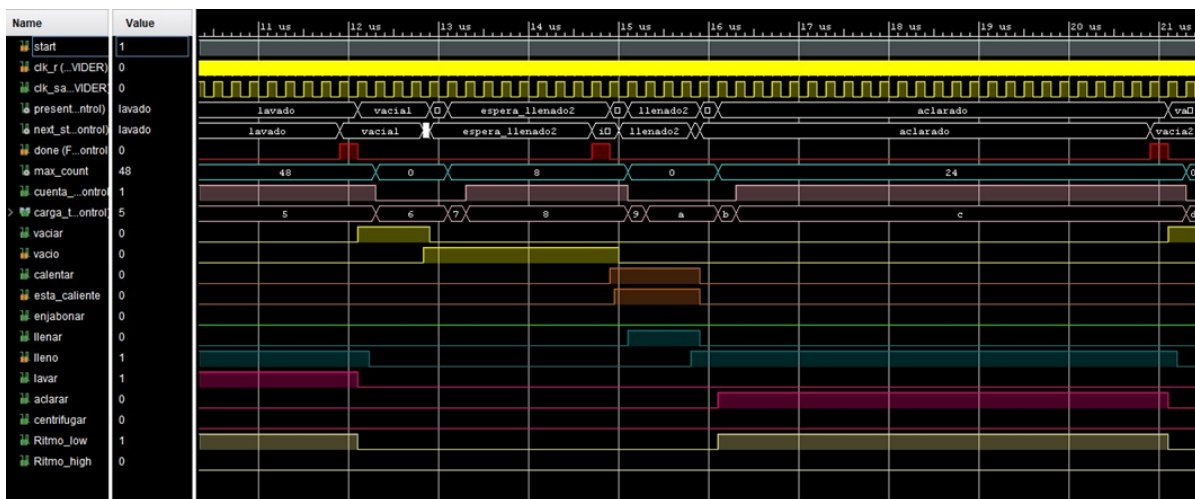
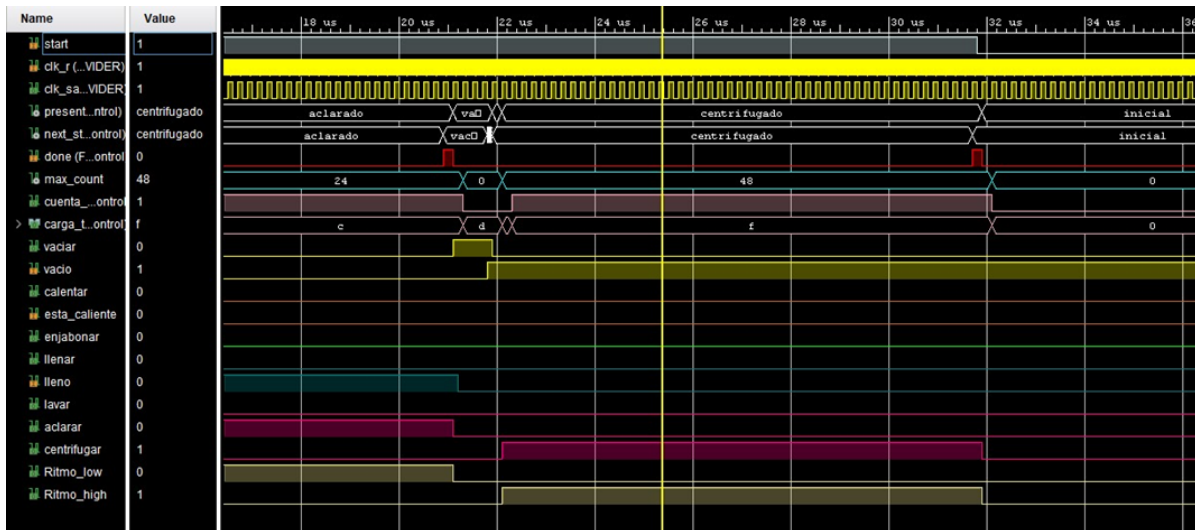
El test Lavadora\_testbench simula el funcionamiento conjunto de los módulos CLOCK\_DIVIDER y CONTROL.

El proceso de estímulos que crea este test, asigna una situación inicial de las señales de entrada de la lavadora procedentes de sus botones (start=1, color=1, centrifuga=1, caliente=1), y a partir de esta situación realiza un ciclo completo de lavado de la lavadora, simulando las entradas de los sensores en cada uno de los estados.

A fin de hacer más fácil el seguimiento de las señales en el test, el número de ciclos de reloj asociados a cada uno de los estados que lleva temporización, se ha acortado

Imagen 5. Simulaciones



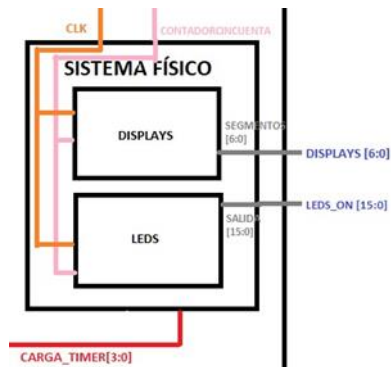


## 2.4 SISTEMA FÍSICO

El submódulo *Sistema\_fisico* es el encargado de generar las señales de salida de los leds y displays.

El submódulo *Sistema\_fisico* está a su vez formado por dos submódulos:

- *Displays*: controla las señales de salida del display de siete segmentos en función del estado en el que se encuentra la lavadora.
- *Leds*: controla las señales de salida de los 16 leds en función del estado en el que se encuentra la lavadora.



### ENTRADAS:

*clk*: STD\_LOGIC - Reloj a 800Hz

*contadorcincuenta*: STD\_LOGIC - Pulso a 20Hz para los displays (50 ms). se pone a 1 un ciclo de cada 40 del reloj de 800Hz. El resto a cero

*carga\_timer*: STD\_LOGIC\_VECTOR(3 DOWNTO 0) – Identifica el estado actual, tomando valores de 0000 a 1111.

### SALIDAS:

*displays*: STD\_LOGIC\_VECTOR (6 downto 0) – Vector para presentar los 7 segmentos de un display en función del estado de la lavadora.

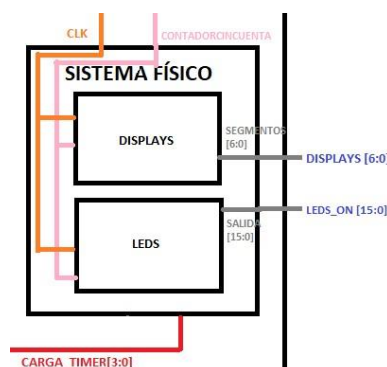
*leds\_on*: STD\_LOGIC\_VECTOR (15 downto 0) – Vector para presentar 16 leds que muestran el progreso de la lavadora en cada estado.

### Planteamiento del código del Test

No existe ningún test asignado a este bloque en su conjunto. Sí los hay para sus dos submódulos, displays y leds

#### 2.4.1 DISPLAYS

Es el submódulo encargado del control de los displays físicos de la lavadora en función del estado de la lavadora.



Nota : Descripción más detallada de las secuencias en el apartado 3 de la memoria.

### ENTRADAS:

*clk*: STD\_LOGIC - Reloj a 800Hz

*contadorcincuenta*: STD\_LOGIC - Pulso a 20Hz para los displays (50 ms). Se pone a 1 un ciclo de cada 40 del reloj de 800Hz. El resto a cero.

*carga\_timer*: STD\_LOGIC\_VECTOR(3 DOWNTO 0) – Identifica el estado actual, tomando valores de 0000 a 1111.

**SALIDAS:**

*displays*: STD\_LOGIC\_VECTOR (6 downto 0) – Vector para presentar los 7 segmentos de un display en función del estado de la lavadora.

**Planteamiento del código del Test**

El proceso de estímulos que crea este test, asigna una situación inicial de las señales de entrada de la lavadora procedentes de sus botones (start=1, color=1, centrifuga=1, caliente=1), y a partir de esta situación realiza un ciclo completo de lavado de la lavadora, simulando las entradas de los sensores en cada uno de los estados.

A fin de facilitar la visualización del comportamiento, el pulso de 50ms se realiza cada 5 ciclos de reloj en vez de cada 40.

La salida del test permite observar el cambio en las señales displays en función del estado de la lavadora.

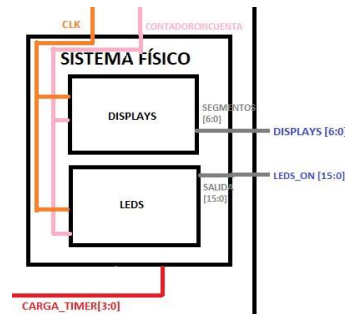


Imagen.5 Simulaciones

## 2.4.2 LEDS

Es el submódulo encargado del control de secuencias de encendido y apagado de los Leds físicos de la lavadora en función del estado de la lavadora.

*Nota : Descripción más detallada de las secuencias en el apartado 3 de la memoria.*



### ENTRADAS:

*clk*: STD\_LOGIC - Reloj a 800Hz

*contadorcincuenta*: STD\_LOGIC - Pulso a 20Hz para los displays (50 ms). se pone a 1 un ciclo de cada 40 del reloj de 800Hz. El resto a cero.

*carga\_timer*: STD\_LOGIC\_VECTOR(3 DOWNTO 0) – Identifica el estado actual, tomando valores de 0000 a 1111.

### SALIDAS:

*leds\_on*: STD\_LOGIC\_VECTOR (15 downto 0) – Vector para presentar 16 leds que muestran el progreso de la lavadora en cada estado.

### Planteamiento del código del Test

El proceso de estímulos que crea este test, asigna directamente y de forma continua los distintos estados de la lavadora, incluyendo los tiempos de espera entre estado y estado necesarios para comprobar que las señales Leds de salida realizan el ciclo correcto de encendidos y apagados.

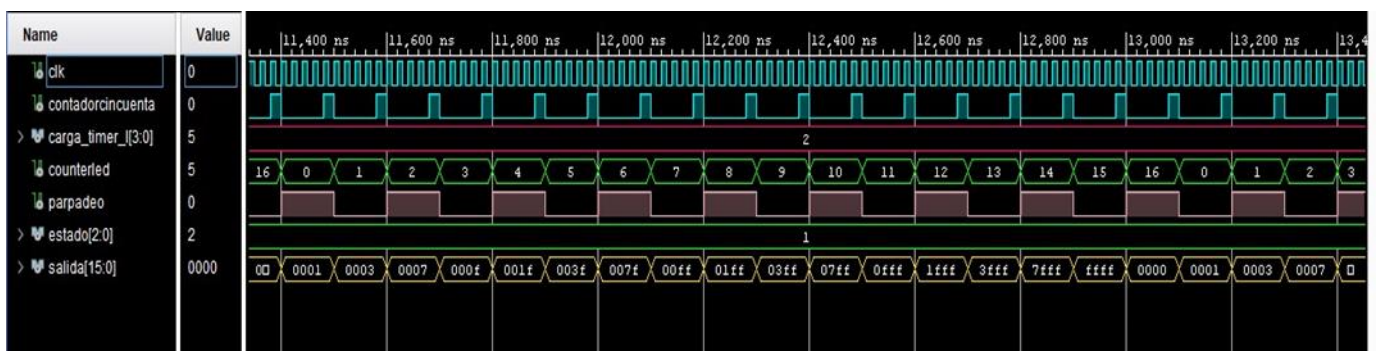
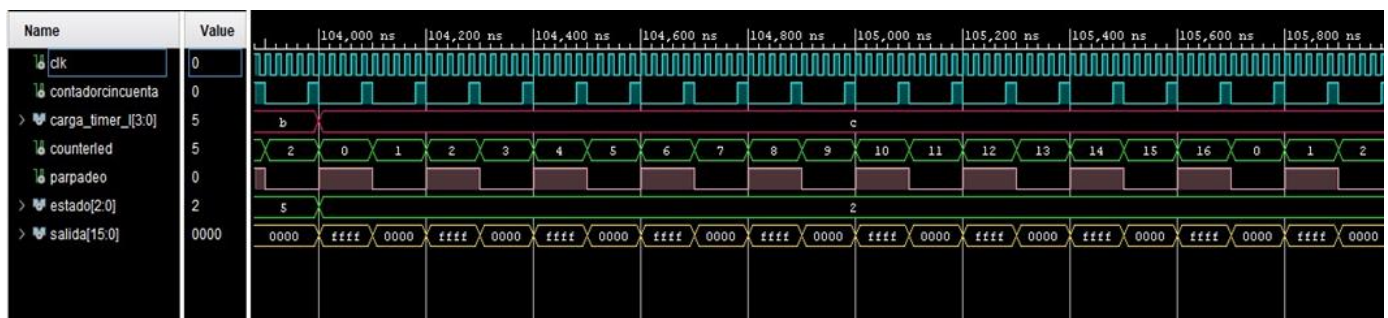
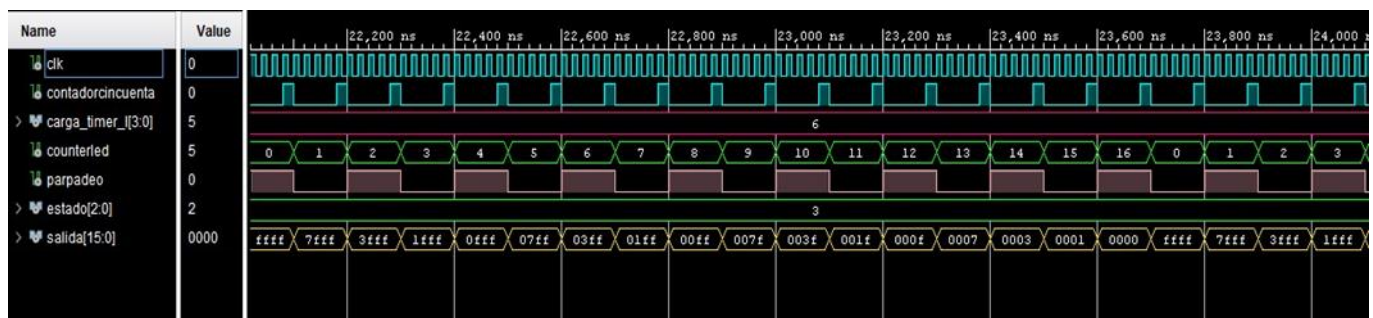


Imagen 6.Secuencia de llenado





### 3. Implementación

Para la implementación, como se ha mencionado antes, se utilizarán los displays, los leds[15:0] (parte inferior de la placa) y los leds RGB, y los switches.

## SWITCHES



## DISPLAYS

- *Fase inicial:* Todos los displays encienden el segmento g (segmento horizontal).
- *Fase de llenado:* Los displays simulan el llenado de la lavadora llenándose de abajo hacia arriba.
- *Fase de vaciado:* Los displays simulan el vaciado de la lavadora vaciándose de arriba abajo.
- *Fase de lavado, aclarado, centrifugado:* Los displays reproducen una secuencia de giro que simula giro del tambor.

## LEDS

- *Fase de llenado:* Los leds se encienden de uno en uno de derecha a izquierda y se apagan de uno en uno de izquierda a derecha.
- *Fase de vaciado:* Los leds se encienden de uno en uno de izquierda a derecha y se apagan de uno en uno de derecha a izquierda.
- *Fase de lavado, aclarado:* Los leds están programados para parpadear todos a la vez durante la duración de estos estados
- *Fase de centrifugado:* Están todos encendidos menos 1 led que va apagándose de forma consecutiva. Leds RGB
- *Lavado:* Se enciende el led rojo durante el lavado y se apaga cuando pasa al siguiente estado.
- *Aclarado:* Se enciende el led azul durante el aclarado y se apaga cuando pasa al siguiente estado.
- *Centrifuga:* Se enciende el led verde durante el centrifugado y se apaga cuando pasa al siguiente estado.

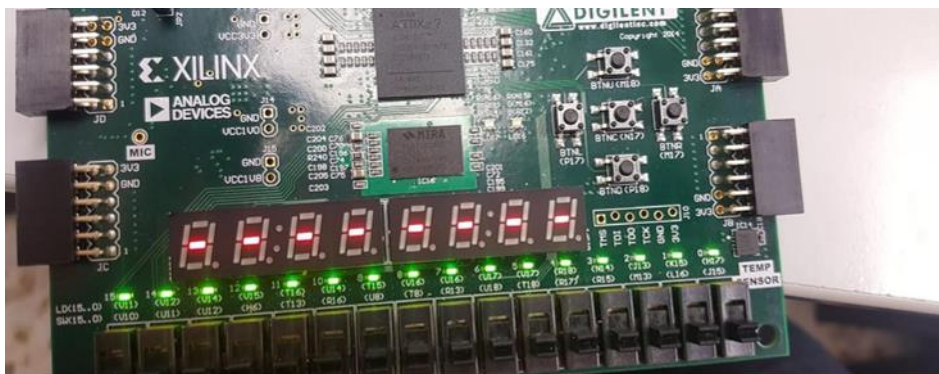


Imagen 9. Estado inicial



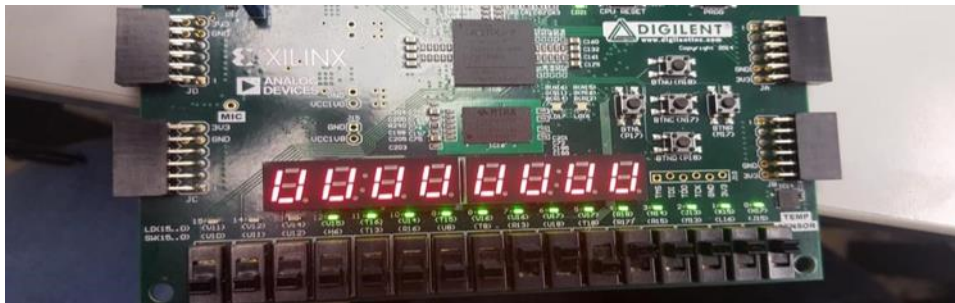
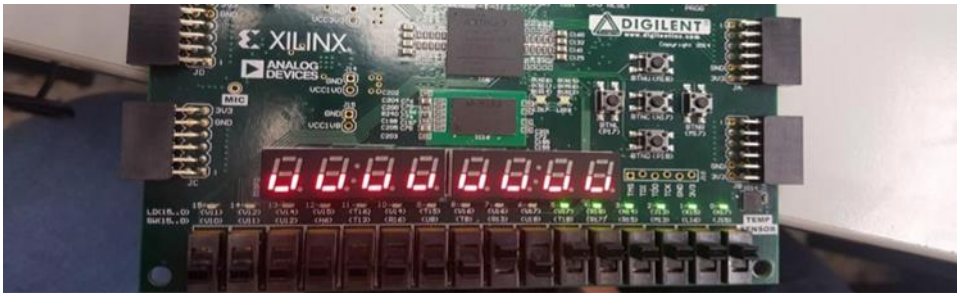
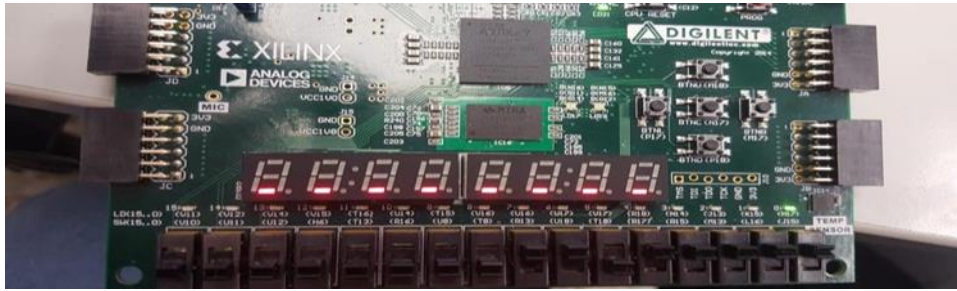


Imagen 10. Estado de llenado

NOTA: Estado de vaciado al contrario de llenado.

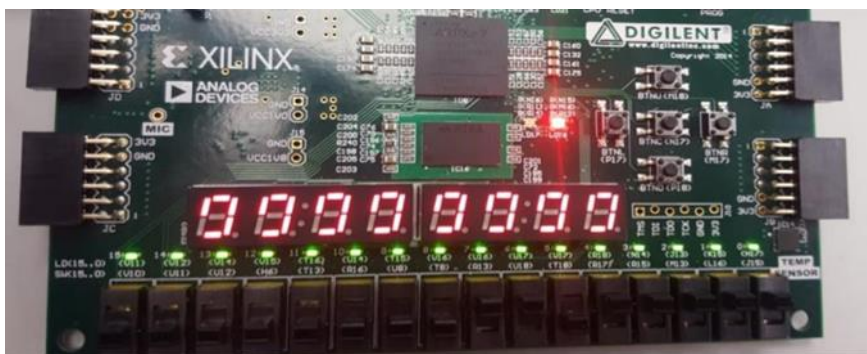


Imagen 11. Estado de lavado

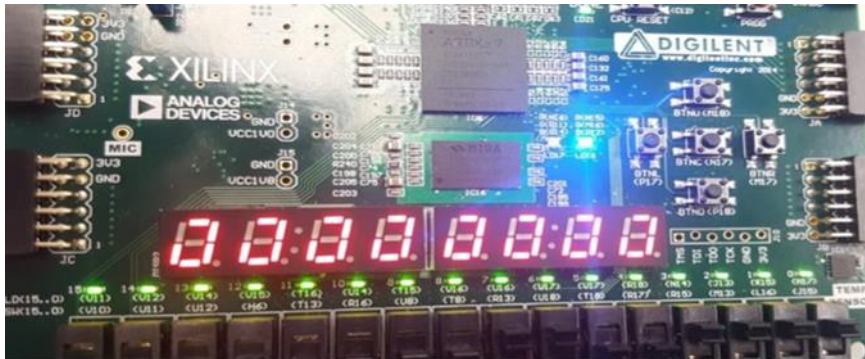


Imagen 12. Estado de aclarado

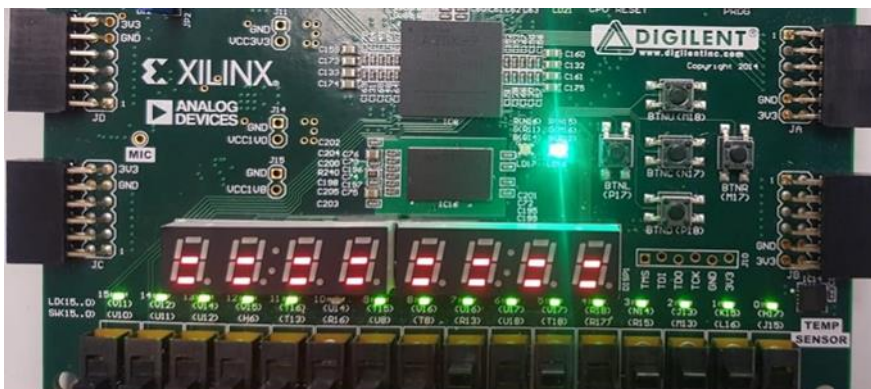


Imagen 13. Estado de centrifugado

## 4. Enlace repositorio Github

<https://github.com/edwarttorres/Trabajo-SED>

Debido a que Vivado en las simulaciones va generando archivos de mas de 100MB que no se pueden subir a Github debido a las restricciones. Para poder solucionar este problema hemos marcado los archivos .wdb como git lfs utilizando el Bash de Git.

El comando utilizado ha sido el siguiente:

```
$ git lfs track "*.wdb"
```