

Trabajo Final de Carrera

Comunicación USB 2.0 para sistemas científicos implementados en FPGA

Edwin Barragán

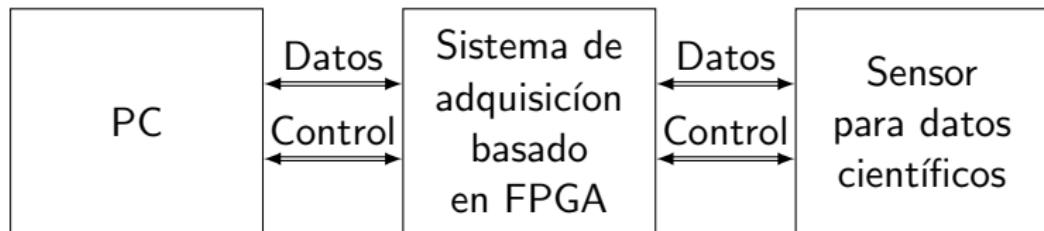
Universidad Nacional de San Juan
Facultad de Ingeniería



21 de agosto de 2020

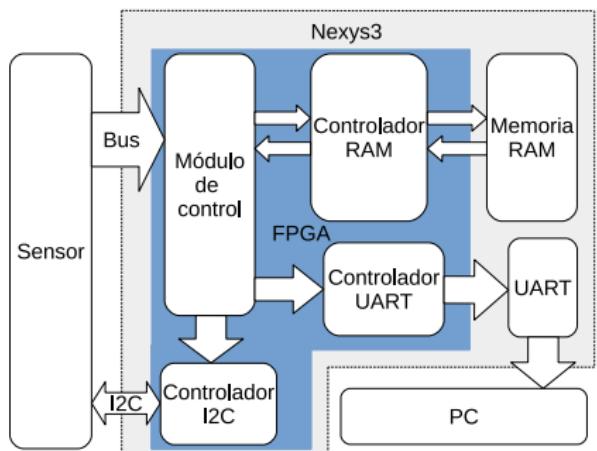
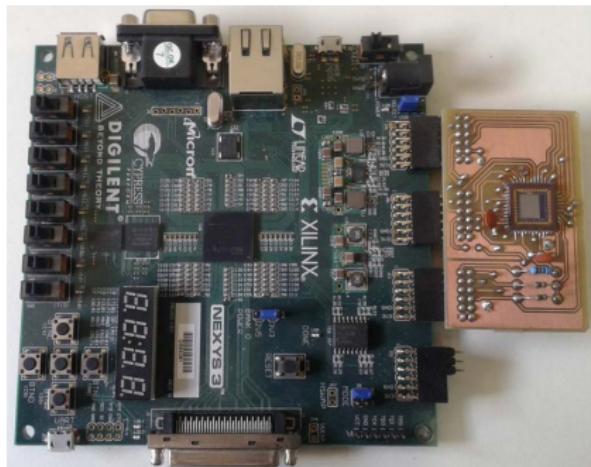
Comunicación USB 2.0 para sistema científicos implementados en FPGA

Preámbulo



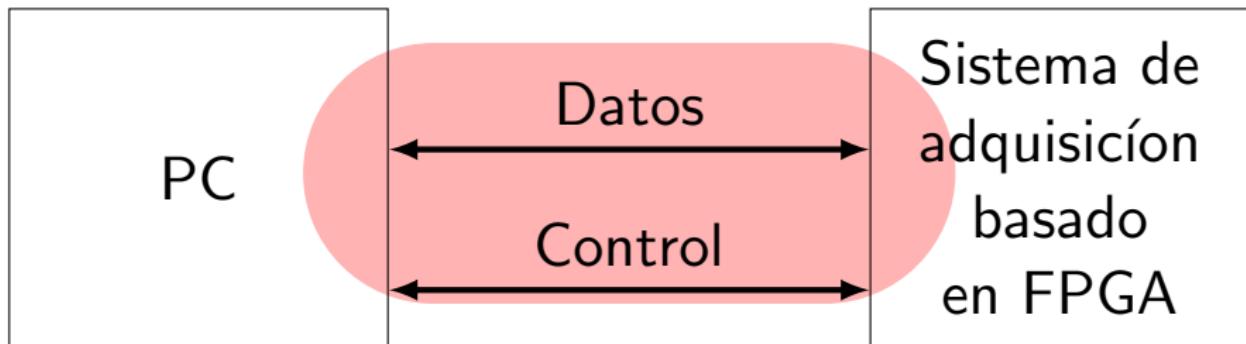
Comunicación USB 2.0 para sistema científicos implementados en FPGA

Preámbulo



Comunicación USB 2.0 para sistema científicos implementados en FPGA

Preámbulo



Agenda

- 1 Introducción
- 2 Implementación
- 3 Evaluación y validación
- 4 Resultados y conclusiones

Agenda

1 Introducción

- Objetivos
- Bus Serial Universal

2 Implementación

- Arquitectura del sistema
- Configuración de la Interfaz USB
- Desarrollo de la Máquina de Estados Finitos
- Circuito de interconexión

Agenda

3 Evaluación y validación

- Desarrollo del sistema de pruebas
- Programas de prueba

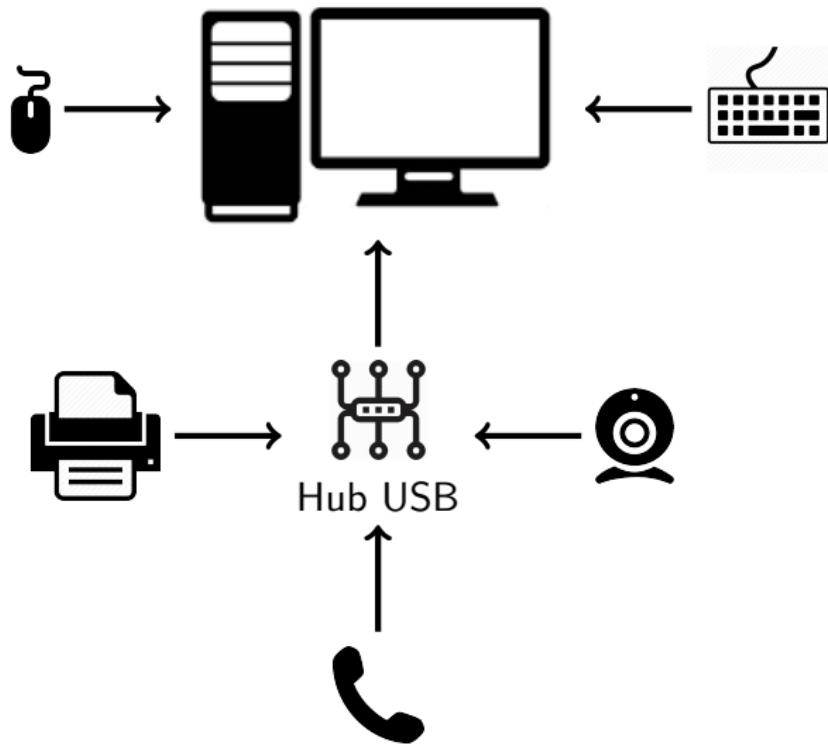
4 Resultados y conclusiones

- Pruebas y resultados
- Conclusiones
- Trabajo futuro

Objetivos

- Objetivo General
 - ▶ Realizar una comunicación entre un FPGA y una PC mediante USB 2.0
- Objetivos Particulares
 - ▶ Comprender el funcionamiento del kit de desarrollo CY3684 y el framework provisto por Cypress.
 - ▶ Configurar el chip CY7C68014A, incorporado en el kit de desarrollo anterior.
 - ▶ Sintetizar un circuito en VHDL que sea capaz de interactuar con las memorias FIFO de la interfaz.
 - ▶ Sintetizar circuitos de prueba para Test Bench.
 - ▶ Validar el funcionamiento.

USB - Bus Serial Universal



USB 2.0 - Velocidades de operación



Low-Speed: 1.5 Mbps



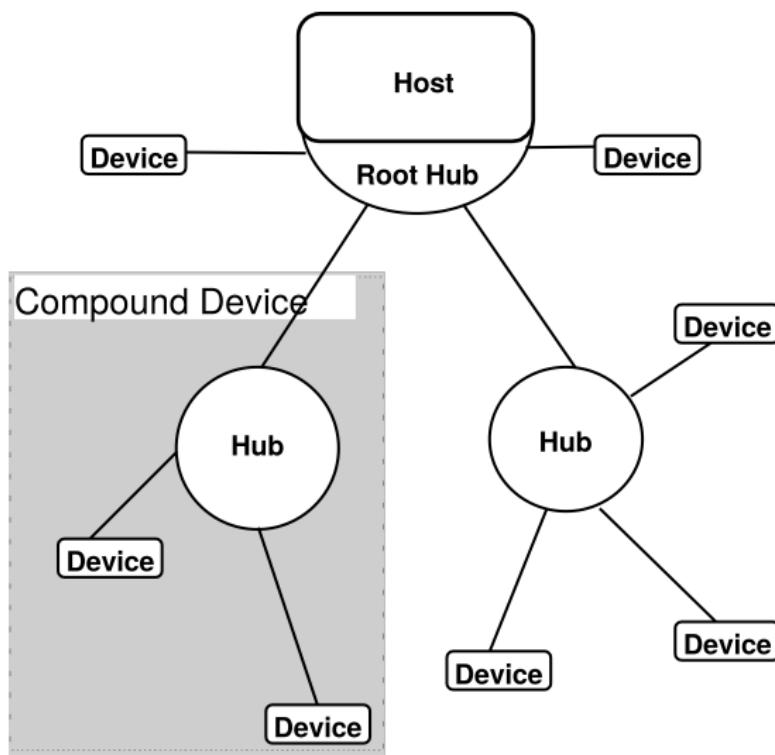
Full-Speed: 12 Mbps



High-Speed: 480 Mbps

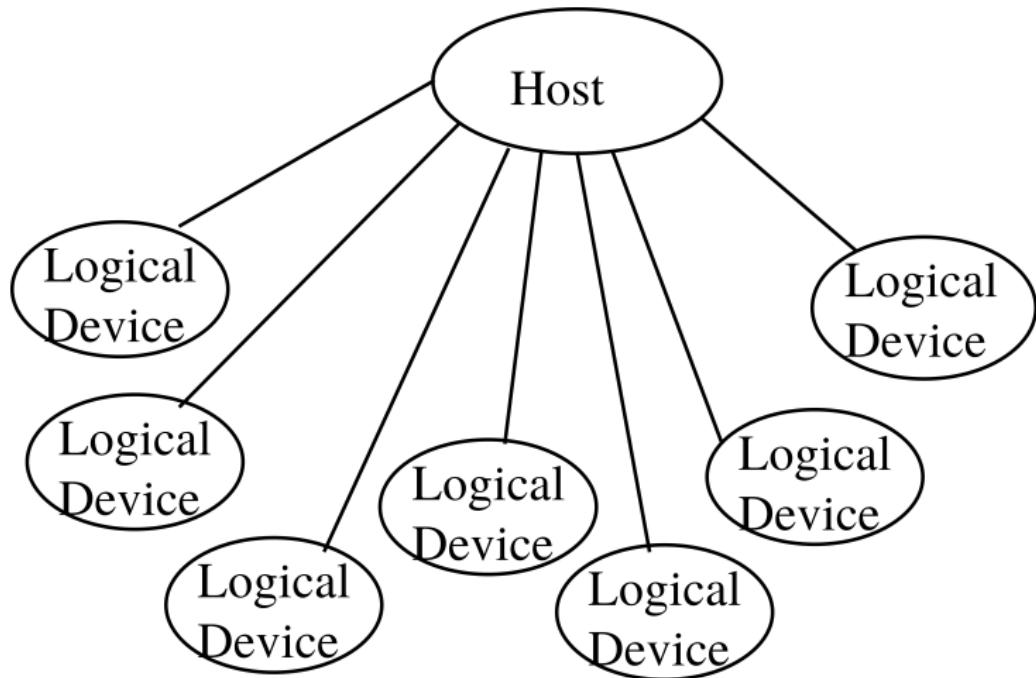
USB - Topología

- Física

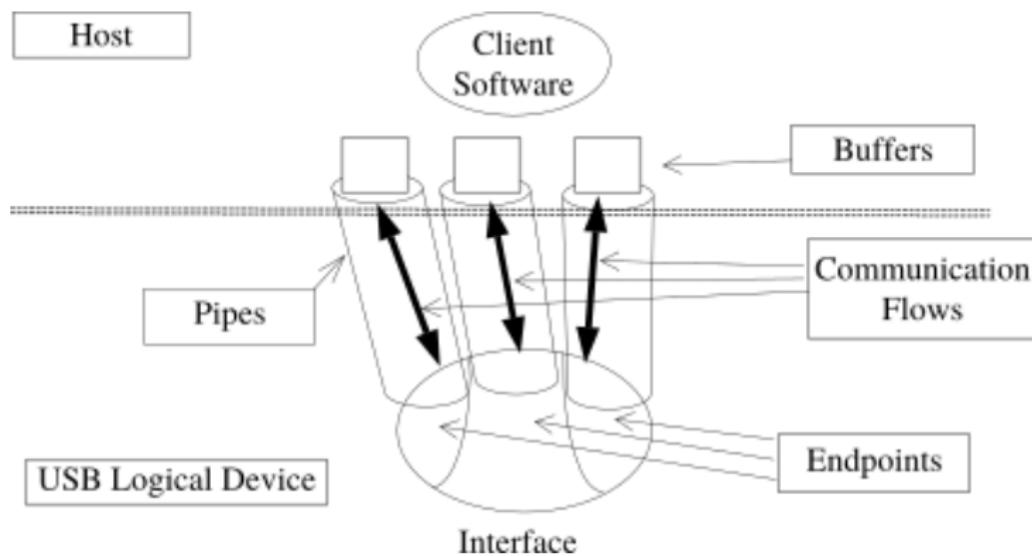


USB - Topología

- Lógica



USB - Flujo de datos



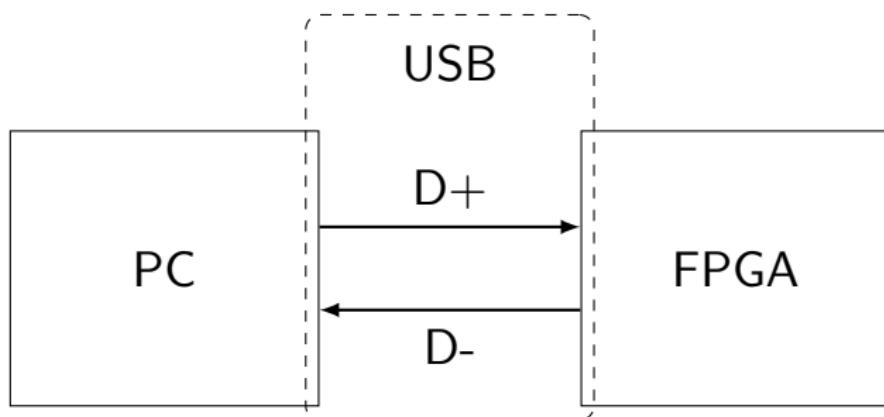
USB - Tipo de transferencias

Tipo de Transferencia	Cantidad de datos	Acceso al bus
Control	64	No periódico, prioritario. Hasta 20 % por microcuadro(125 µs)
Isócronas	1024	Periódico. Hasta 80 % por microcuadro.
Interrupción	1024	No periódico. Hasta 80 % por microcuadro.
en Masa	512	Cuando exista disponibilidad.

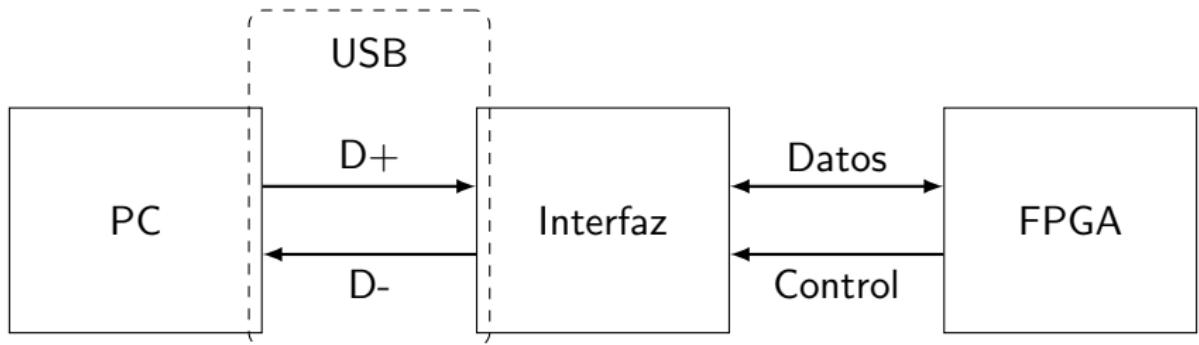
USB - Tipo de transferencias

Tipo de Transferencia	Latencia	Manejo de errores
Control	Mínima.	Permite retransmisión en el mismo microcuadro.
Isócronas	Ancho de banda garantizado.	Sin retransmisión.
Interrupción	Mínima	Permite retransmisiones en el periodo siguiente.
en Masa	No garantizada	Permite retransmisión cuando el bus está libre.

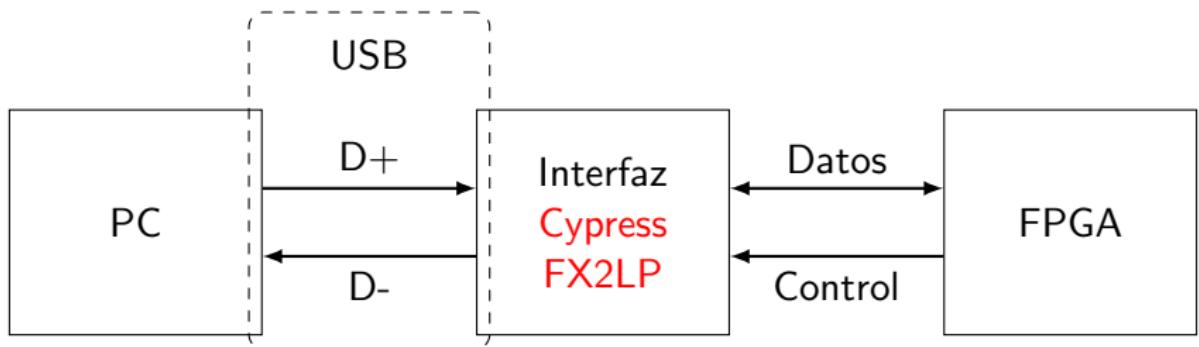
Arquitectura del sistema realizado



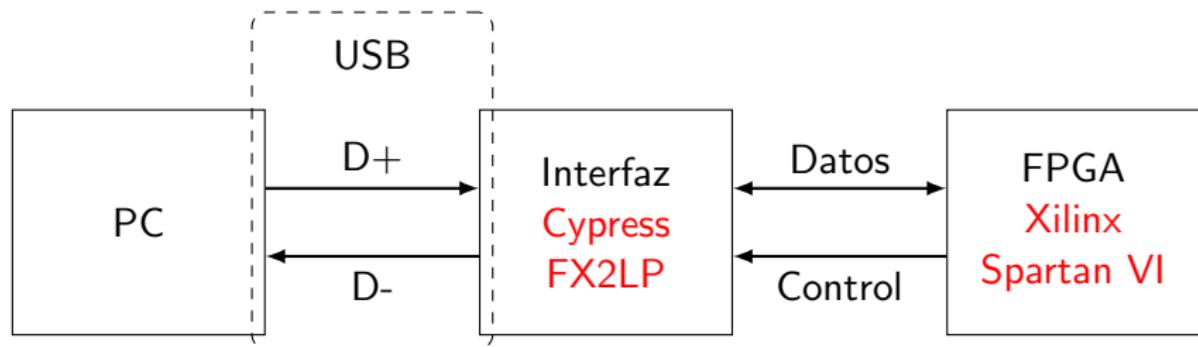
Arquitectura del sistema realizado



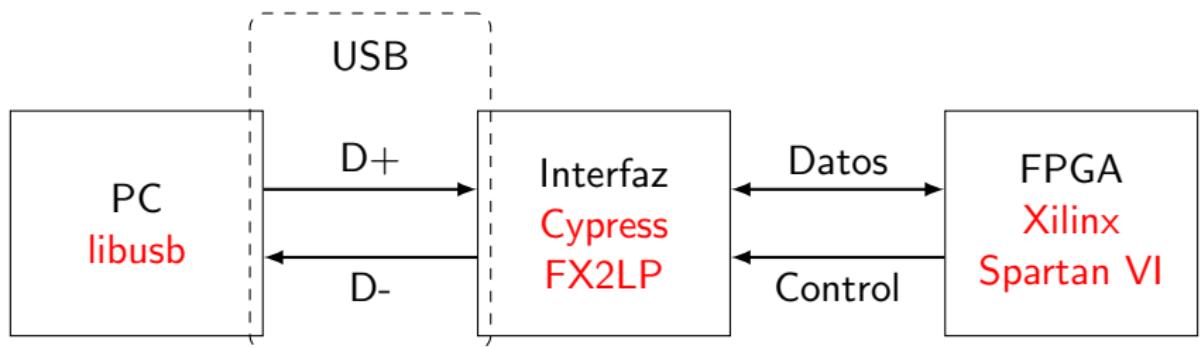
Arquitectura del sistema realizado



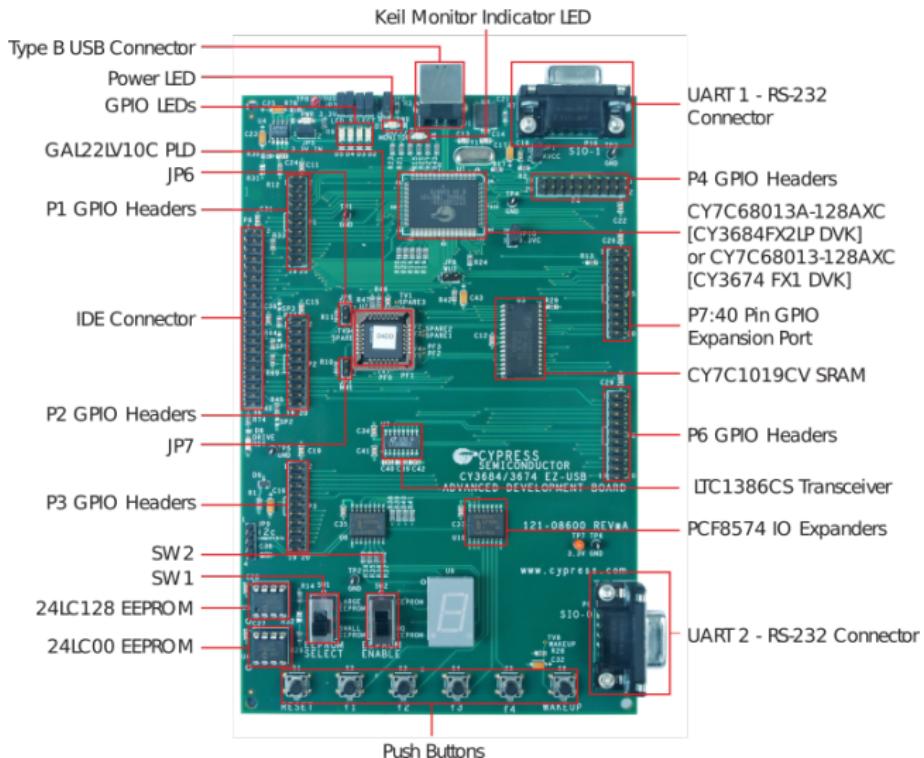
Arquitectura del sistema realizado



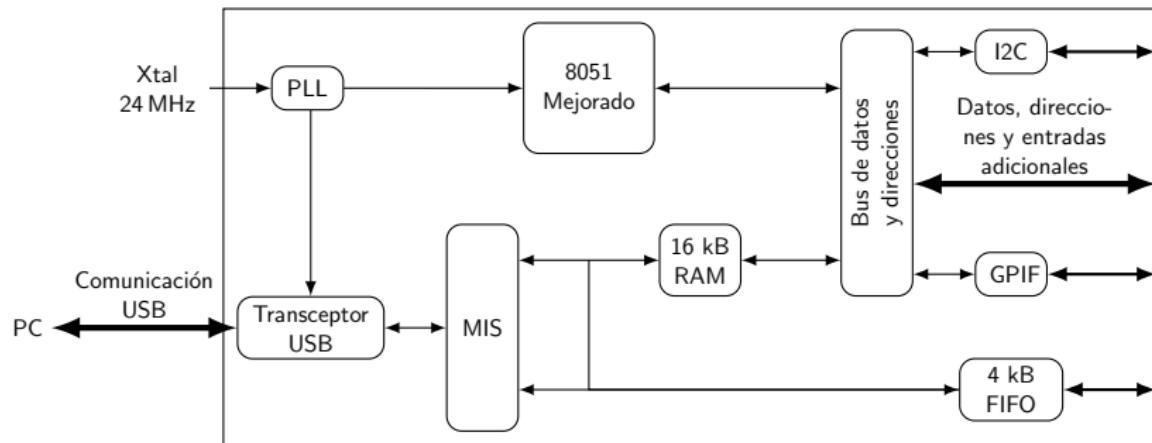
Arquitectura del sistema realizado



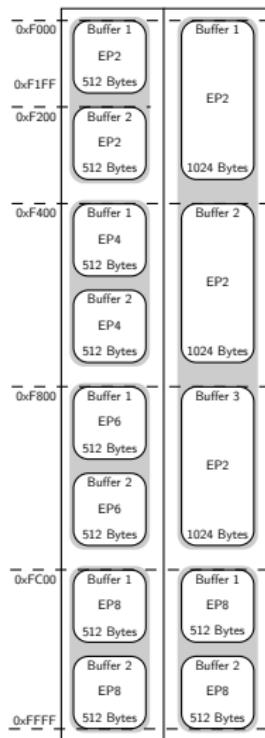
Placa de desarrollo utilizada para la interfaz



El circuito integrado FX2LP



Configuración del dispositivo USB

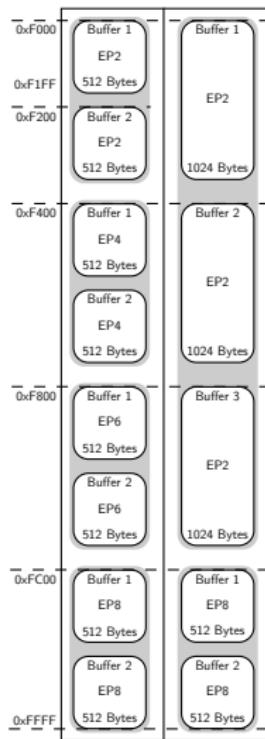


La configuración de las tuberías de comunicación se definieron con la finalidad de obtener el mayor ancho de banda posible a la entrada.

- Entrada:

- ▶ Extremo EP2
- ▶ Transferencias Isocrónicas
- ▶ 1024 Bytes máximo por transferencia
- ▶ 3 Buffers

Configuración del dispositivo USB

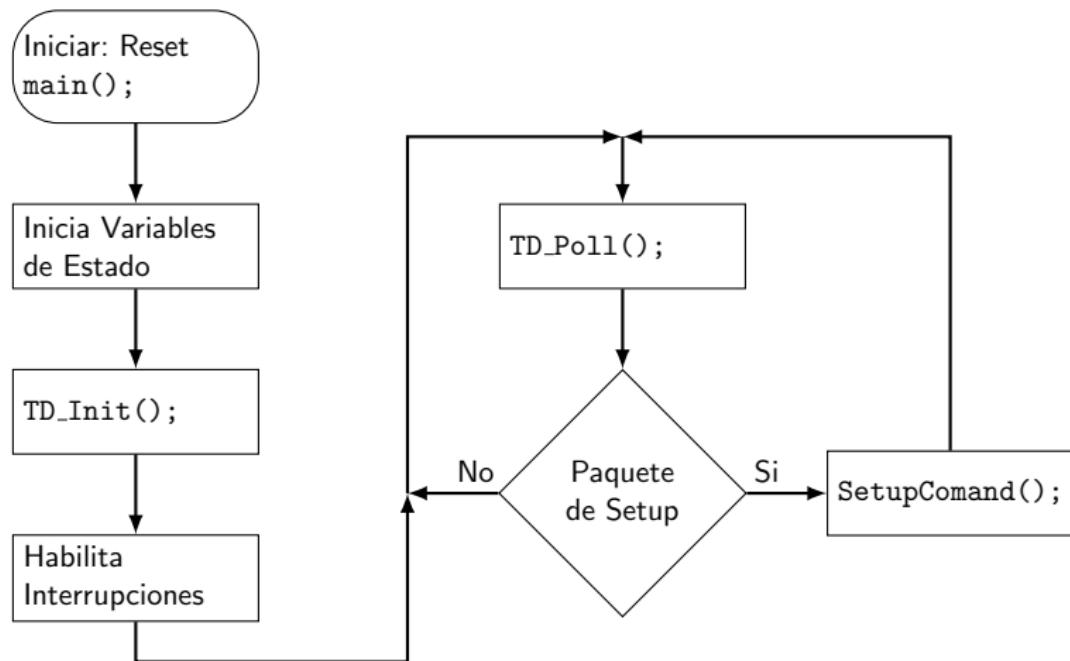


La configuración de las tuberías de comunicación se definieron con la finalidad de obtener el mayor ancho de banda posible a la entrada.

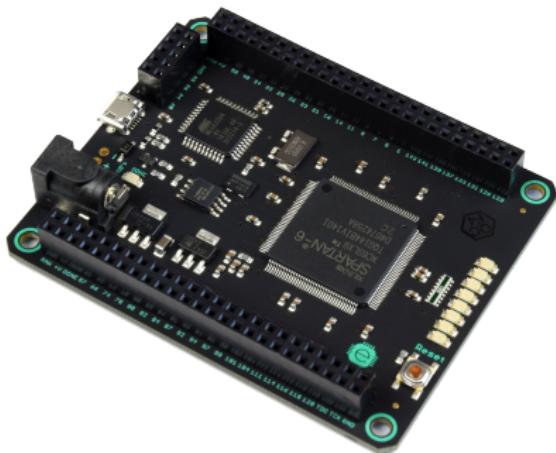
- Salida:

- ▶ Extremo EP8
- ▶ Transferencia por bultos
- ▶ 512 Bytes por transferencia
- ▶ 2 Buffers

Programación de la interfaz

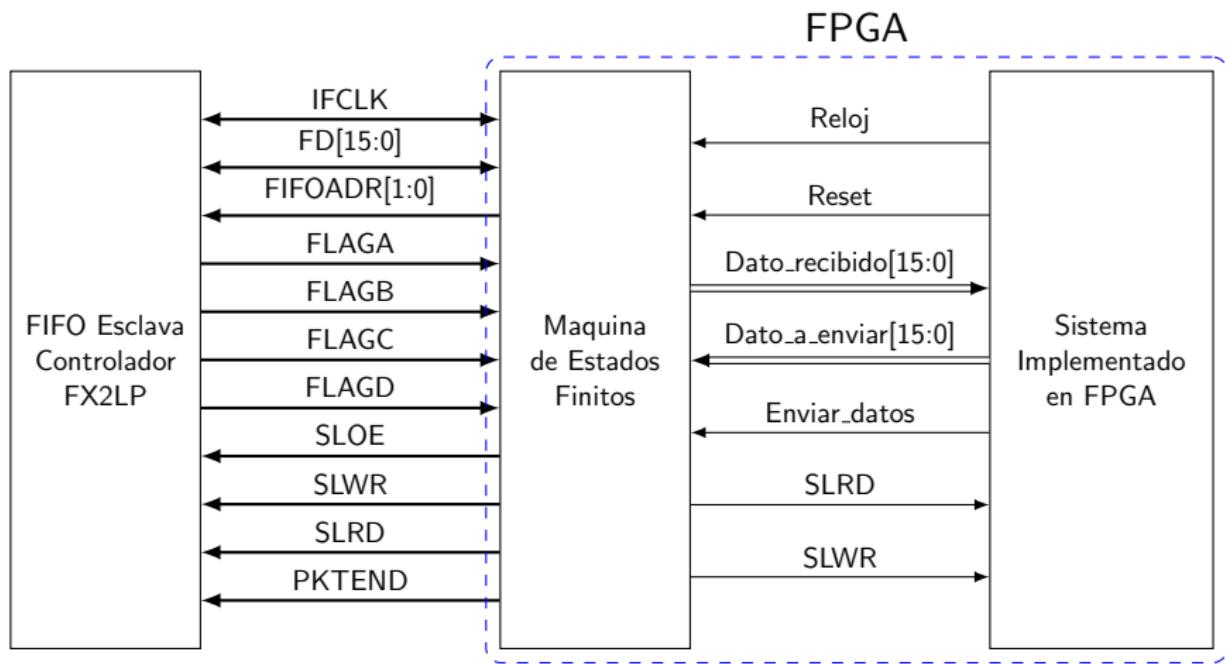


La placa de desarrollo MOJO v3



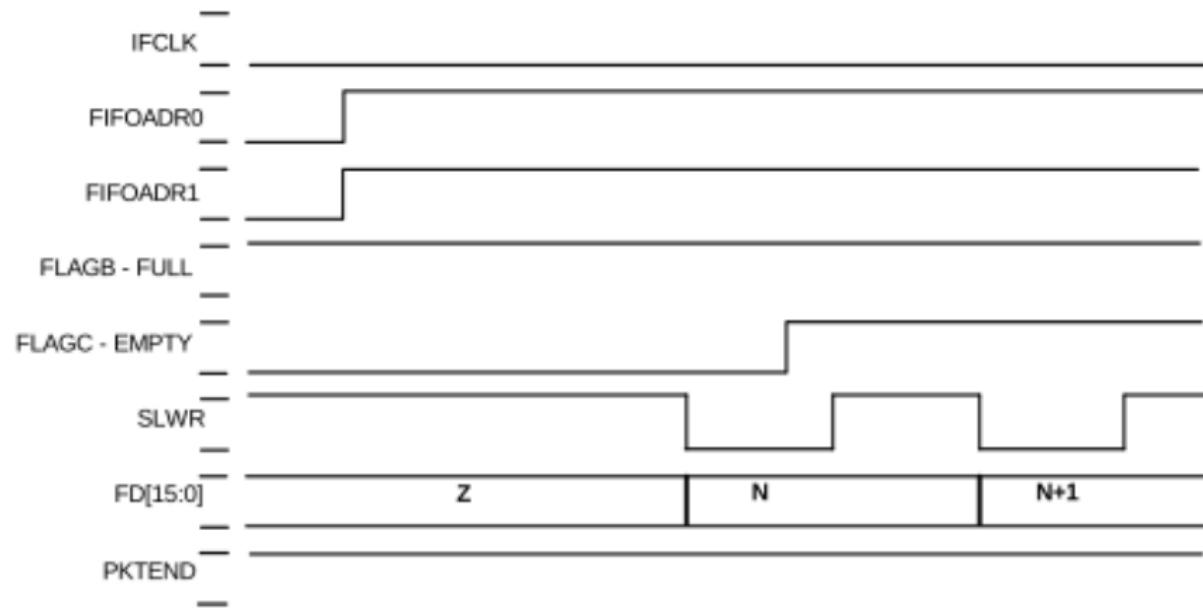
- FPGA Spartan 6 XC6SLX9 de Xilinx
- 84 pines IO digitales
- 8 entradas analógicas
- 8 LEDs de propósito general
- 1 pulsador de propósito general
- Regulador de voltaje de entrada de 4.8V - 12V
- ATmega32U4 para configurar la FPGA y leer los pines analógicos
- Bootloader compatible con Arduino
- Memoria flash para almacenar la configuración de la FPGA
(programación persistente)

Interfaz - FPGA



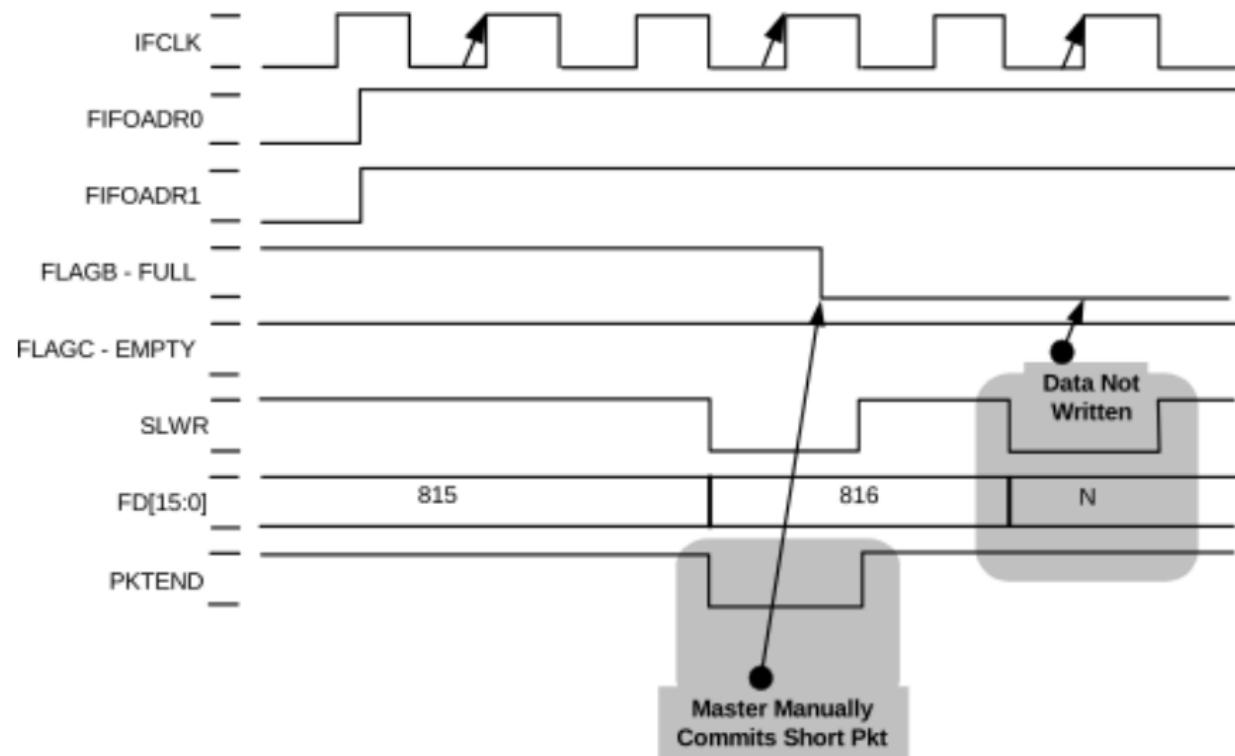
Operaciones en la FIFO

Escritura Asíncrona



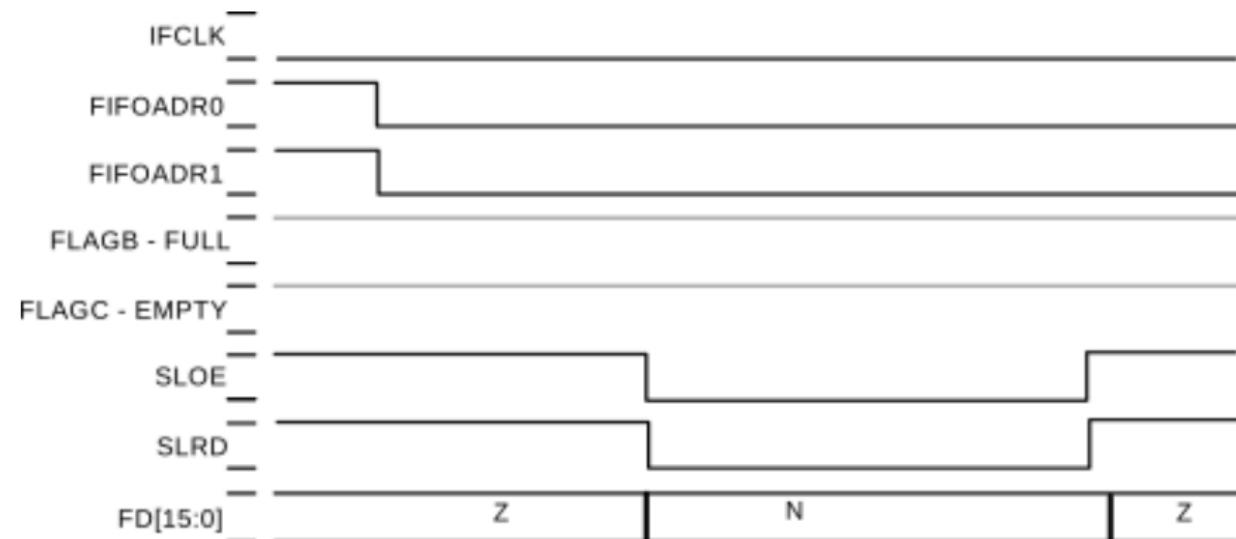
Operaciones en la FIFO

Escritura Asíncrona

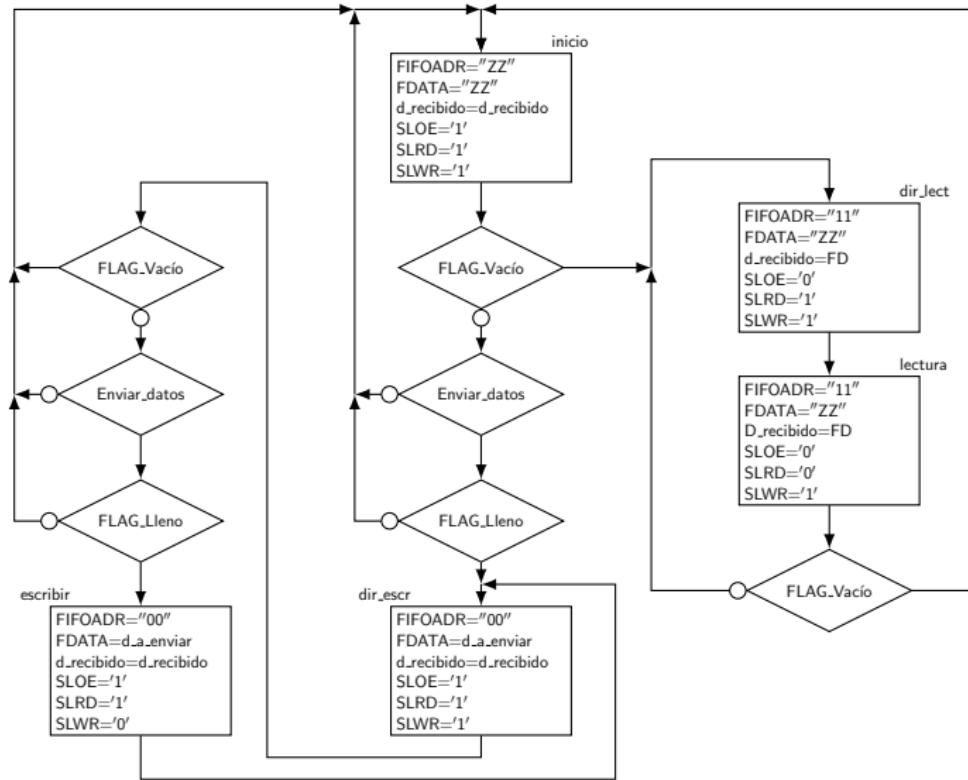


Operaciones en la FIFO

Lectura Asíncrona

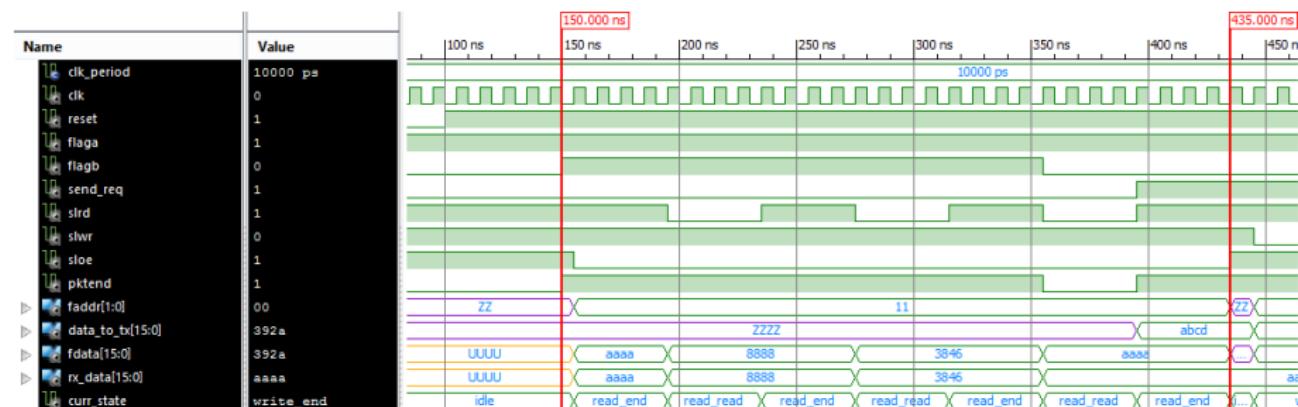


Máquina de estados algorítmica de la interfaz



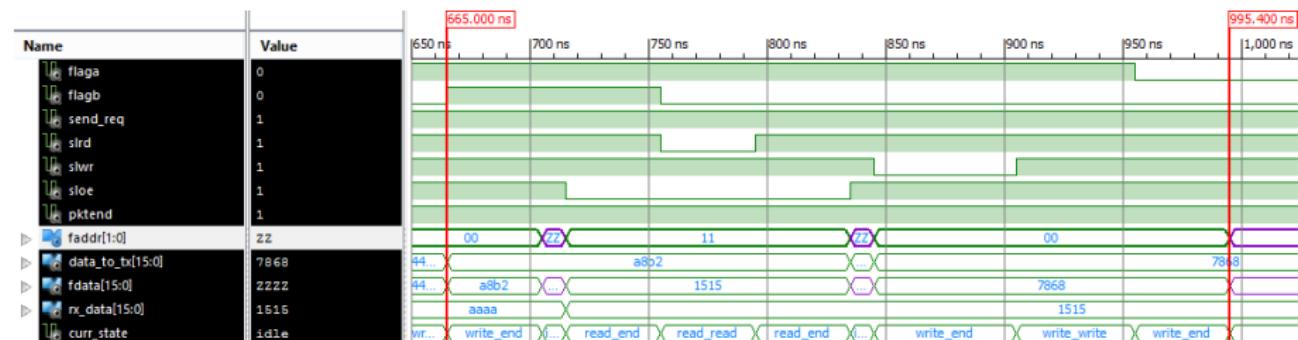
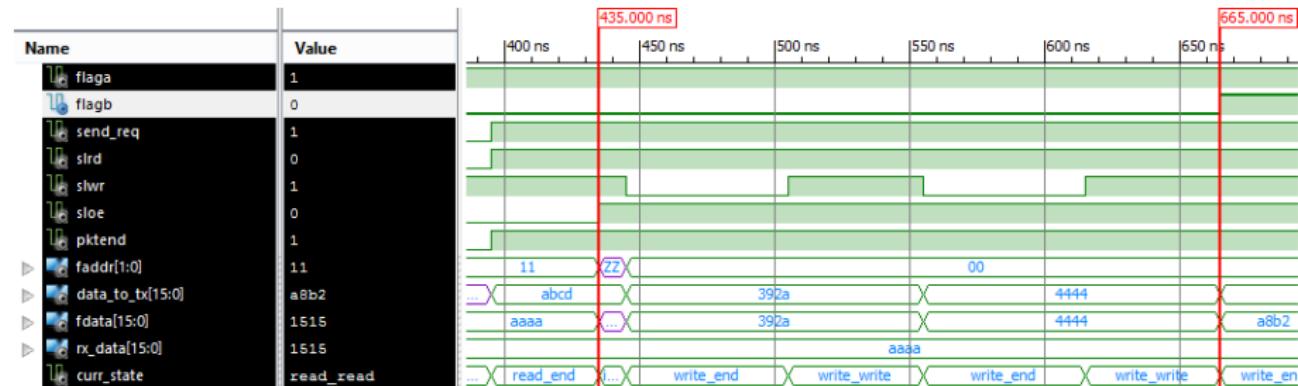
Verificación Funcional

Operación de escritura

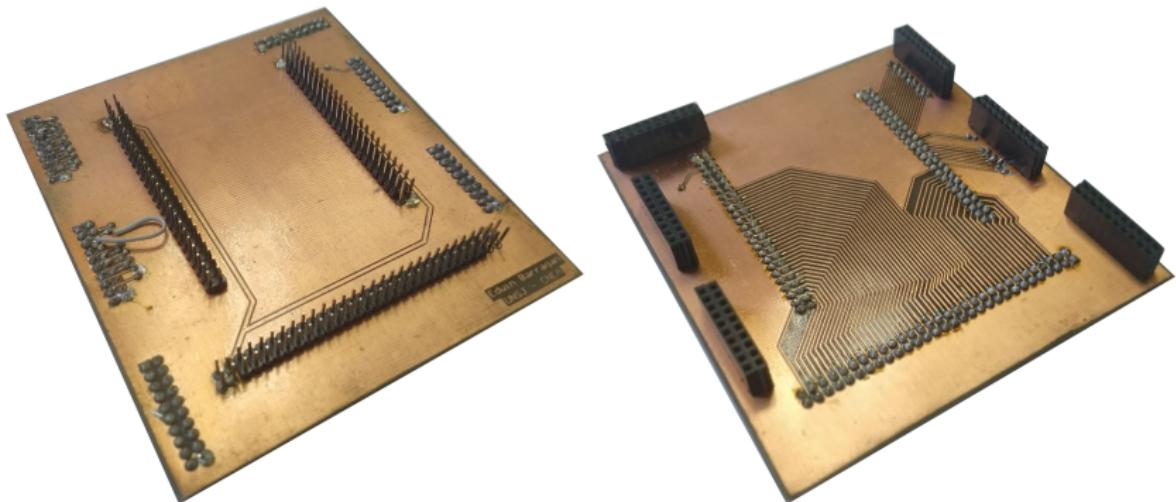


Verificación Funcional

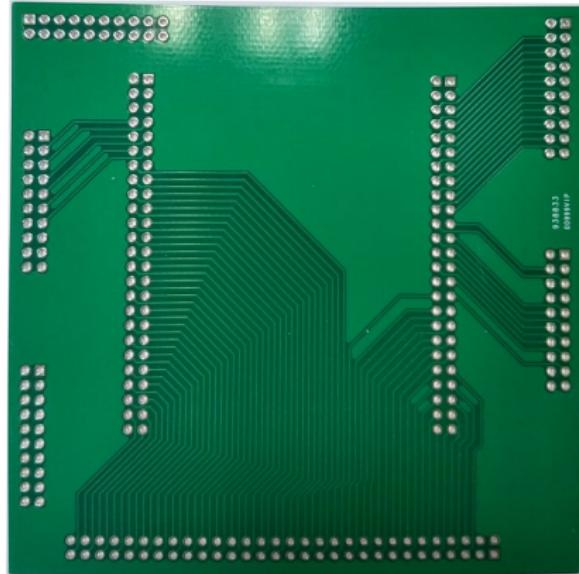
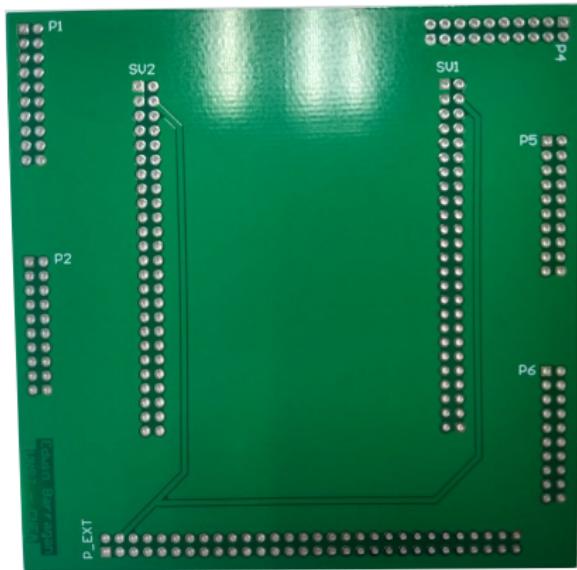
Operación de escritura



Círculo de interconexión



Círculo de interconexión



Círculo de interconexión

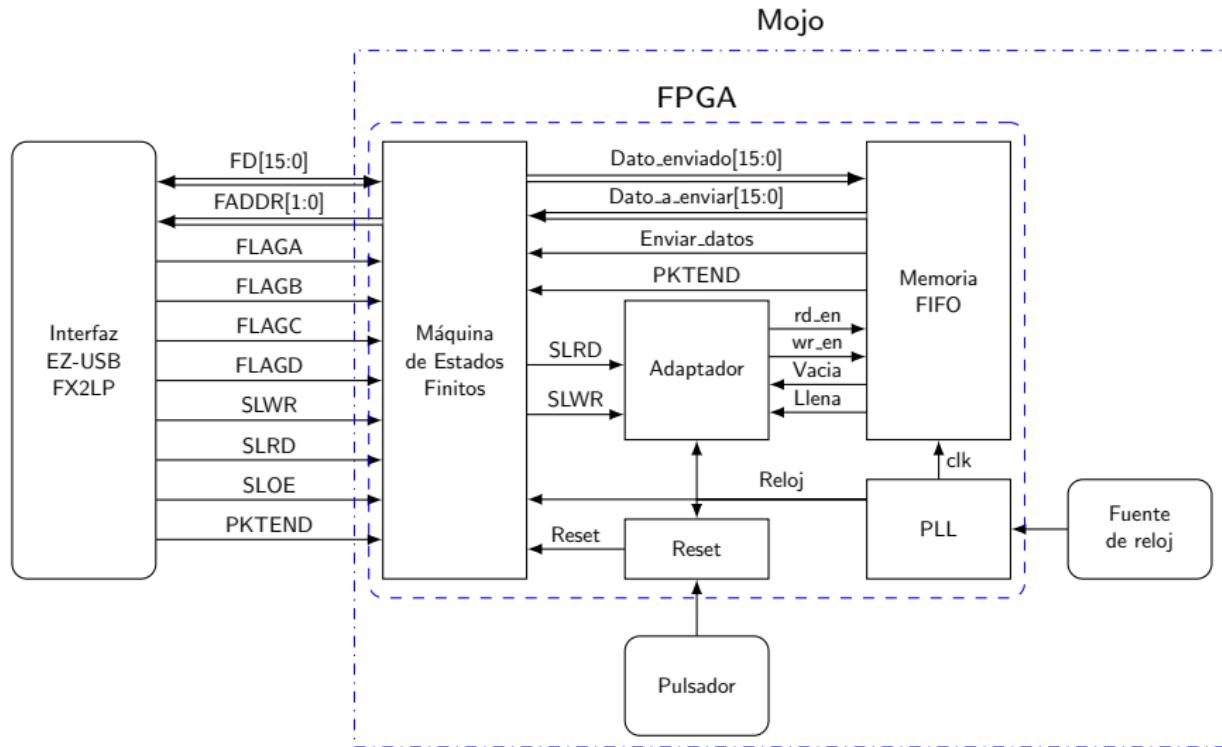
FX2LP	Spartan 6	FX2LP	Spartan 6
FD15	P50	FD2	P24
FD14	P51	FD1	P21
FD13	P40	FD0	P22
FD12	P41	SLWR	P17
FD11	P34	SLRD	P16
FD10	P35	SLOE	P6
FD9	P32	FLAGA	P12
FD8	P33	FLAGB	P14
FD7	P29	FLAGC	P15
FD6	P30	FLAGD	P11
FD5	P26	PKTEND	P10
FD4	P27	FIFOADR1	P9
FD3	P23	FIFOADR0	P8

Sistema completo



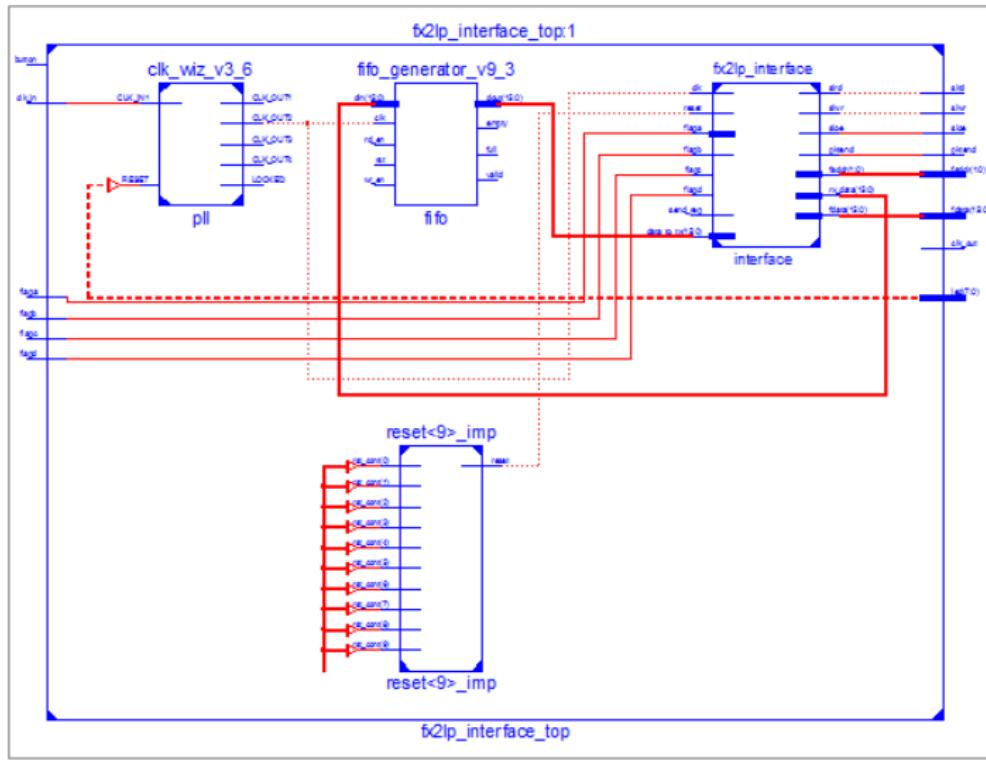
Sistema de pruebas

Arquitectura

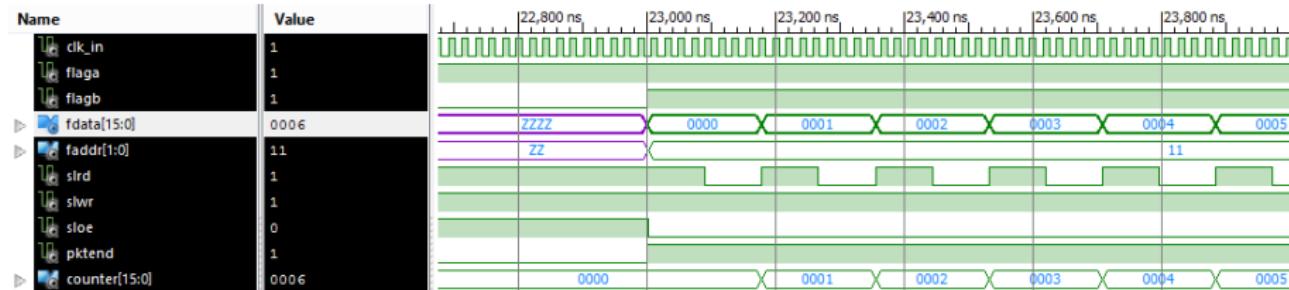


Sistema de Pruebas

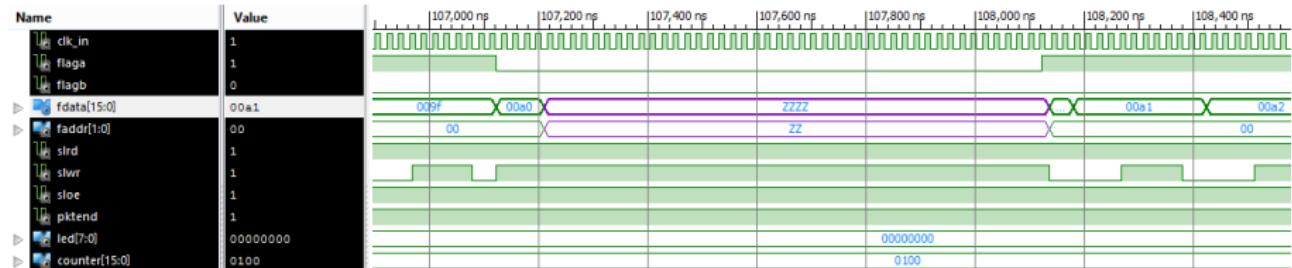
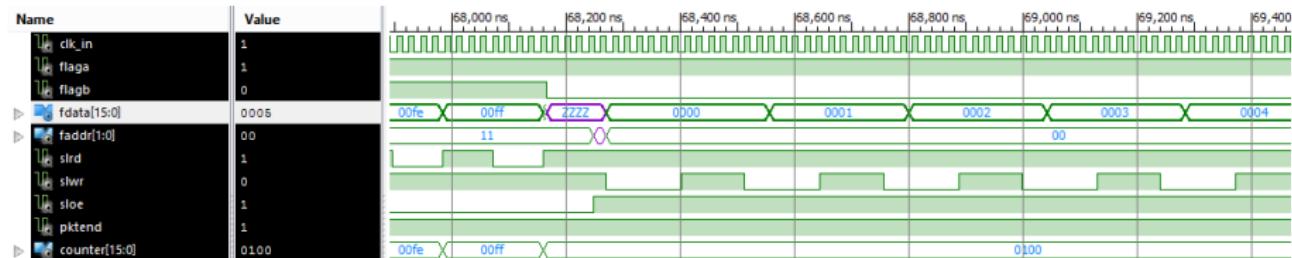
Implementación en VHDL



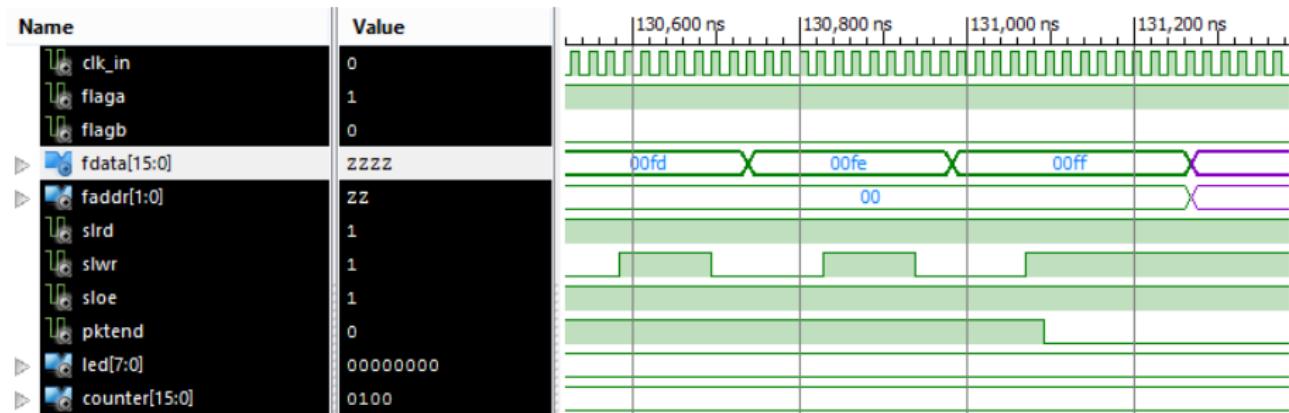
Verificación Funcional



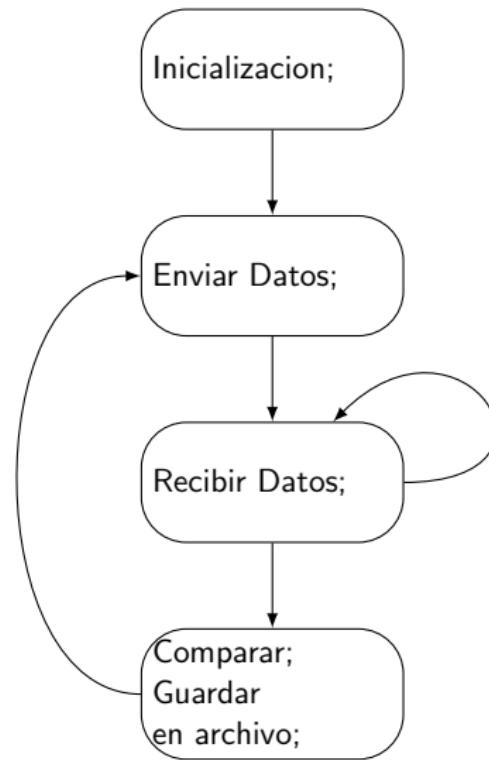
Verificación Funcional



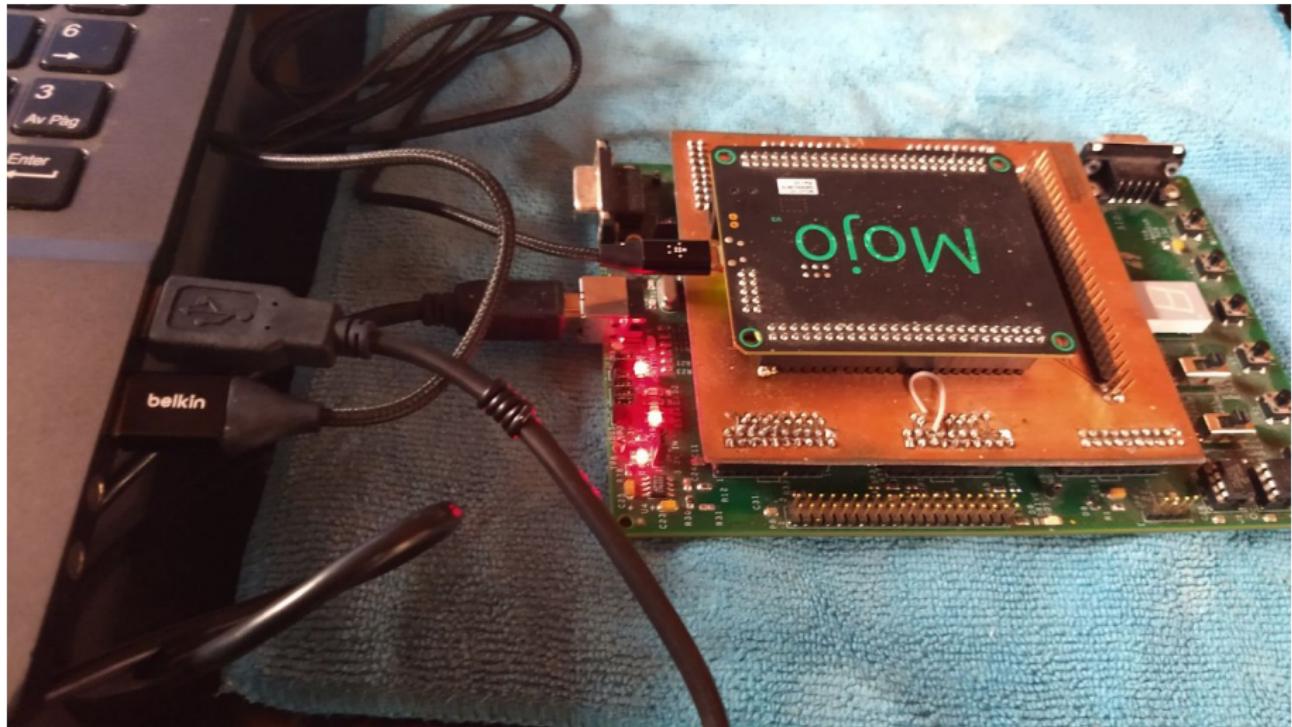
Verificación Funcional



Esquemas de prueba



Sistema en funcionamiento



Resultados de la prueba de comunicación

- El sistema envió y recibió paquetes durante 24 horas, logrando la correcta transmisión y recepción de 388.191.289 paquetes de 128 bytes cada uno.
- El sistema desarrollado estableció una comunicación USB de alta velocidad.
- La tasa de transferencia de datos es de 12,4 Mbps.
- No hubo perdida ni errores en los datos transmitidos.
- La tasa efectiva de transmisión de datos útiles fue de 9,12 Mbps.

Conclusiones

- Se desarrollo un sistema de comunicación USB 2.0 que permite conectar una FPGA con una PC. El enlace pudo ser operado a 480 Mbps.
- El sistema elaborado permite leer y escribir datos en forma robusta, es decir, sin perder datos.
- Se adquirieron y entendieron conceptos importantes de la norma USB 2.0.
- Se seleccionó y se configuró el controlador FX2LP como interfaz USB.
- Se seleccionó el FPGA Spartan 6 de Xilinx Inc, incorporado en la placa de desarrollo Mojo v3.

Conclusiones

- Se desarrolló una máquina de estados finitos implementada con el FPGA que comanda la comunicación entre este dispositivo y la interfaz USB.
- Se desarrolló un programa de computadoras que permite enviar y recibir datos a través del puerto USB.
- Se logró transmitir información desde y hacia la PC a una tasa efectiva de 9,12 Mbps.

Trabajos futuros

- Realizar una prueba de máxima transferencia de datos a través del envío ininterrumpido de datos desde la FPGA hacia la PC.
- Implementar una comunicación síncrona entre ambos sistemas.

Muchas gracias.

Consultas

Consultas.