**FPGA** FDATA[15:0] Reloj FADDR[1:0] Fuente de reloj Reset FLAG\_Vacío FLAG\_Lleno Dato\_enviado[15:0] Maquina FX2LP de Estados Dato\_a\_enviar[15:0] **FIFO** SLOE Algorítmica Enviar\_datos SLRD Sistema SLRD Genérico **SLWR** SLWR **PKTEND PKTEND**