

Temas Específicos de Electrónica Digital I

Comunicación USB 2.0 para aplicaciones científicas basadas en FPGA

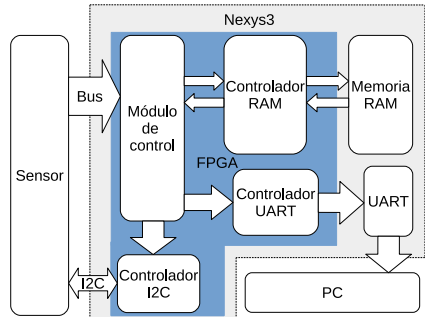
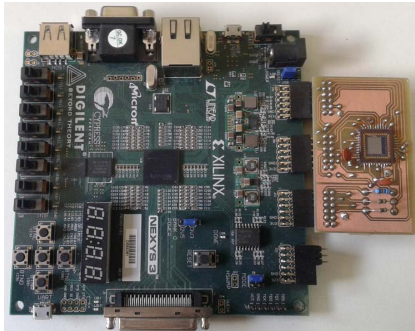
Edwin Barragán

`edwin.barragan@cab.cnea.gov.ar`

Universidad Nacional de San Juan
Facultad de Ingeniería

8 de mayo de 2019

Una comunicación USB para aplicaciones científicas basadas en FPGA



Agenda

Introducción

Implementación

Evaluación y validación

Resultados y conclusiones

Agenda

Introducción

- Motivación

- Objetivos

- Bus Serial Universal

Implementación

- Arquitectura del sistema

- Configuración del puente

- Circuito sintetizado

- Circuito de interconexión

Agenda

Evaluación y validación

- Test benches de VHDL

- Depuración de firmware del puente

- Biblioteca de PC

- Programas de prueba

- Elementos de VHDL utilizados para depuración

Resultados y conclusiones

- Robustez

- Tasa máxima de Transferencia

- Trabajo futuro

Agenda

Introducción

Motivación

Objetivos

Bus Serial Universal

La producción de información científica

La necesidad de una comunicación entre un FPGA y una PC

Agenda

Introducción

Motivación

Objetivos

Bus Serial Universal

Objetivos



Agenda

Introducción

Motivación

Objetivos

Bus Serial Universal

USB - Bus Serial Universal

Agenda

Implementación

Arquitectura del sistema

Configuración del puente

Circuito sintetizado

Circuito de interconexión

Arquitectura del sistema propuesto

Agenda

Implementación

Arquitectura del sistema

Configuración del puente

Circuito sintetizado

Circuito de interconexión

Firmware de configuración de la interfaz

Agenda

Implementación

Arquitectura del sistema

Configuración del puente

Circuito sintetizado

Circuito de interconexión

Interfaz puente - FPGA

Agenda

Implementación

- Arquitectura del sistema
- Configuración del puente
- Circuito sintetizado
- Circuito de interconexión

Circuito de interconexión

- ▶ Versión 1
- ▶ Versión 2
- ▶ Version 3

Agenda

Evaluación y validación

- Test benches de VHDL

- Depuración de firmware del puente

- Biblioteca de PC

- Programas de prueba

- Elementos de VHDL utilizados para depuración

Test Bench

Agenda

Evaluación y validación

Test benches de VHDL

Depuración de firmware del puente

Biblioteca de PC

Programas de prueba

Elementos de VHDL utilizados para depuración

Debug Cypress

Agenda

Evaluación y validación

Test benches de VHDL

Depuración de firmware del puente

Biblioteca de PC

Programas de prueba

Elementos de VHDL utilizados para depuración

libusb-1.0

Agenda

Evaluación y validación

Test benches de VHDL

Depuración de firmware del puente

Biblioteca de PC

Programas de prueba

Elementos de VHDL utilizados para depuración

Esquemas de prueba

Agenda

Evaluación y validación

Test benches de VHDL

Depuración de firmware del puente

Biblioteca de PC

Programas de prueba

Elementos de VHDL utilizados para depuración

Flip-Flop para eco

ROM con patrón de repetición infinita

Agenda

Resultados y conclusiones

Robustez

Tasa máxima de Transferencia

Trabajo futuro

Resultados de la prueba de robustez de la comunicación

Agenda

Resultados y conclusiones

Robustez

Tasa máxima de Transferencia

Trabajo futuro

Resultados de la prueba de máxima transferencia de datos

TODO

Agenda

Resultados y conclusiones

Robustez

Tasa máxima de Transferencia

Trabajo futuro

Lo que falta...

Consultas

Muchas gracias

Material Adicional

Respaldo y cosas que no entren