

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 刘逸帆**

**学 号： U201610504**

**班 级： 计科校交1601班**

**指 导 教 师： 徐有青**

**计算机科学与技术学院**

**2018 年 6月 1日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1“私有”的先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器的设计方案**

分析易得到一位二进制半加器的真值表如下表所示：



由真值表易得到本位输出S与进位输出C的输出函数表达式分别为：





利用logisim软件设计一位二进制半加器逻辑电路如图1-2所示。

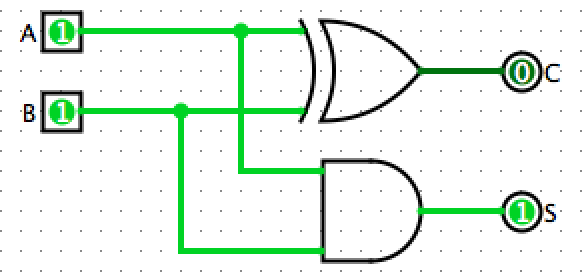
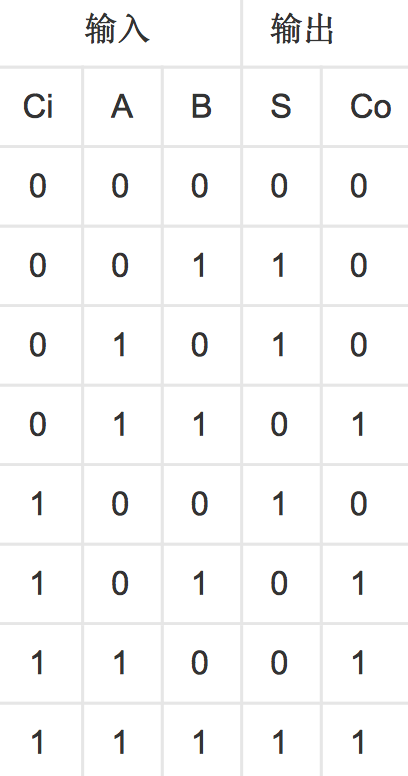


图1-2 一位二进制半加器

**（2）一位二进制全加器的设计方案**

分析易得到一位二进制半加器的真值表如下表所示：



由真值表易得到本位输出S与进位输出C的输出函数表达式分别为：

S=A⊕B⊕Ci

CO=AB+Ci(A⊕B)

利用logisim软件设计一位二进制全加器逻辑电路如图1-3所示。

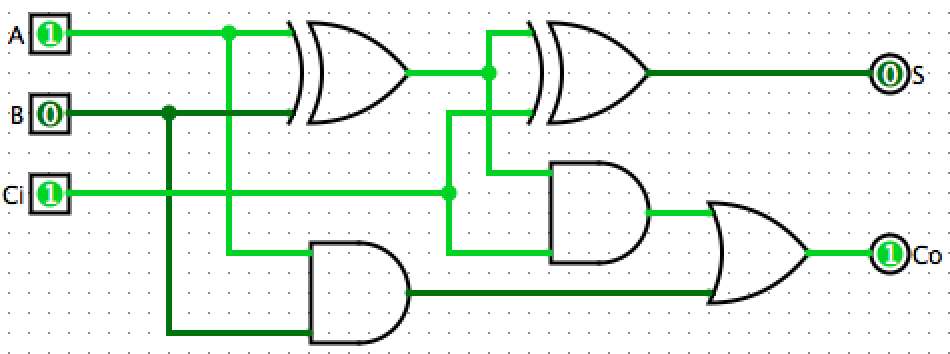


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器的设计方案**

串行进位四位二进制并行加法器由四个全加器级联构成， A3A2A1A0、B3B2B1B0分别为四位的加数与被加数，C0为来自低位的进位输入。除最进行最低位加法的全加器外，每一个全加器的进位输入来自上一个全加器的进位输出。本位输出从高位到低位依次为S3S2S1S0，进位输出为C4。逻辑电路如图1-4所示。

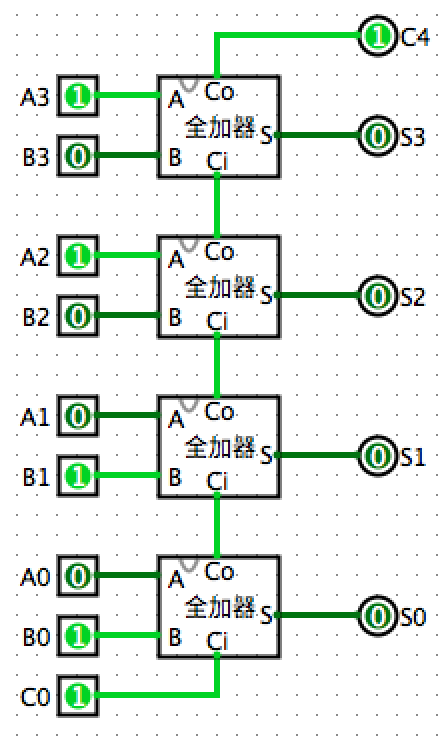
****

图1-4串行进位的四位二进制并行加法器

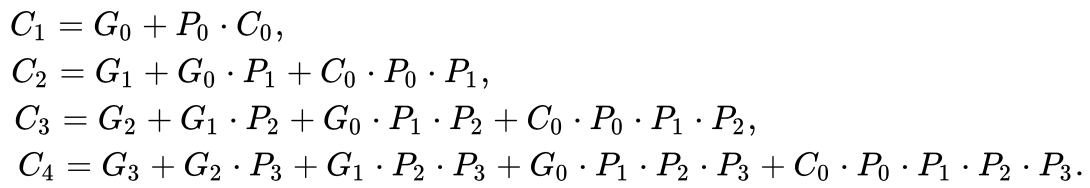
**（4）先行进位的四位二进制并行加法器的设计方案**

先行进位的四位二进制并行加法器中定义进位产生函数Gi与进位传递函数Pi的函数表达式分别为：





从而得到四位二进制并行加法器各位的进位输出函数表达式分别为：



由进位产生函数、进位传递函数、输出函数表达式及封装好的全加器可设计先行进位的四位二进制并行加法器入图1-5所示。

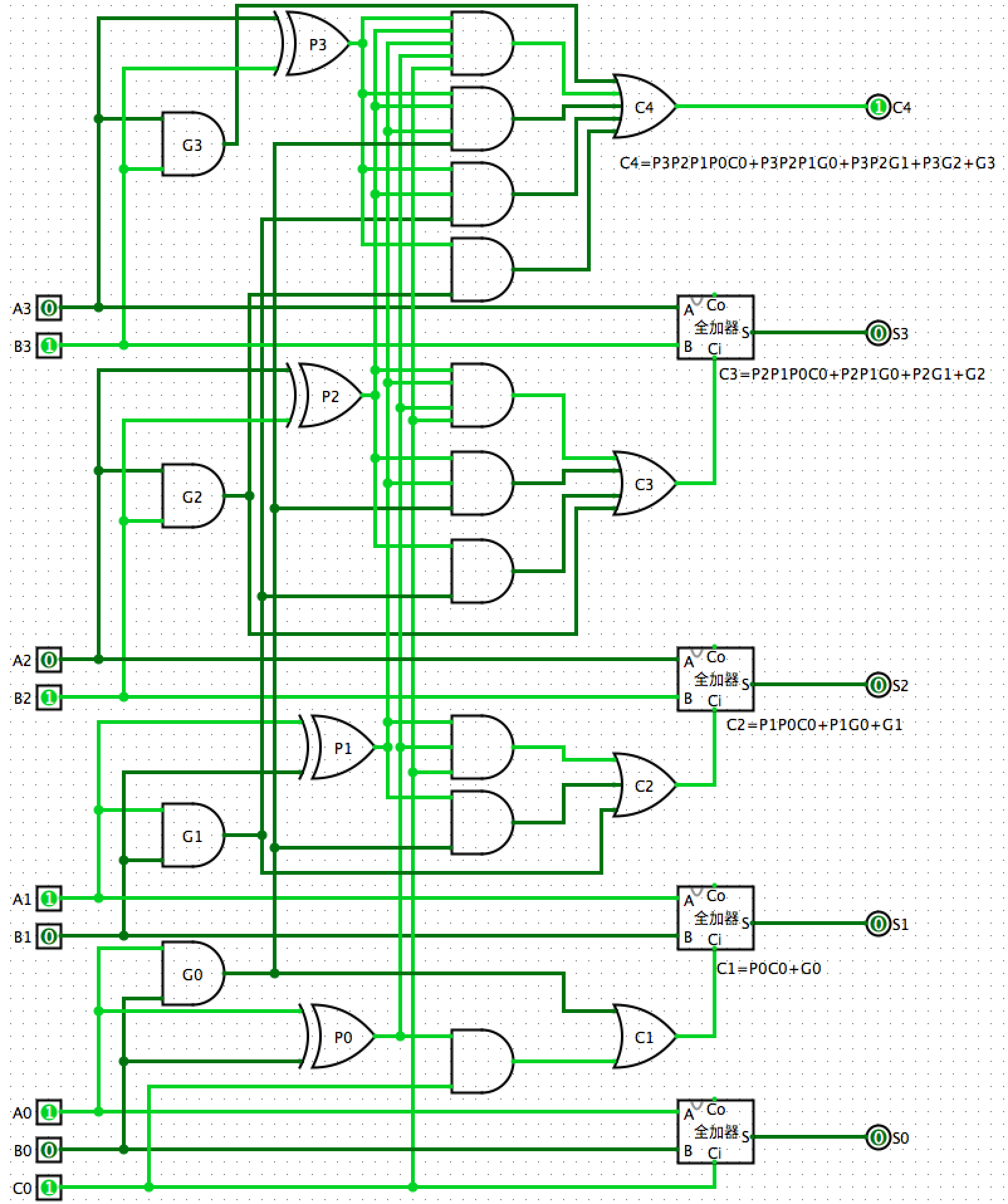
****

图1-5先行进位的四位二进制并行加法器

**（5）封装先行进位的四位二进制并行加法器电路**

对“第4步”完成的先行进位四位二进制并行加法电路进行封装，然后对它设计的正确性进行验证。用于验证封装后器件的测试电路如图1-6所示。

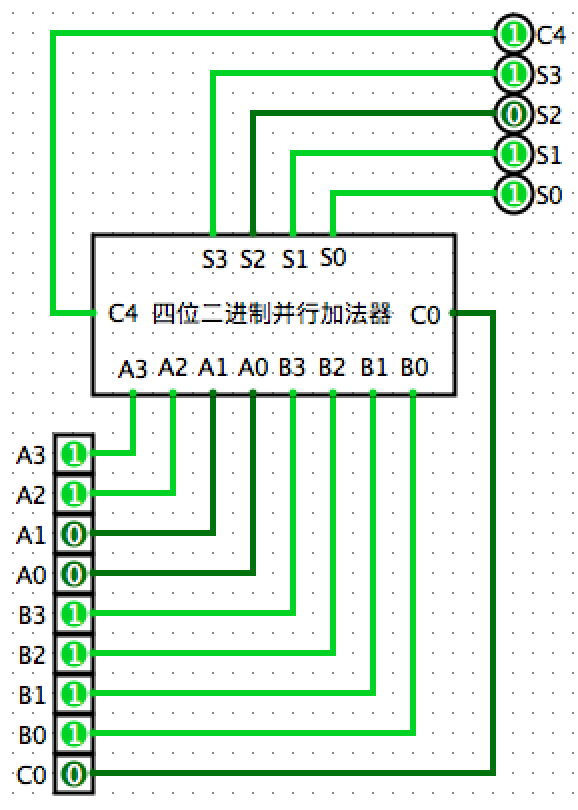
****

图1-6封装后的先行进位的四位二进制并行加法器

使用两组输入对器件设计的正确性进行测试。观察到在输入加数1111、被加数1111、低位进位输入1时，输出本位为1111、向高位进位为1，结果正确；在输入加数1010、被加数0101、低位进位输入1时，输出本位为0000、向高位进位为1，结果正确。验证了电路设计的正确性。



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）设计一个四位二进制可逆计数器电路**

在加计数脉冲CP-u到来时，对应D触发器的激励函数表达式如下：

D3=QD⊕(QC·QB·QA),

D2=QC⊕(QB·QA),

D1=QB⊕QA,

D0=/QA.

在减计数脉冲CP-d到来时，对应D触发器的激励函数表达式如下：

D3= QD⊕(/QC·/QB·/QA),

D2= QC⊕(/QB·/QA),

D1= QB⊕/QA,

D0=/QA.

利用时钟脉冲信号对D触发器的激励信号做选通处理，可设计四位二进制可逆循环计数电路如图2-3所示。

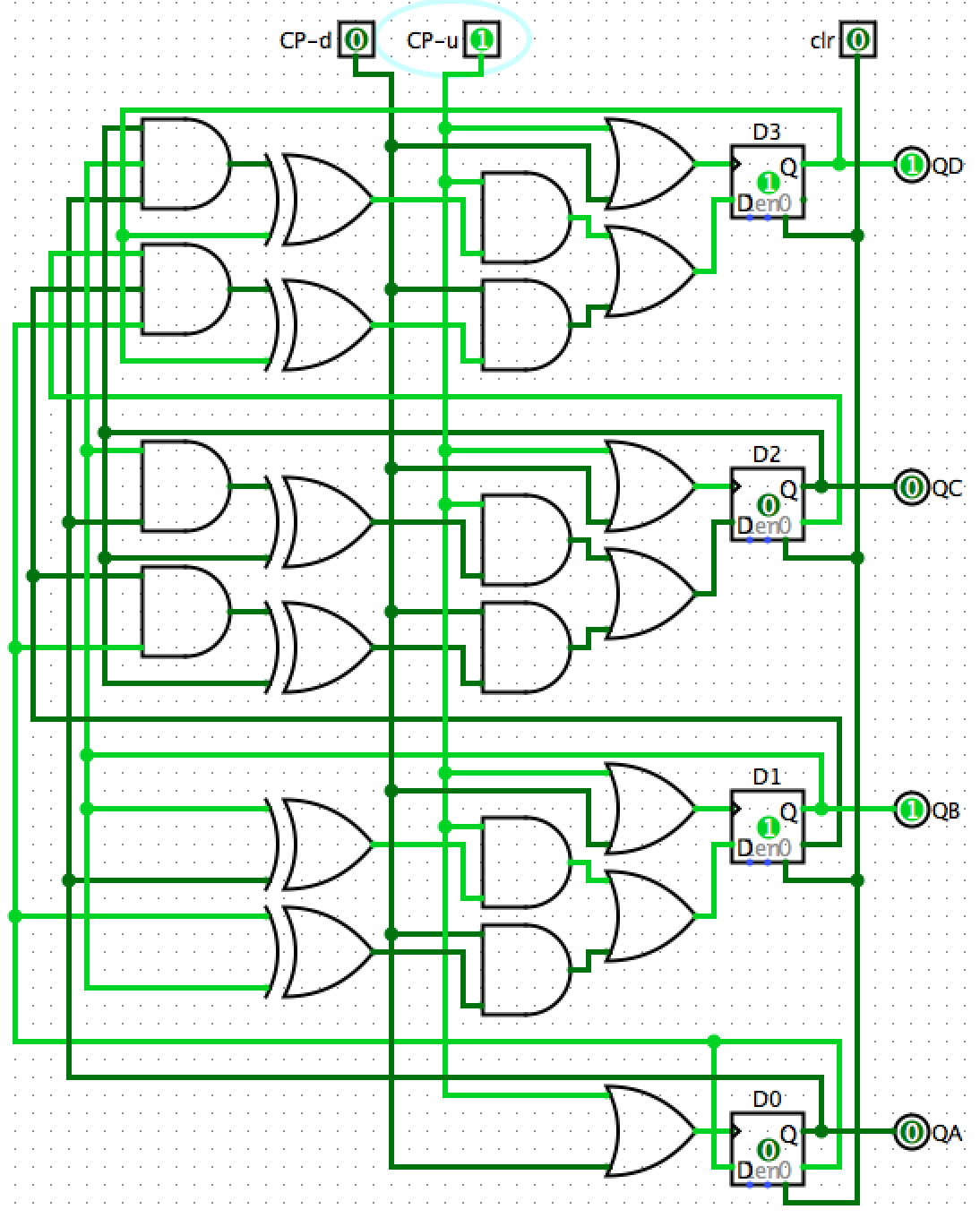


图2-3 一个四位二进制可逆计数器

图中已计数到‘1010’，当CP-u加计数脉冲下降沿到来时，计数器状态将变为‘1011’。

**（2）用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**

图2-4为用实验一种已封装的并行加法器设计的四位二进制数转8421BCD码的电路。四位二进制数取值范围为0～1111，对应十进制数为0～15，即转换为8421码后高位只可能为1或0，故高位的8421码输出仅输出一位二进制数字。

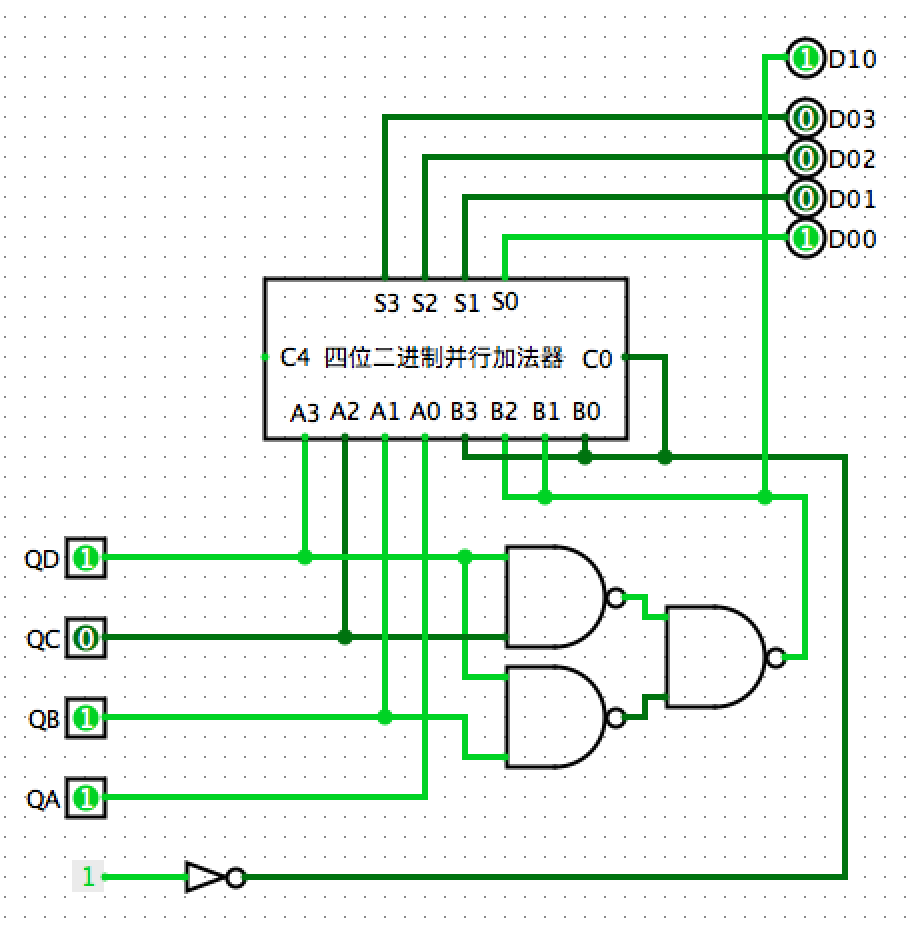
****

图2-4 一位16进制数转2位8421码

图中电路将二进制数1011转换为二位8421码，高位（十位）为1，低位（个位）为0001。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

**（A）设计一个7段译码器**

显示0～9十个字符的七段译码器对应显示管a～g的激励函数表达式如下：

a=(/a2·/a0+a2·a0+/a2·a1+a3)·/(a3a2)·/(a3a1),

b=(/a2+/a1·/a0+a1·a0)·/(a3a2)·/(a3a1),

c=(a2+/a1+a0)·/(a3a2)·/(a3a1),

d=(/a2·/a0+a1·/a0+/a2·a1+a2·/a1·a0)·/(a3a2)·/(a3a1),

e=(/a2·/a0+a1·/a0)·/(a3a2)·/(a3a1),

f=(a3+/a1·/a0+a2·/a1+a2·/a0)·/(a3a2)·/(a3a1),

e=(a3+a2·/a1+/a2·a1+a1·/a0)·/(a3a2)·/(a3a1).

在输入二进制数为0000～1001时输出译码结果，在输入二进制数为1010～1111时，输出结果为全0，不驱动显示管。如图2-5为七段译码器设计电路,此时输出0000的译码结果，若驱动七段显示管将显示数字0。

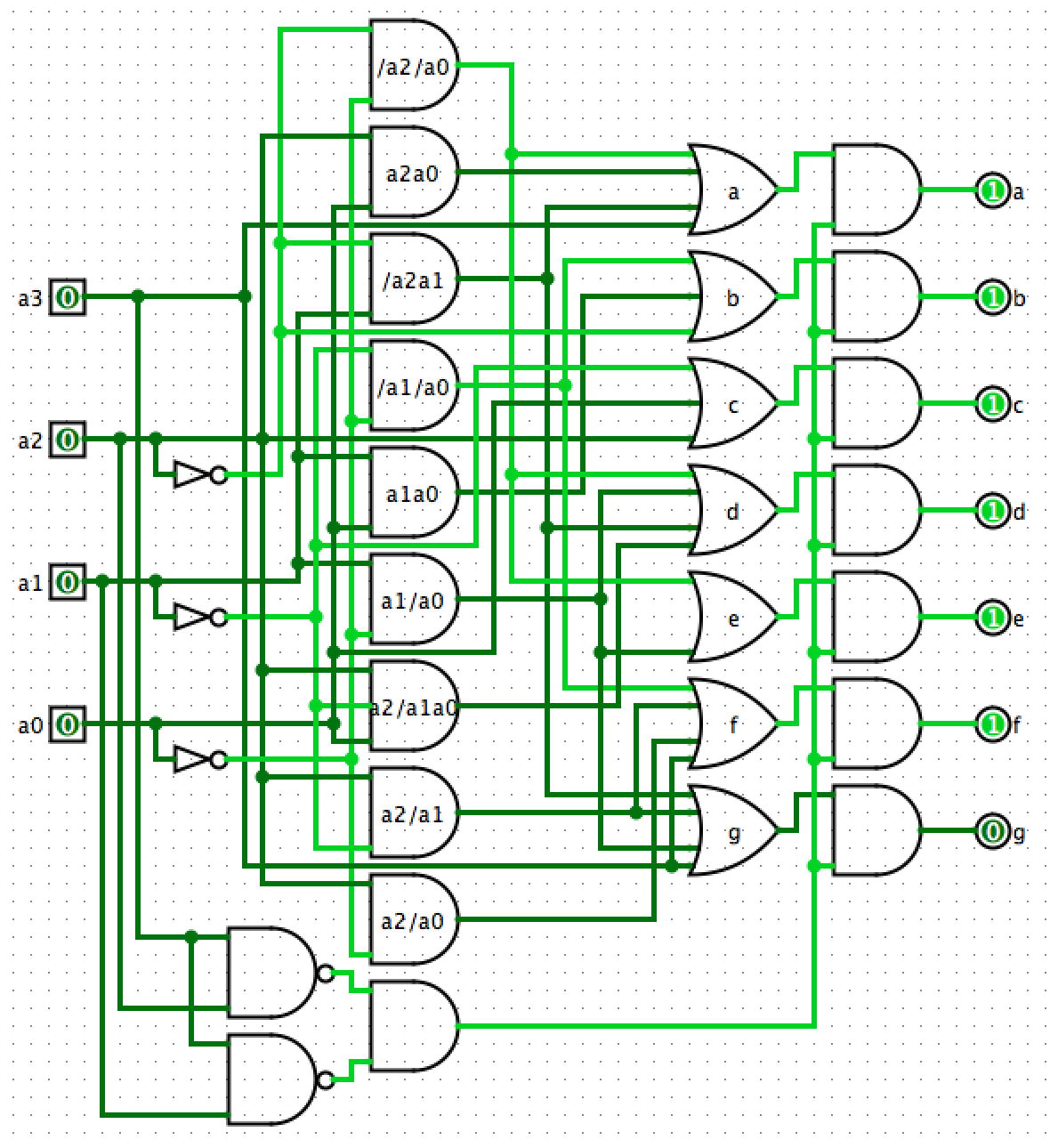


图2-5 7段译码器

**（B）设计用“7段数码显示管”显示人数的逻辑电路**

图2-6为使用封装的四位二进制转8421码器件生成两位十进制8421码数字并通过七段译码器与七段译码显示管将两位8421码显示出来，图中将二进制数1011转换为8421码并通过七段译码器译码后驱动七段显示管显示数字11。

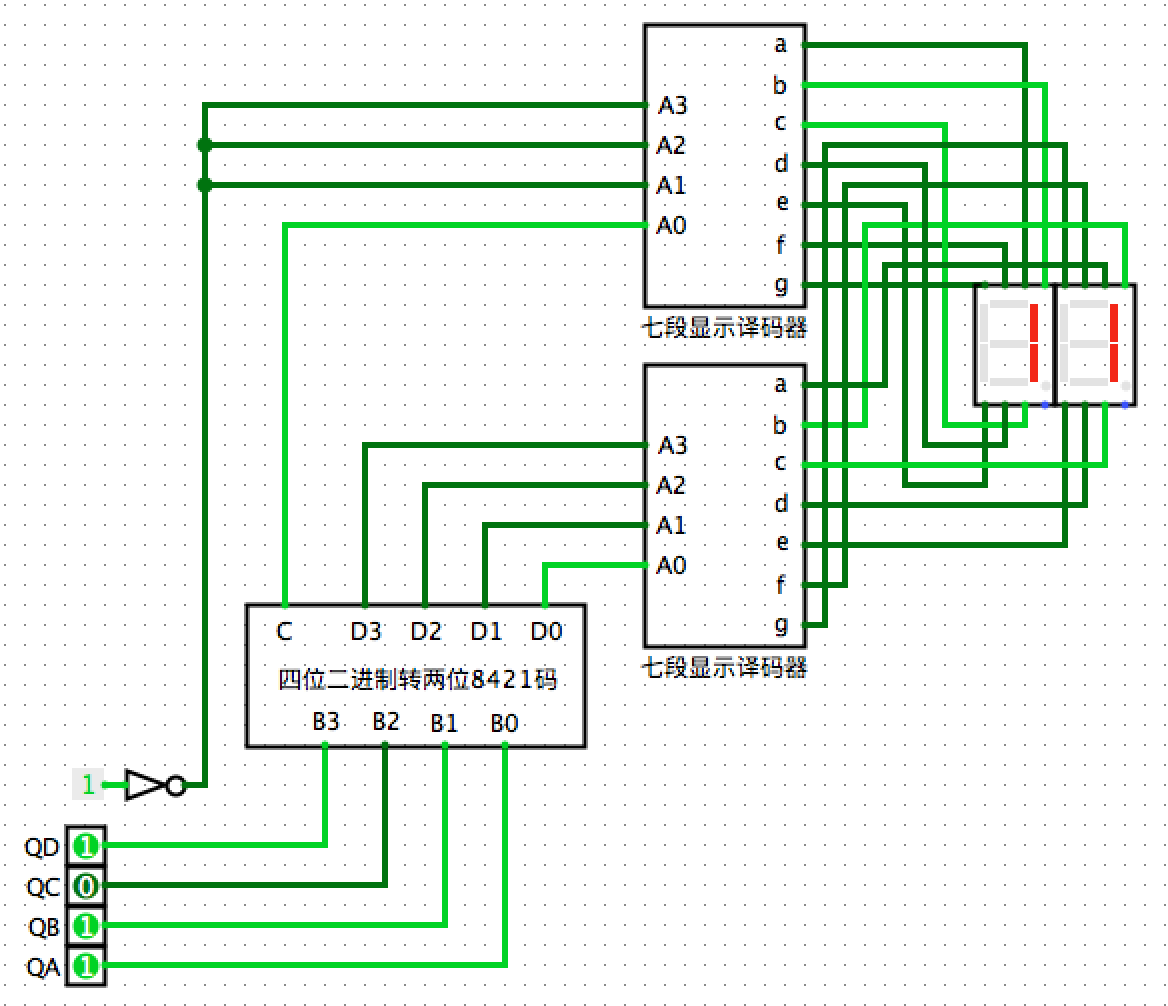


图2-6 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

电路设计采用了本次实验1中由4位二进制可逆计数器所封装的“私有”库元件。

图2-7为用封装的四位二进制可逆计数器设计满员报警且人数为0时不能再减少计数的报警电路，此时室内人数已满，再刷卡时系统报警并不进行加计数。

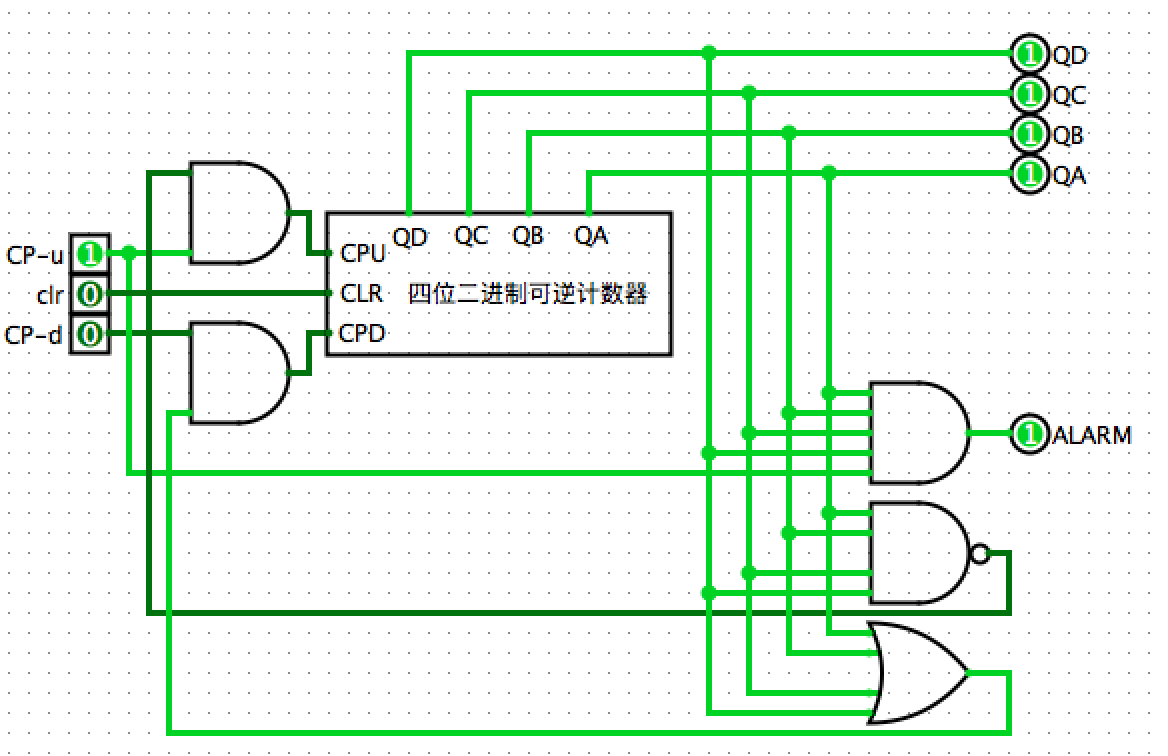


图2-7 报警电路

**（5）设计小型实验室门禁系统电路**

图2-8为小型实验室门禁系统设计电路，图中人数已满产生报警信号。

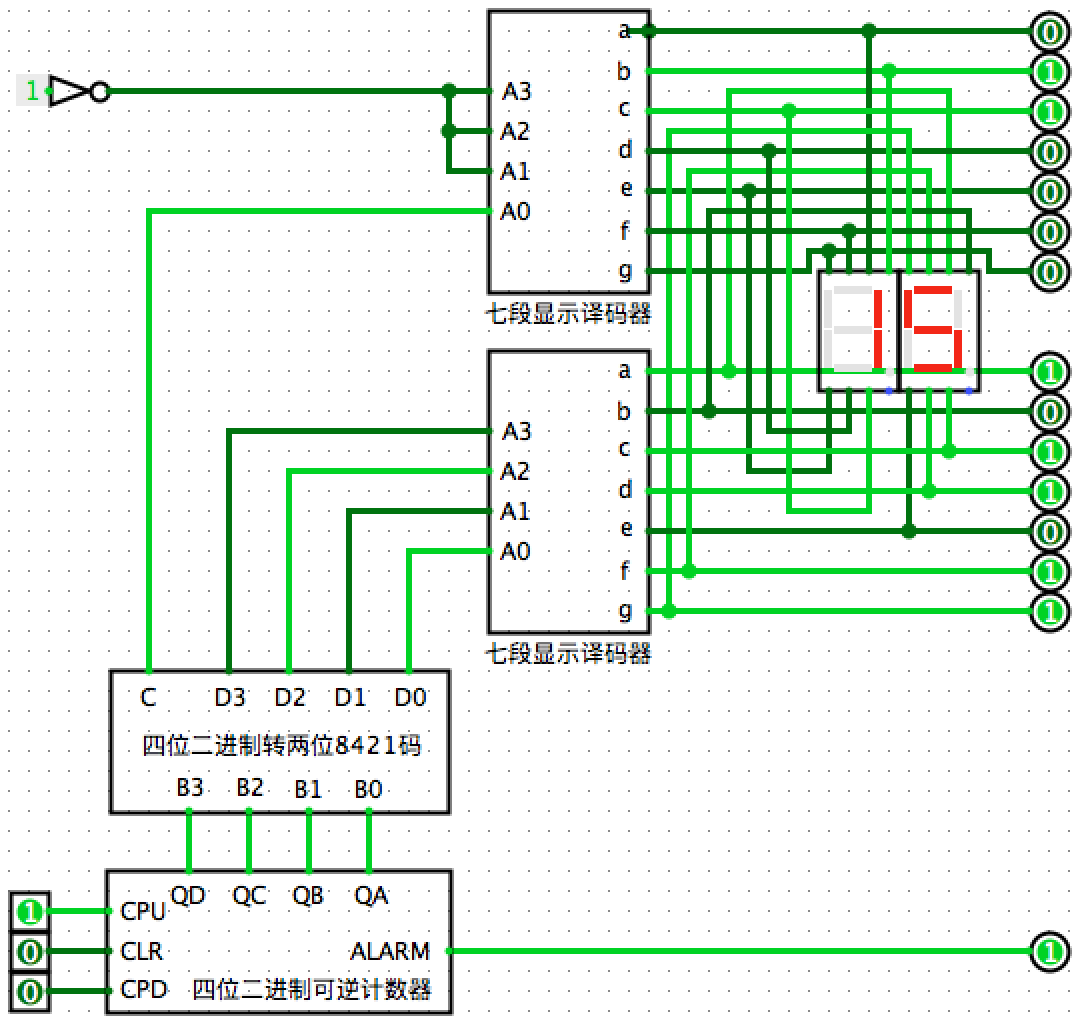


图2-8 门禁系统电路

6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

图2-9为封装后的一个四位二进制可逆计数器的测试电路，此时计数到0101，在一个加计数脉冲后将变为0110，在一个减计数脉冲后将变为0100。

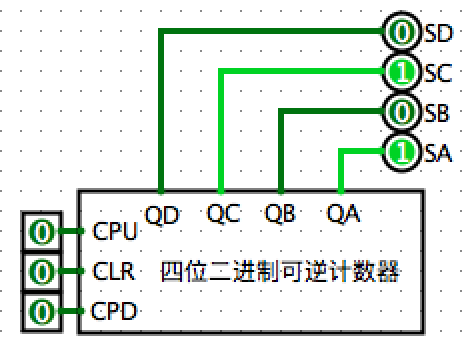


图2-9私有一个四位二进制可逆计数器

**（2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

图2-10为封装后的将二进制数转化为两位8421码的电路，图中二进制数1110转换后十位数字8421码为0001，个位数字8421码为0100。

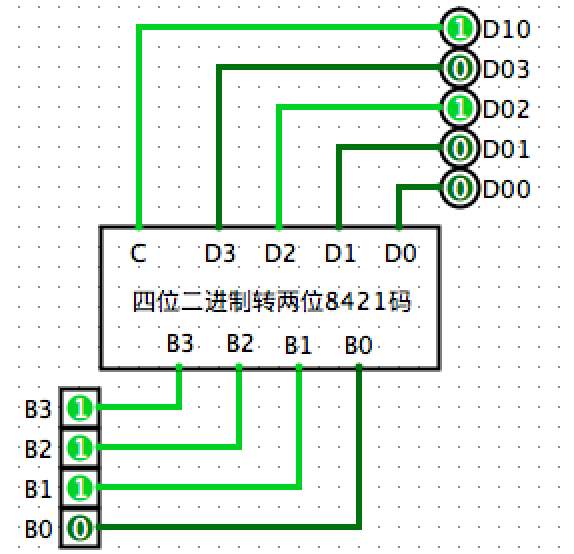
****

图2-10私有二进制数转换成8421BCD码的电路

**（3）给出采用“7段数码显示管”显示人数的电路**

图2-11为封装后的人数显示电路，图中将8421BCD码1000译码后驱动七段显示管输出数字8。

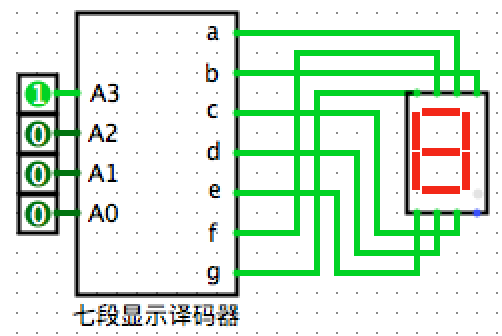


图2-11私有人数显示的电路

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

图2-12为实验室满员时门禁不动作，系统报警提示满员的电路。

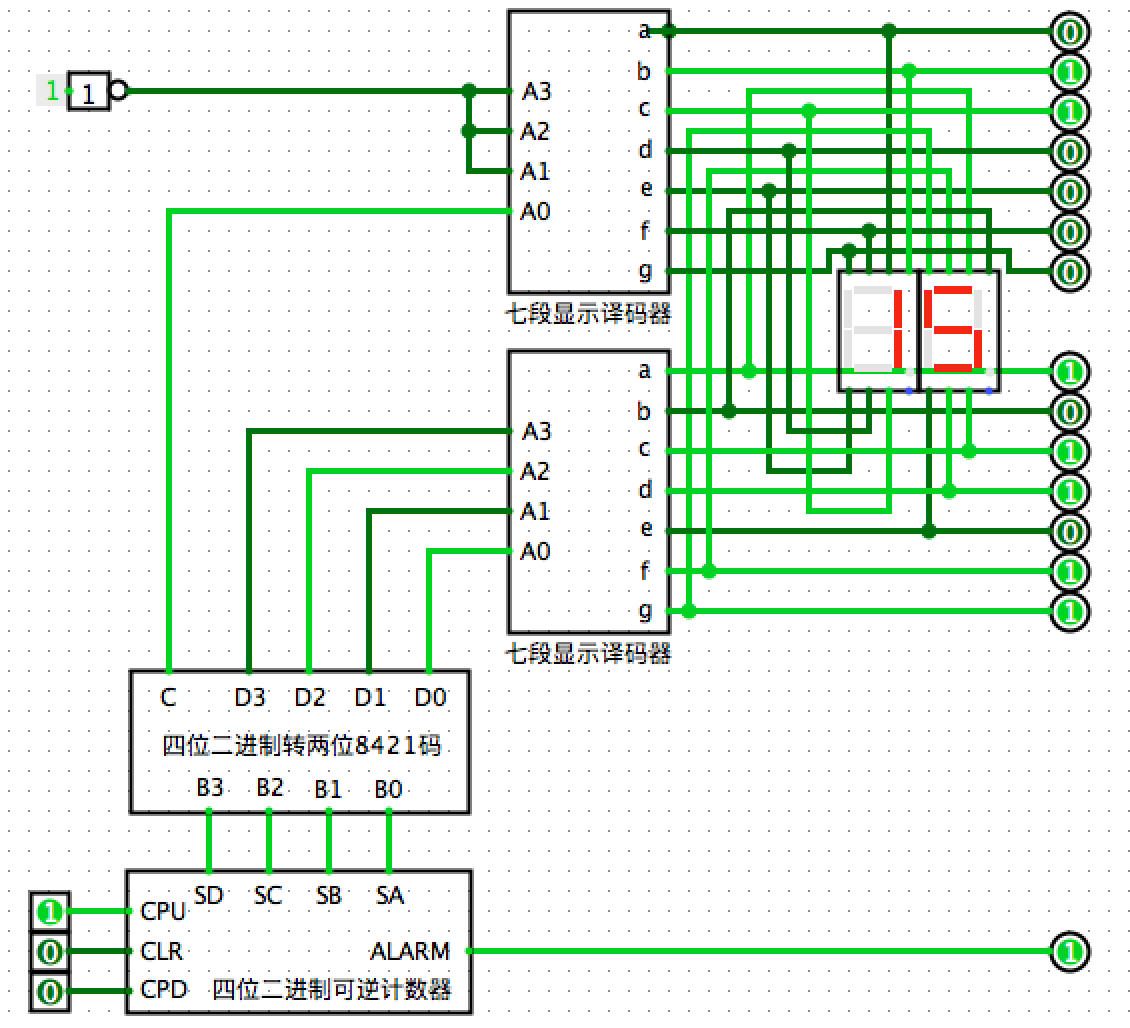


图2-12系统报警电路

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

图2-13为私有后的门禁系统电路，图中实验室满人仍然刷卡进入，系统产生报警信号。

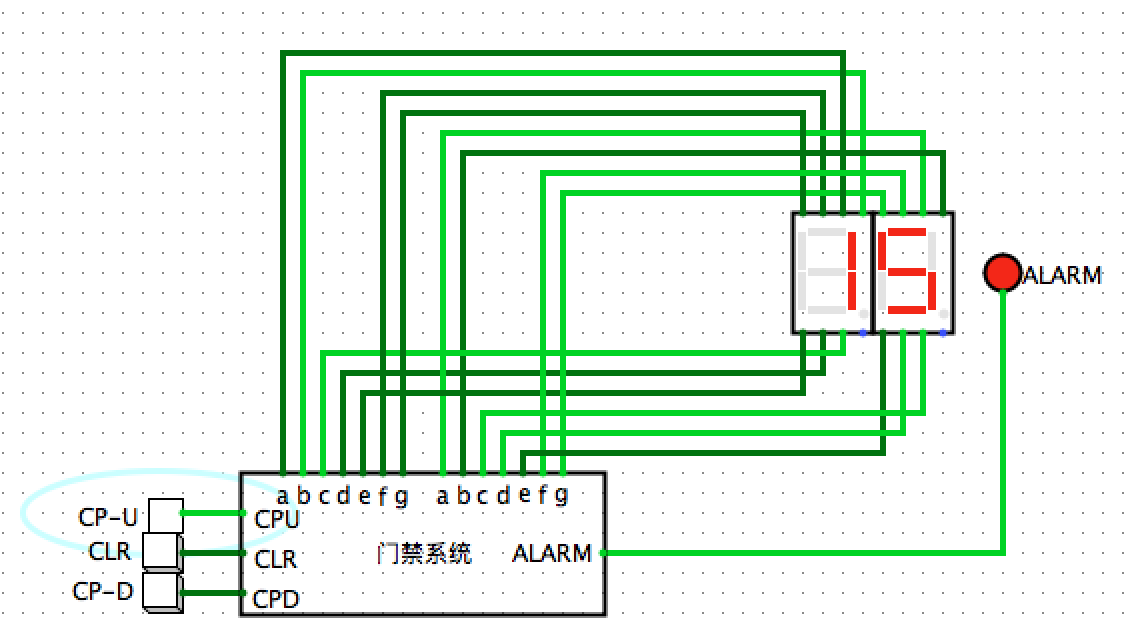
****

图2-13私有后的门禁系统电路

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

1.先行进位的四位二进制并行加法器需要注意每个进位不能依赖前一个进位的产生。同时涉及到的激励函数较多，需要注意电路布线。

2.四位二进制可逆计数器实现加计数和减计数两个脉冲出现时对应的激励函数都需要能够对D触发器进行触发，需要制作选通结构，选择使用哪个激励信号。

3.七段译码器需要注意对无意义或无效的输入进行处理，产生错误输出或不产生输出。

**（2）你是如何解决的？**

1.通过教材上已有的进位产生函数与进位传递函数进行设计电路中需要使用的各种激励，并为每个激励信号预留布线时需要的空间，从而整洁的完成电路设计。

2.利用加计数与减计数脉冲对D触发器的激励信号做选通处理，从而实现将加减计数同时实现在一个电路中。

3.对输入的二进制数字进行人工判断，若对应二进制数值小于1010则译码，若大于等于1010则不产生驱动信号，七段显示管不工作。

**（3）意见和建议**

步骤安排合理，实验过程顺畅。希望对报告格式(文字字体等)提出一定要求。