



EGO-19EG 硬體使用手冊

一元素科技股份有限公司
E-Elements Technology Co., Ltd.

修訂記錄

版本	修訂記錄	修訂人	日期
V1.0	1.0 Release	Kuko	2023/11/7

目錄

修訂記錄.....	1
目錄	2
圖片目錄.....	3
表格目錄.....	4
1. 概述.....	5
1.1 產品描述	5
1.2 硬件框架圖	6
2. 硬體元件介紹.....	6
2.1 主要規格	6
2.2 實物照片與資源	7
2.3 元件實體位置	8
3. Platform information description	10
3.1 FPGA Chipset	10
3.2 Power	11
3.3 Clock.....	12
3.4 Reset	14
3.5 開機配置方式	16
3.6 PS -DDR4 &PL-DDR4 Storage.....	17
3.7 PS-QSPI Flash	19
3.8 PS-Micro SD&PL-Micro SD.....	21
3.9 PS-Nand flash	22
3.10 UART-JTAG	23
3.11 USB3.0.....	23
3.12 PS-Ethernet&PL- Ethernet.....	25
3.13 PS-DP 接口	27
PS-SATA	28
3.14 PS-CAN	28
3.15 PL-QSFP.....	29
3.16 PL-FMC HPC&FMC LPC	31
3.17 PL-RS232	40
3.18 PL-PMOD.....	41
3.19 PL-USER LED	42
3.20 PL-USER Switch.....	42

圖片目錄

圖 1 板卡快速配置.....	5
圖 2 EGO-19EG 平臺硬件框圖.....	6
圖 3 EGO-19EG 平臺電源框圖.....	7
圖 4 EGO-19EG 實物照片	8
圖 5 主要器件板上位置	9
圖 6 Zynq UltraScale+晶片資源.....	11
圖 7 電源電路.....	13
圖 8 PS 端時鐘電路	14
圖 9 PL 端時鐘電路	14
圖 10 DDR4，QSFP，SATA，PCIE 參考時鐘電路.....	14
圖 11 GT 時鐘電路	15
圖 12 PS 端 PS_POR_Breset 和 PS_SRST_Breset	16
圖 13 PS 端的普通 IO □ reset.....	16
圖 14 PL 端 reset	17
圖 15 PS MODE 配置方式原理圖.....	18
圖 16 PS DDR4 電路.....	19
圖 17 PS DDR4 電路.....	20
圖 18 QSPI Flash 電路	20
圖 19 PS-MicroSD 卡插槽電路	21
圖 20 PL-MicroSD 卡插槽電路	21
圖 21 Nand flash 電路示意圖	22
圖 22 UART-JTAG 接口電路.....	23
圖 23 USB3.0 接口電路.....	24
圖 24 以太網接口電路.....	25
圖 25 PL Ethernet 電路示意圖	26
圖 26 DP 接口電路示意圖	27
圖 27 PS-SATA 接口電路示意圖	28
圖 28 CAN 接口電路圖	29
圖 29 QSFP 電路示意圖	29
圖 30 PL-PCIe 接口電路示意圖	30
圖 31 PL-FMC HPC 電路示意圖	32
圖 32 PL-FMC LPC 接口電路示意圖	38
圖 33 RS232 部分電路示意圖	40
圖 34 PMODX2 電路示意圖	40
圖 35 USER-LED 接口電路.....	41
圖 36 PL-USER Switch 接口電路.....	42

表格目錄

表 1 Reset pin.....	15
表 2 EGO-19EG 配置方式	17
表 3 PL-Micro SD 引腳	21
表 4 Nand flash 電路引腳	22
表 5 UART 引腳	23
表 6 USB3.0 pin.....	24
表 7 PS-Ethernet	25
表 8 PL-Ethernet 腳位分配	26
表 9 PS-DP 腳位分配.....	27
表 10 PS-SATA 腳位分配	28
表 11 PS-CAN 腳位分配.....	29
表 12 PMODX2 腳位分配	41
表 13 PL-USER LED 接口引腳	42
表 14 PL-USER Switch 接口引腳.....	43

1. 概述

1.1 產品描述

ZU19EG 平臺採用了 Zynq UltraScale+ ZU19EG-FFVB1517 MPSoC 晶片的所有功能，確保選擇外設的靈活性。該原型開發板包含用於可編程邏輯 (PL) 的 8GB DDR4 內存和用於處理系統 (PS) 的 4GB DDR4 內存。該板包含 2 Gb NAND 內存，並支持在 Micro-SD 卡中存儲高達 32GB 的 SSD。它還具有 2Gb QSPI, PS Ethernet 及 PL Ethernet 、CAN 、Pmod×2, USB 3.0 、JTAG USB 、SATA 、QSFP 。使用 DisplayPort 提供多媒體接口。為了擴展外圍設備，板上提供了符合 FMC VITA 57.1-2010 標準的 2 個 FMC VITA 。因此，可以將其他設備連接其他供應商提供的 FMC 子卡。

1.2 硬體框架圖

EGO-19EG 平臺基於 Zynq UltraScale+ XCZU19EG-2FFVB1156E MPSoC(multiprocessor system-on-chip)而設計的通用開發板卡，使用靈活方便。其硬件原理系統架構圖如圖 2 所示。

圖 1 EGO-19EG 硬體框架圖

2. 硬體元件介紹

2.1 主要規格

- 系統主晶片 XCZU19EG-FFVB1517
- PS
 - ✓ 4GB DDR4
 - ✓ 2Gb QSPI
 - ✓ 2Gb NAND
 - ✓ Micro SD
 - ✓ 10/100/1000M Ethernet
 - ✓ USB-JTAG
 - ✓ USB-UART
 - ✓ 1 USB 3.0
 - ✓ 1SATA (M.2)
 - ✓ 1CAN
 - ✓ DP
- PL
 - ✓ 8GB DDR4
 - ✓ Micro SD
 - ✓ 10/100/1000M Ethernet
 - ✓ QSFP
 - ✓ PMOD x2
 - ✓ 1X FMC HPC
 - ✓ 1X FMC LPC

2.2 實物照片與資源

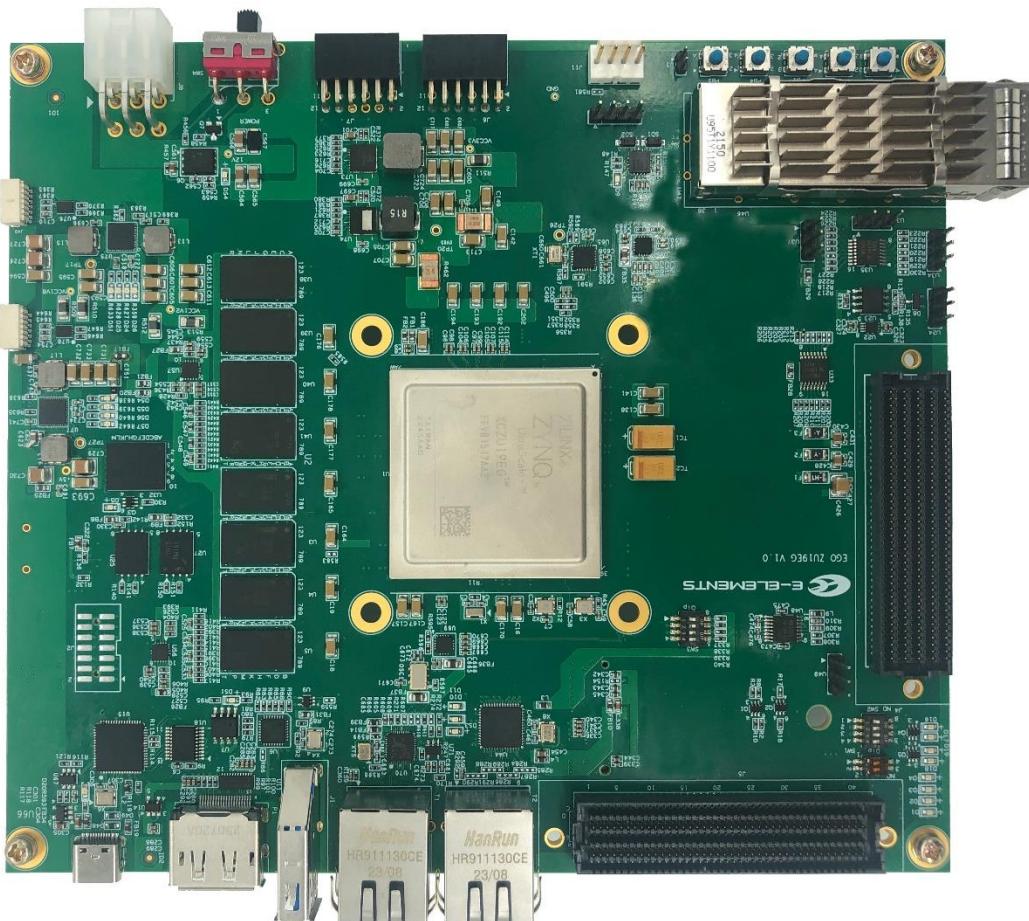


圖 2 EGO-19EG 實物照片

2.3 元件實體位置

EGO-19EG 實物圖如下圖所示。該圖中標示出了板上的主要器件及所用器件類型及晶片名稱。具體如表所示。

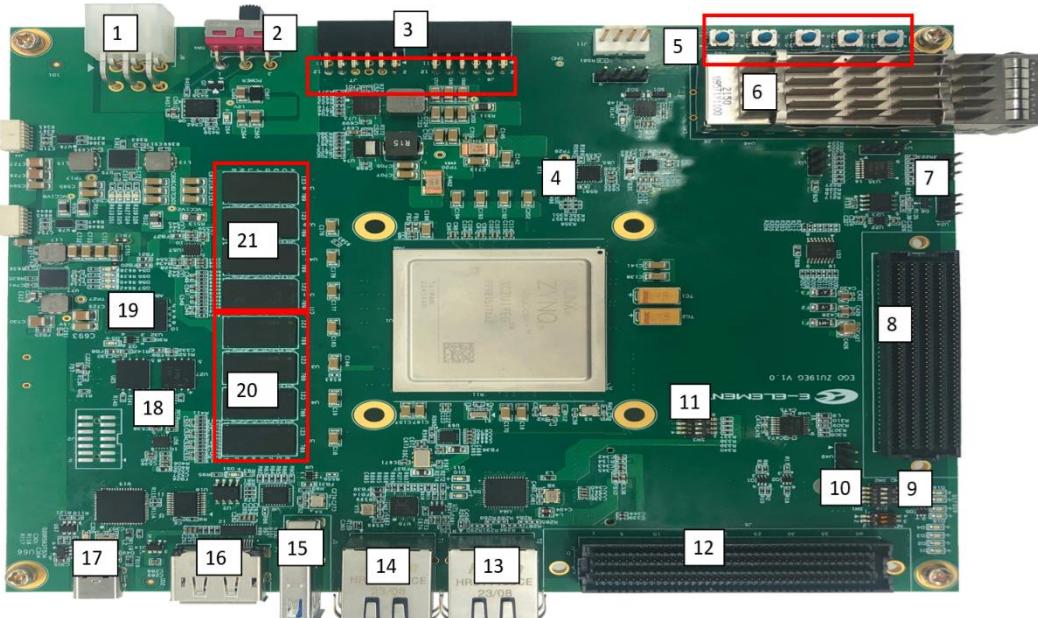


表 1 主要器件位置

序號	位置	介面說明
1	J8	12V
2	SW4	Switch 4
3	J6 and J7	PMOD
4	U65	Clock
5	PB1~5	PB1 : PS_PROG。PB2 : PS_MIO。PB3 : PL_RST。 PB4 : PS_POR。PB5:PS_SRST
6	U46	100G 光纖介面 1
7	U24	CAN 汇流排
8	J4	FMC High Pin Count
9	D16~D19	PL 端的 LED
10	SW2	開機模式選擇
11	U48	PL switch
12	J5	FMC Low Pin Count
13	T2	PL 端乙太網路
14	T1	PS 端乙太網路

15	J1	通用串行匯流排 (Universal Serial Bus)
16	P1	DP out
17	J20	USB-C(UART/JTAG)
18	U25	QSPI Flash
19	U32	NAND Flash
20	U2 U3 U4 U5	PS DDR
21	U38 U39 U40 U41	PL DDR

3. Platform information description

3.1 FPGA Chipset

EGO-19EG base on Xilinx Zynq UltraScale+系列晶片（型號 XCZU19EG-FFVB1517），規格如下：

- 四核 ARM Cortex-A53 作為運行高達 1.5GHz 的應用處理單元
- 雙核 ARM Cortex-R5 作為實時處理單元
- Mali-400 MP2 圖形處理單元
- 1,143K Logic cells
- 1,045K CLB
- 70.6Mb RAM
- 1968 DSP

規格如下所示：

	ZU2EG	ZU3EG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
Application Processing Unit	Quad-core Arm Cortex-A53 MPCore with CoreSight; NEON & Single/Double Precision Floating Point; 32KB/32KB L1 Cache, 1MB/1MB L2 Cache										
Real-Time Processing Unit	Dual-core Arm Cortex-R5 with CoreSight; Single/Double Precision Floating Point; 32KB/32KB L1 Cache, and TCM										
Embedded and External Memory	256KB On-Chip Memory w/ECC; External DDR4; DDR3; DDR3L; LPDDR4; LPDDR3; External Quad-SPI; NAND; eMMC										
General Connectivity	214 PS I/O; UART; CAN; USB 2.0; I2C; SPI; 32b GPIO; Real Time Clock; WatchDog Timers; Triple Timer Counters										
High-Speed Connectivity	4 PS-GTR; PCIe Gen1/2; Serial ATA 3.1; DisplayPort 1.2a; USB 3.0; SGMII										
Graphic Processing Unit	Arm Mali™-400 MP2; 64KB L2 Cache										
System Logic Cells	103,320	154,350	192,150	256,200	469,446	504,000	599,550	653,100	746,550	926,194	1,143,450
CLB Flip-Flops	94,464	141,120	175,680	234,240	429,208	460,800	548,160	597,120	682,560	846,806	1,045,440
CLB LUTs	47,232	70,560	87,840	117,120	214,604	230,400	274,080	298,560	341,280	423,403	522,720
Distributed RAM (Mb)	1.2	1.8	2.6	3.5	6.9	6.2	8.8	9.1	11.3	8.0	9.8
Block RAM Blocks	150	216	128	144	714	312	912	600	744	796	984
Block RAM (Mb)	5.3	7.6	4.5	5.1	25.1	11.0	32.1	21.1	26.2	28.0	34.6
UltraRAM Blocks	0	0	48	64	0	96	0	80	112	102	128
UltraRAM (Mb)	0	0	13.5	18.0	0	27.0	0	22.5	31.5	28.7	36.0
DSP Slices	240	360	728	1,248	1,973	1,728	2,520	2,928	3,528	1,590	1,968
CMTs	3	3	4	4	4	8	4	8	4	11	11
Max. HP I/O ⁽¹⁾	156	156	156	156	208	416	208	416	208	572	572
Max. HD I/O ⁽²⁾	96	96	96	96	120	48	120	96	120	96	96
System Monitor	2	2	2	2	2	2	2	2	2	2	2
GTH Transceiver 16.3Gb/s ⁽³⁾	0	0	16	16	24	24	24	32	24	44	44
GTY Transceivers 32.75Gb/s	0	0	0	0	0	0	0	16	0	28	28
Transceiver Fractional PLLs	0	0	8	8	12	12	12	24	12	36	36
PCIe Gen3 x16	0	0	2	2	0	2	0	4	0	4	5
150G Interlaken	0	0	0	0	0	0	0	1	0	2	4
100G Ethernet w/ RS-FEC	0	0	0	0	0	0	0	2	0	2	4

圖 3 Zynq UltraScale+晶片資源

3.2 Power

EGO-19EG 板卡使用外接 12V 直流電源供電，開關 SW4 為整個平臺的電源開關。電源路徑如下圖所示。

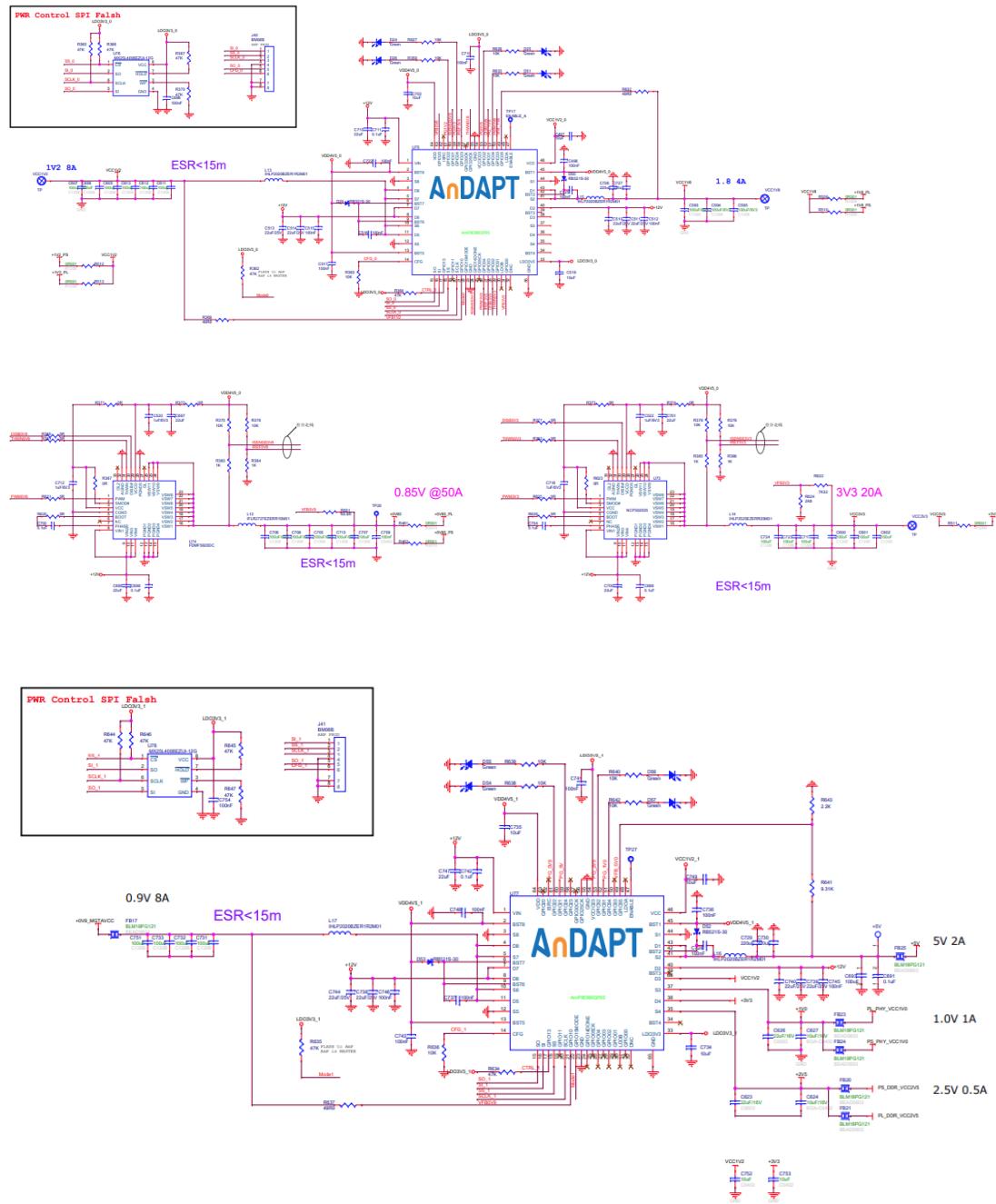


圖 4 電源電路

3.3 Clock

EGO-19EG 板卡提供一顆 33.33Mhz 的晶振作為 19EG 晶片 PS 端的時鐘；提供一顆 25Mhz 的晶振作為 PL 端的輸入時鐘；提供 U65,U68,U69 時鐘分別給 GT 使用電路如下圖所示：

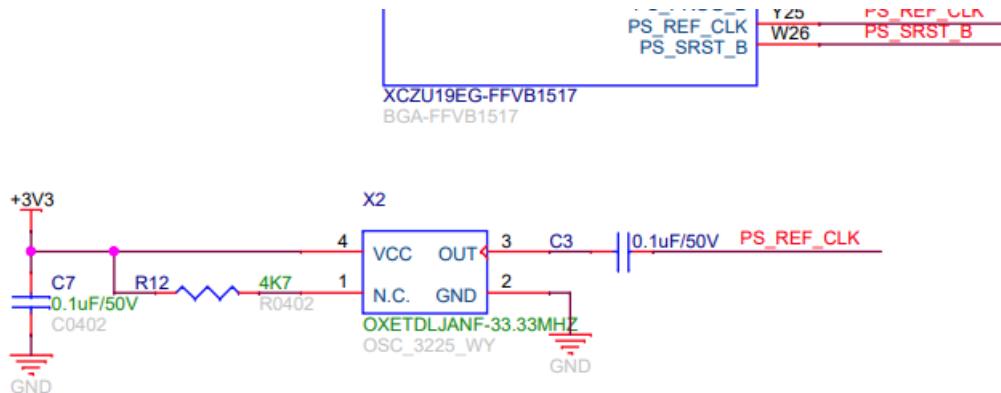


圖 5 PS 端時鐘電路

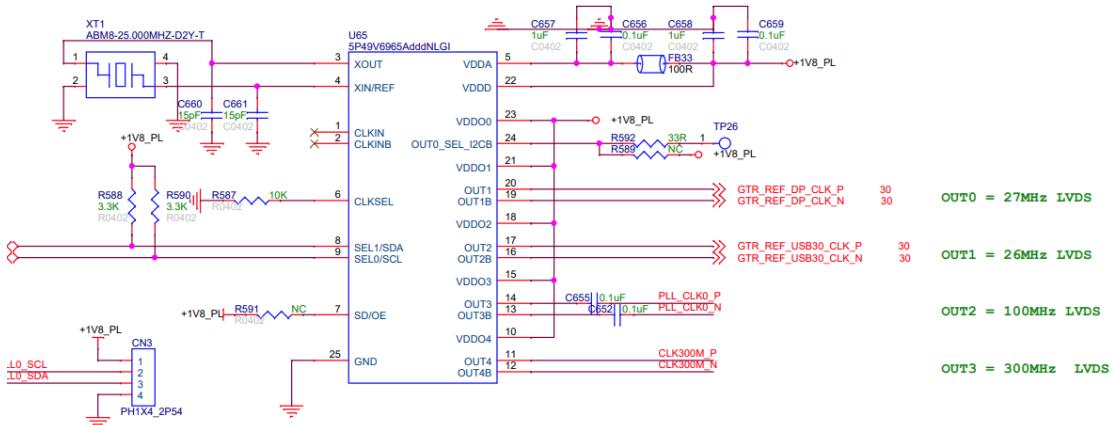


圖 6 PL 端時鐘電路

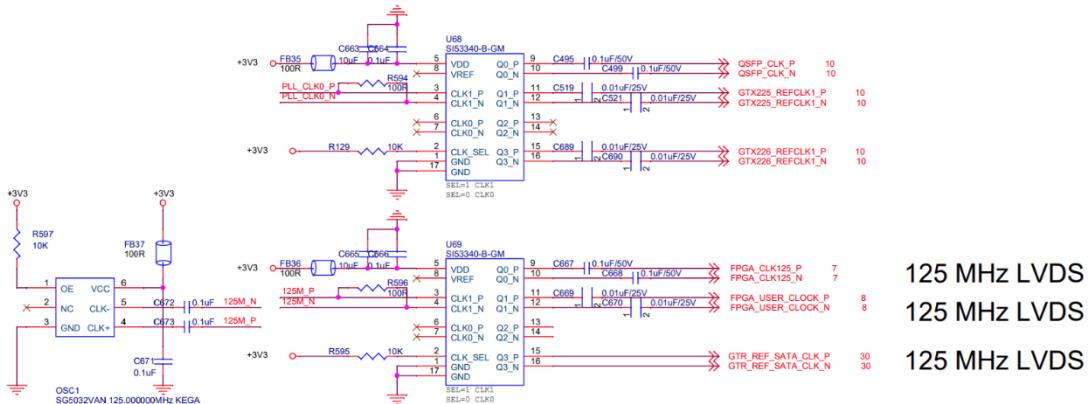


圖 10 GT 時鐘電路

3.4 Reset

EGO-19EG 板載 19EG 晶片的 Reset 包括 PS 端的

PS_POR_B Reset

PS SRST

普通 IO port Reset

及 PL 端的 PL_RST Reset 信號，Reset 電路如下如所示：

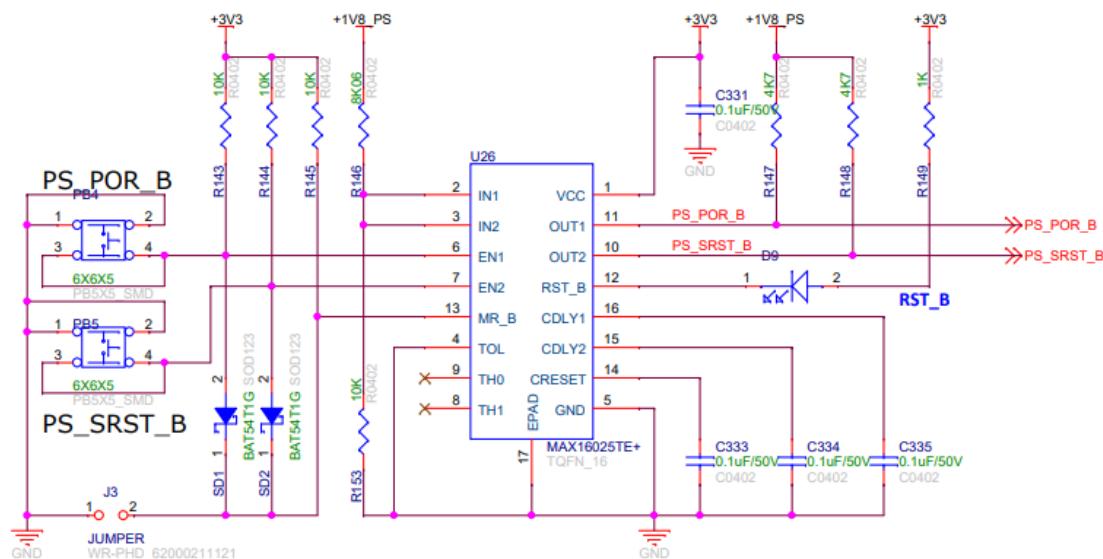


圖 7 PS 端 PS_POR_B Reset 和 PS_SRST_B Reset

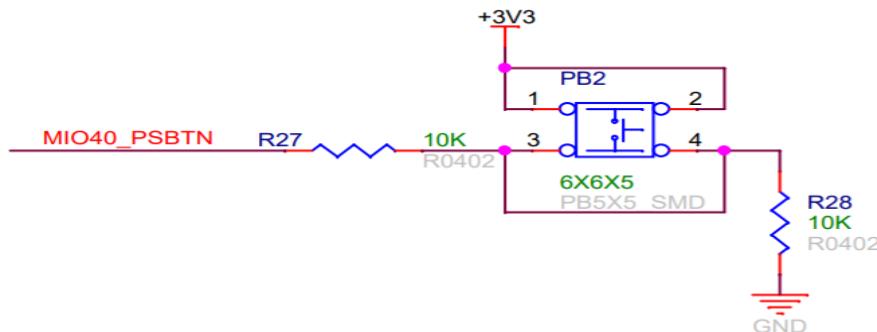


圖 8 PS 端的普通 IO port Reset

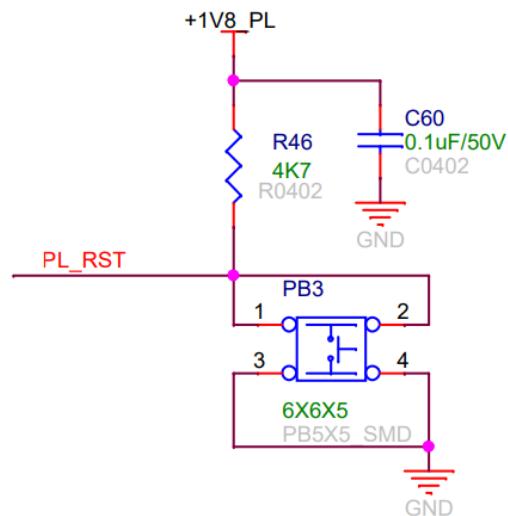


圖 9 PL 端 reset

表 1 Reset pin

名稱	原理圖標號	FPGA IO PIN
PS Reset	PS_SRST	-
Power on Reset	PS_POR_B	-
PS Reset	MIO40_PSBTN	AH23 : MIO40
PL reset	PL_RST	L33

3.5 開機配置方式

EGO-19EG 平臺支持三種配置方式：JTAG、QSPI Flash、Micro SD、Nand flash，不同的配置方式之間使用 SW2 來進行切換。

1) JTAG 配置方式

EGO-19EG 板卡的提供 USB-JTAG 的配置方式，可以使用 Mini-USB 接口 CON1 來配置 FPGA，同時也可以使用 Xilinx Platform Cable USB 下載器對 FPGA 進行配置，板上 JTAG 接口為 J2，JTAG 配置模式通過撥碼開關 SW2 來配置，說明如下表。

表 2 JTAG 配置方式

JTAG 連接方式	接口
USB-JTAG	CON1(Mini-USB)
Xilinx Platform Cable USB	J2(14pin 連接器)

2) QSPI Flash 配置方式

EGO-19EG 板載 2 顆 1Gb Serial NOR Flash Memory 晶片，型號 MT25QL01GBBB1EW9-0SIT，可以作為 FPGA 初始配置的外置存儲晶片，需按要求通過撥碼開關 SW2 配置 QSPI 啟動模式。

3) Micro SD 卡配置方式

EGO-19EG 支持從 MicroSD 卡啟動，在 SD 卡槽 CN1 中插入一張存儲 EGO-19EG 配置鏡像的 Micro SD 卡來實現，需按要求通過撥碼開關 SW3 配置 SD 卡啟動模式。

4) Nand flash 配置方式

EGO-19EG 板載 1 顆 2Gb NAND Flash Memory 晶片，型號 MT29F2G08ABAEAH4，可以作為 FPGA 初始配置的外置存儲晶片，需按要求通過撥碼開關 SW3 配置 NAND Flash 啓動模式。

5) 四種配置方式切換

通過開關 SW3 來設置，其詳細說明如下表，開關如下圖所示。

User SWITCH

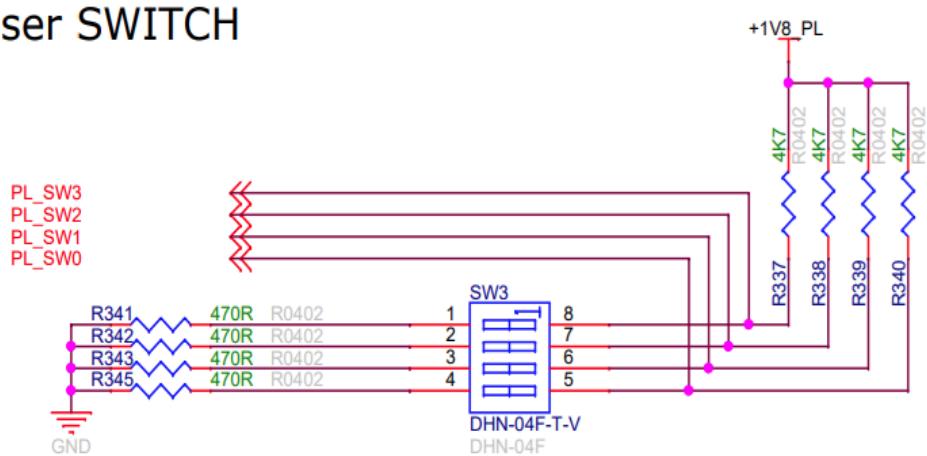


圖 10 PS MODE 配置方式原理圖

以 PS_MODE3 為例，若開關撥至 PIN1 時，表示該位為“0”；若開關撥至 PIN8 時，表示該位為“1”；其它類似。

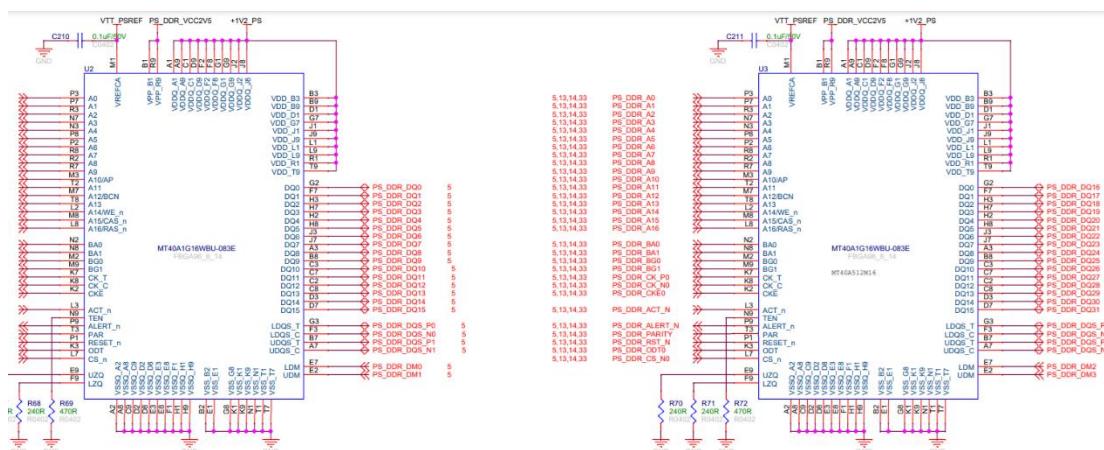
表 2 EGO-19EG 配置方式

配置方式	Boot up mode
JTAG	0000
QSPI Flash	0010
Micro SD	0101
NAND Flash	0100

3.6 PS -DDR4 &PL-DDR4 Storage

EGO-19EG 平臺上 XCZU19EG 晶片 PS (ARM) 有四顆 16bit、MT40A1G16WBU-083E 晶片，共提供 64bit 以及 4GB 的存儲容量。

該 DDR 接口連接到 XCZU19EG 的 IO bank 504，電平為 1.2V。PS 側 DDR4 電路示意圖如下圖所示。



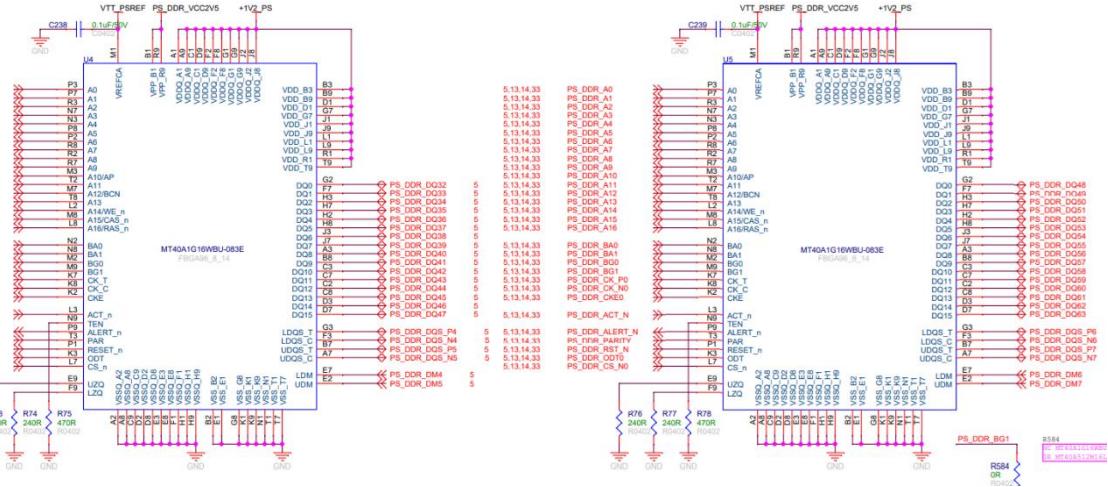


圖 11 PS DDR4 電路

EGO-19EG 平臺上 XCZU19EG 晶片 PS (ARM) 有四顆 16bit, MT40A1G16WBU-083E 晶片，共提供 64bit 以及 4GB 的存儲容量。

該 DDR 接口連接到 XCZU19EG 的 IO bank 504，電平為 1.2V。PS 側 DDR4 電路示意圖如下圖所示。

EGO-19EG 平臺上 XCZU19EG 晶片 PL(FPGA)有四顆 16bit 位, MT40A1G16WBU-083E 晶片，共提供 64bit 以及 8GB 的存儲容量。

該 DDR 接口連接到 XCZU19EG 的 HP BANK 64&65&66，電平為 1.2V。PL 側 DDR4 電路示意圖如下圖所示。

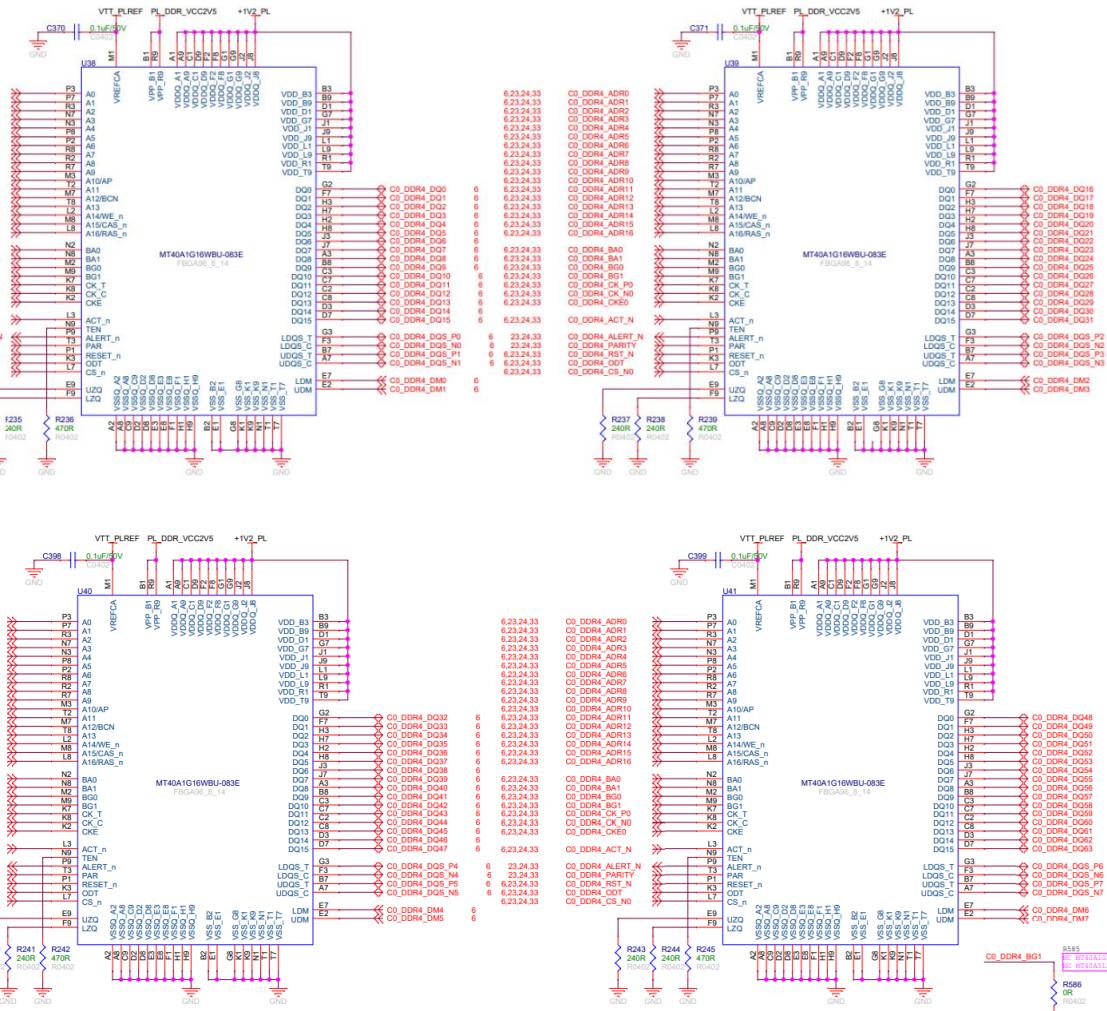


圖 12 PL DDR4 電路

3.7 PS-QSPI Flash

EGO-19EG 板載兩顆 Micron 公司 MT25QL01GBBB1EW9-0SIT Serial NOR Flash Memory 晶片，該晶片使用 Quad-SPI 接口，容量 1Gb，其電路和接口如下。

QSPI Flash

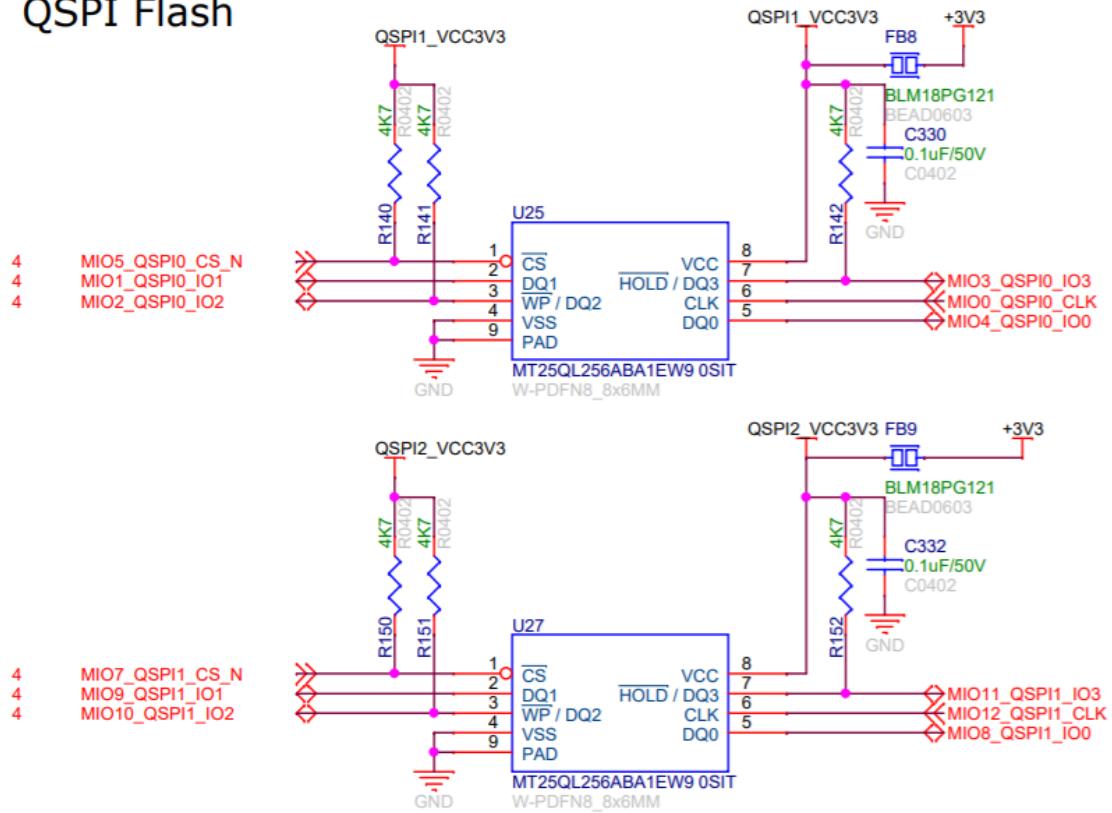


圖 13 QSPI Flash 電路

3.8 PS-Micro SD&PL-Micro SD

EGO-19EG 板卡在 PS 側提供一個 MicroSD 卡插槽（CN1），可使用 SD 卡存儲數據和初始化系統，其電路和接口如下。

Micro SD

150Mbps

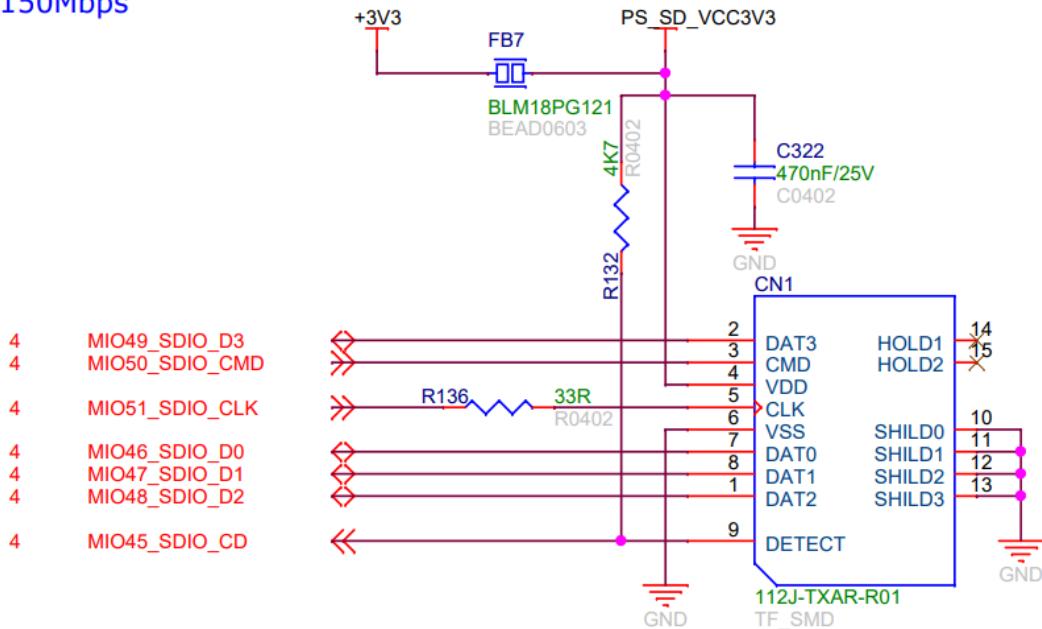


圖 14 PS-MicroSD 卡插槽電路

表 3 PL-Micro SD 引腳

19EG Pin	Schematic Net Name
AK24	MIO46_SDIO_D0
AF25	MIO47_SDIO_D1
AG25	MIO48_SDIO_D2
AJ25	MIO49_SDIO_D3
AL25	MIO51_SDIO_CLK
AK25	MIO50_SDIO_CMD
AJ24	MIO45_SDIO_CD

3.9 PS-Nand flash

EGO-19EG 板載一顆 Micron 公司 MT29F2G08ABAEAH4 Nand Flash Memory 晶片，該晶片使用並行接口，容量 2Gb，該晶片數據引腳及部分控制引腳與 19EG 晶片 PS 側的 BANK500 連接，其電路如下圖所示。

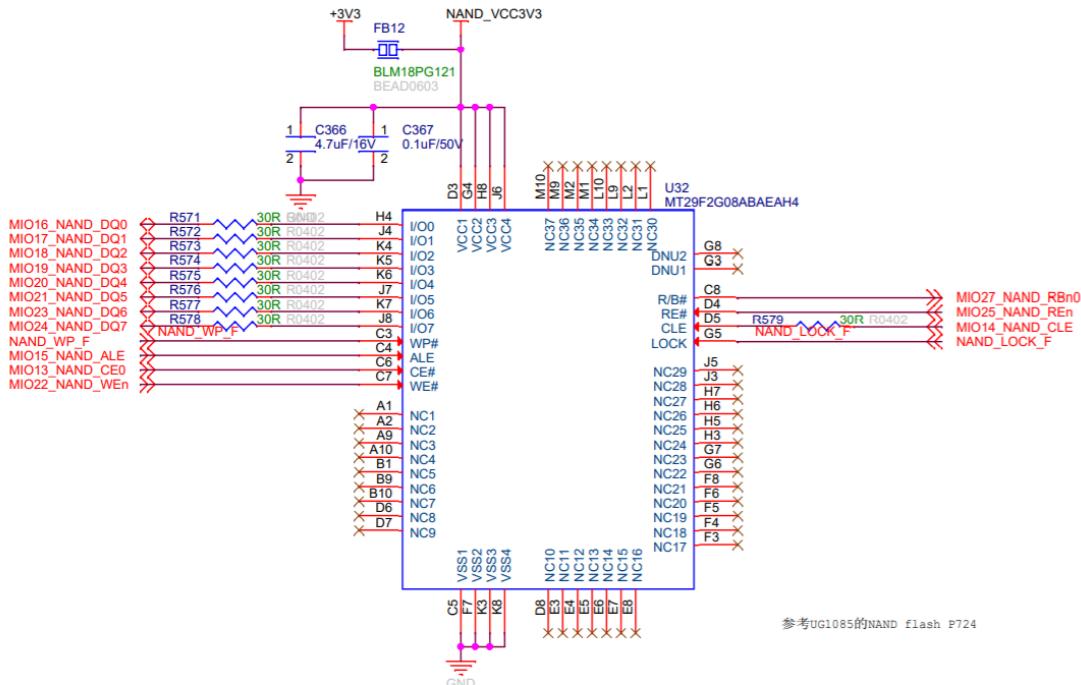


圖 15 Nand flash 電路示意圖

表 4 Nand flash 電路引腳

19EG Pin	Schematic Net Name
AN22 : MIO13	MIO13_NAND_CE0
AM23 : MIO14	MIO14_NAND_CLE
AP22 : MIO15	MIO15_NAND_ALE
AP21 : MIO16	MIO16_NAND_DQ0
AN23 : MIO17	MIO17_NAND_DQ1
AV22 : MIO18	MIO18_NAND_DQ2
AR22 : MIO19	MIO19_NAND_DQ3
AT22 : MIO20	MIO20_NAND_DQ4
AW22 : MIO21	MIO21_NAND_DQ5
AU23 : MIO22	MIO22_NAND_WEn
AR23 : MIO23	MIO23_NAND_DQ6
AV23 : MIO24	MIO24_NAND_DQ7
AT23 : MIO25	MIO25_NAND_REn
AF22 : MIO27	MIO27_NAND_RBn0
AH14	NAND_WP_F
AG13	NAND_LOCK_F

3.10 UART-JTAG

EGO-19EG 板卡上 UART 通過晶片 FT4232HL 將 USB 協議轉換得到，FT4232HL 同時也完成了 USB-JTAG 接口的轉換，UART 與 USB-JTAG 複用同一 MINI-USB (CON1) 接口引出，該接口同時實現了 JTAG 和 UART 的功能。原理示意圖如下圖所示。

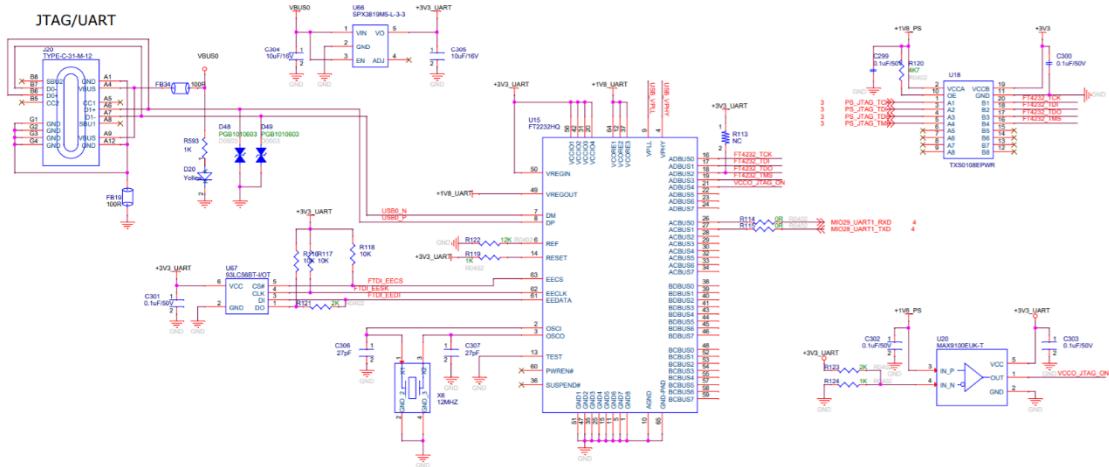


圖 16 UART-JTAG 電路

表 5 UART 引腳

19EG Pin	Schematic Net Name
AF20 : MIO28	MIO28_UART1_TXD
AK20 : MIO29	MIO29_UART1_RXD

3.11 USB3.0

EGO-19EG 提供 1 個 USB3.0 接口。19EG 晶片 PS 端提供兩個 USB 2.0 控制器，支持 USB Host、USB Device 和 USB OTG 功能，EGO-19EG 使用其中一個，通過 ULPI 接口連接外部 USB2.0 PHY 晶片（USB3320C-EZK），連同一路 GT 信號，通過 USB3.0 (J1) 接口引出，其電路及接口如下。

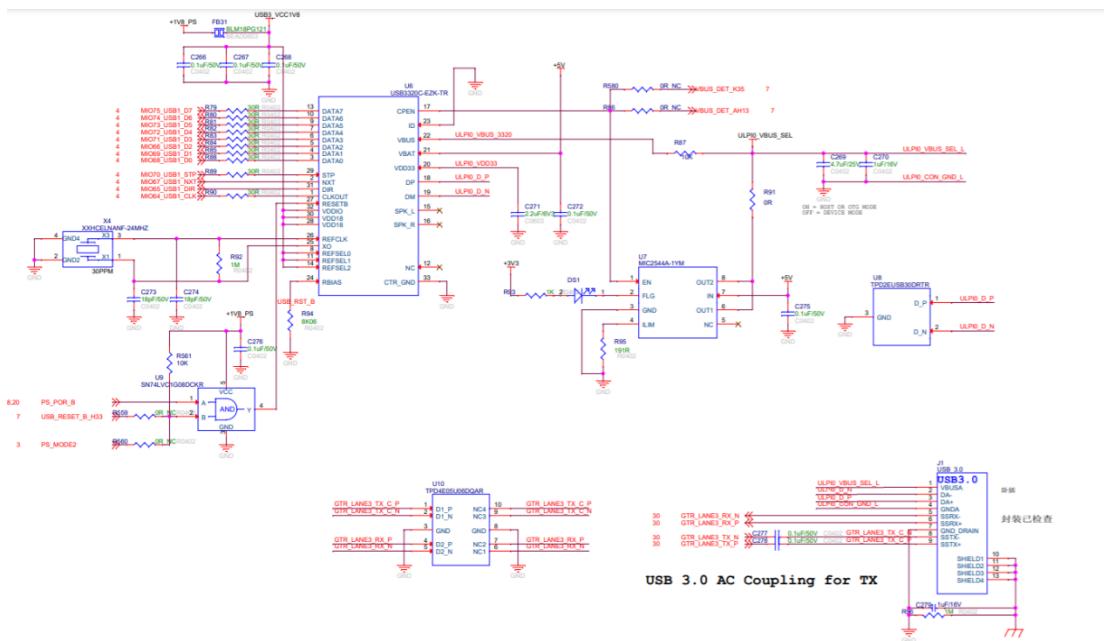


圖 17 USB3.0 電路

表 6 USB3.0 pin

19EG Pin	Schematic Net Name
W29 : MIO64	MIO64_USB1_CLK
W30 : MIO65	MIO65_USB1_DIR
Y30 : MIO67	MIO67_USB1_NXT
V34 : MIO70	MIO70_USB1_STP
W31 : MIO68	MIO68_USB1_D0
V32 : MIO69	MIO69_USB1_D1
W39 : MIO66	MIO66_USB1_D2
Y36 : MIO71	MIO71_USB1_D3
V31 : MIO72	MIO72_USB1_D4
V33 : MIO73	MIO73_USB1_D5
W32 : MIO74	MIO74_USB1_D6
Y37 : MIO75	MIO75_USB1_D7
AC37	GTR_LANE3_RX_N
AC36	GTR_LANE3_RX_P
AC33	GTR_LANE3_TX_N
AC32	GTR_LANE3_TX_P

3.12 PS-Ethernet&PL- Ethernet

➤ PS-Ethernet

EGO-19EG 使用 RTL 公司的 RTL8211FD-CG PHY 實現用於網絡連接的 10/100/1000 以太網端口。使用 U70 如下圖所示。

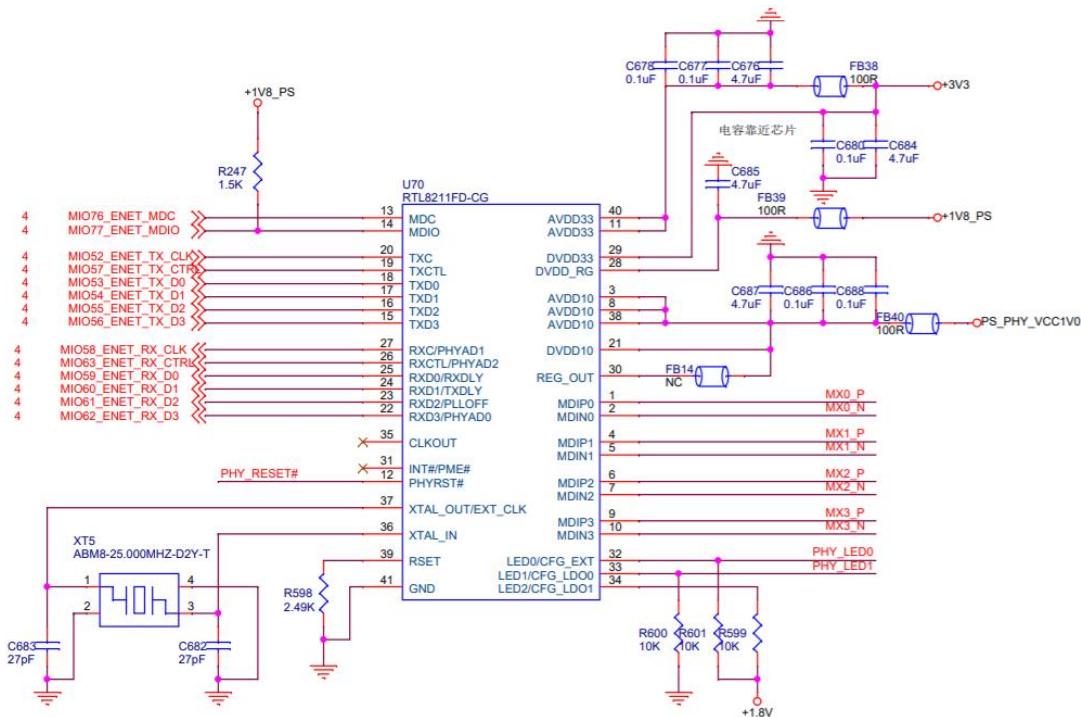


圖 18 乙太網電路

表 7 PS-Ethernet

19EG Pin	Schematic Net Name
Y38 : MIO77	MIO77_ENET_MDIO
Y39 : MIO76	MIO76_ENET_MDC
Y34 : MIO52	MIO52_ENET_TX_CLK
Y35 : MIO57	MIO57_ENET_TX_CTRL
Y33 : MIO56	MIO56_ENET_TX_D3
Y32 : MIO55	MIO55_ENET_TX_D2
W35 : MIO54	MIO54_ENET_TX_D1
V36 : MIO53	MIO53_ENET_TX_D0
W34 : MIO58	MIO58_ENET_RX_CLK
W37 : MIO63	MIO63_ENET_RX_CTRL
V38 : MIO62	MIO62_ENET_RX_D3
W36 : MIO61	MIO61_ENET_RX_D2
V37 : MIO60	MIO60_ENET_RX_D1
Y29 : MIO59	MIO59_ENET_RX_D0

➤ PL-Ethernet

EGO-19EG 使用 Marvell 公司的 88E1512-A0-NNP2I000 PHY 實現用於網絡連接的 10/100/1000 以太網端口。使用 U44 如下圖所示。

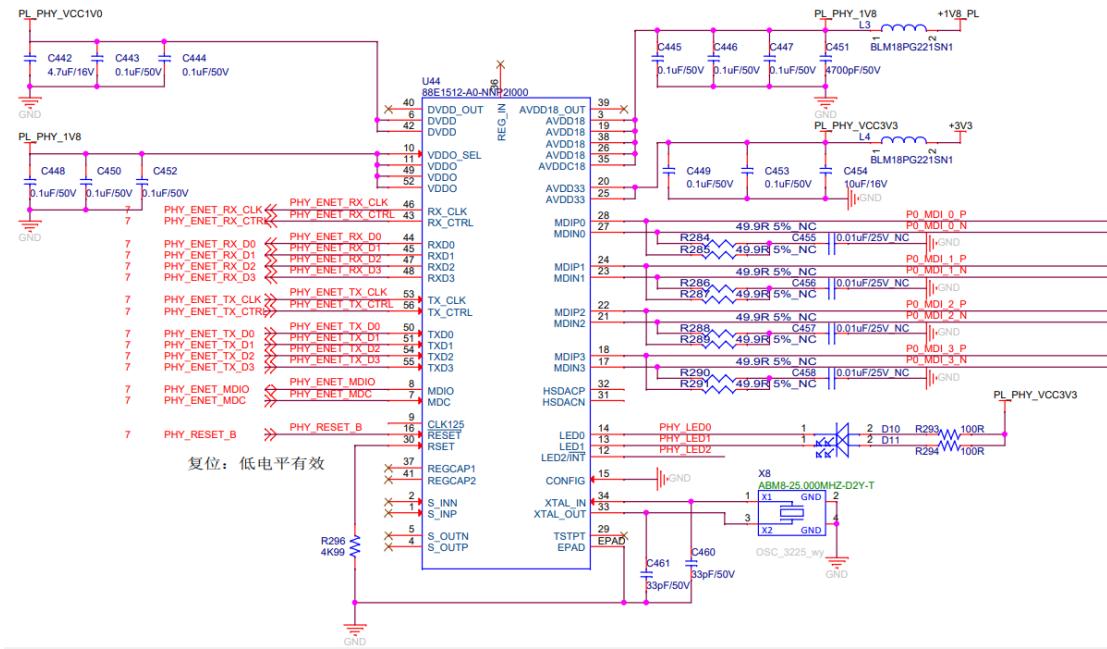


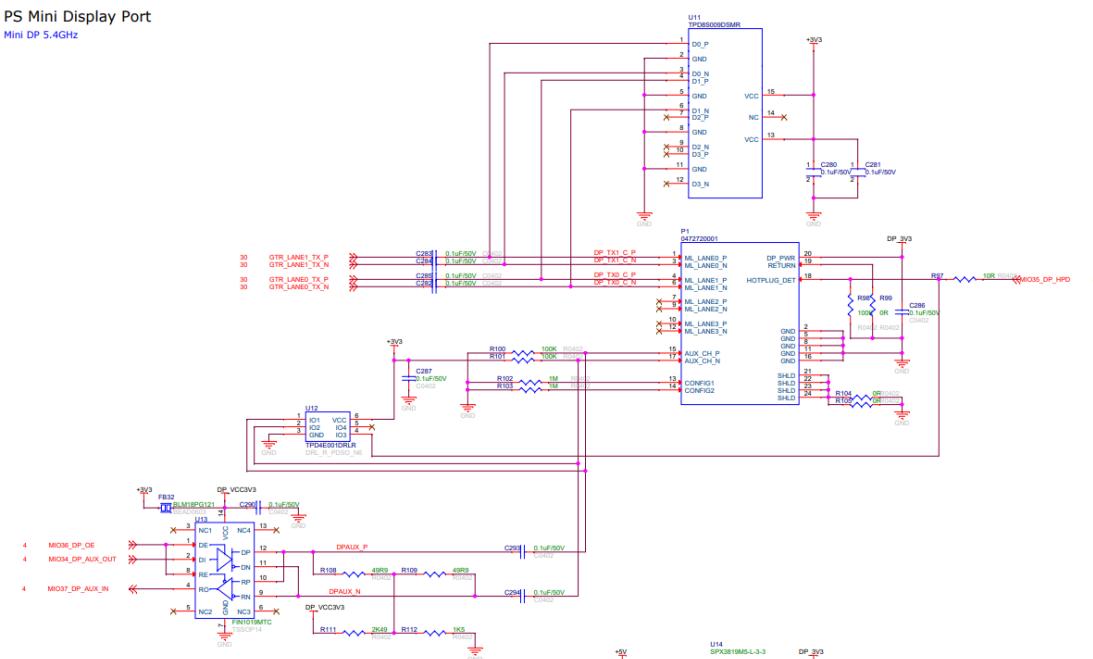
圖 19 PL Ethernet 電路示意圖

表 8 PL-Ethernet 腳位分配

19EG Pin	Schematic Net Name
B36	PHY_ENET_MDIO
C36	PHY_ENET_MDC
J35	PHY_ENET_TX_CLK
G34	PHY_ENET_TX_CTRL
M39	PHY_ENET_TX_D3
K37	PHY_ENET_TX_D2
E34	PHY_ENET_TX_D1
E35	PHY_ENET_TX_D0
F35	PHY_ENET_RX_CLK
D37	PHY_ENET_RX_CTRL
E38	PHY_ENET_RX_D3
E39	PHY_ENET_RX_D2
D39	PHY_ENET_RX_D1
C39	PHY_ENET_RX_D0

3.13 PS-DP 接口

EGO-19EG 使用 Molex 公司的 DP 接口。該器件工作在 3.3V，DP 接口與 PS 側的 BANK501（電壓為 3.3V）連接，GT 接口與 PS 側的 GT BANK505 連接。這部分接口電路如下圖所示。



PS-SATA

SATA 是 Serial ATA 的縮寫，即串行 ATA。它是一種電腦總線，主要功能是用作主板和大量存儲設備(如硬盤及光盤驅動器)之間的數據傳輸。其優點是結構簡單、支持熱插拔。該板卡上的 19EG 支持 SATA3.1，理論傳轉帶寬達 6Gbps，本板通過 PS 側的 BANK 505 引出的一路 GT 來擴展出一路 SATA 接口。相關電路如下圖所示。

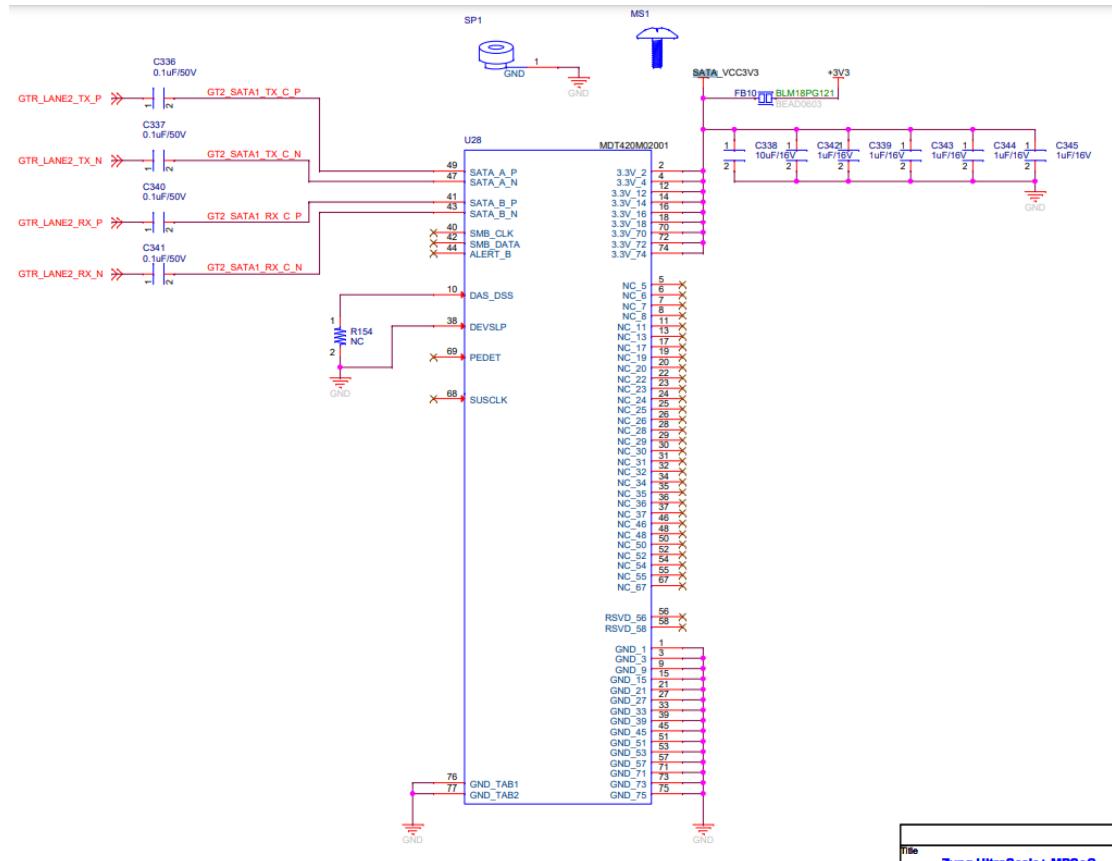


圖 21 PS-SATA 接口電路示意圖

表 10 PS-SATA 腳位分配

19EG Pin	Schematic Net Name
AD34	GTR_LANE2_TX_P
AD35	GTR_LANE2_TX_N
AD38	GTR_LANE2_RX_P
AD39	GTR_LANE2_RX_N

3.14 PS-CAN

EGO-19EG 板卡上的 19EG 晶片具有 2 個 CAN 控制器，這裡引出 1 路用於相關應用。採用 CAN 收發器 PCA82C250T (+5V 供電)，與 PS 側的 BANK 501 連接，3.3V 供電，因此中間需要加一顆電平轉換晶片。電路如下圖所示。

CAN

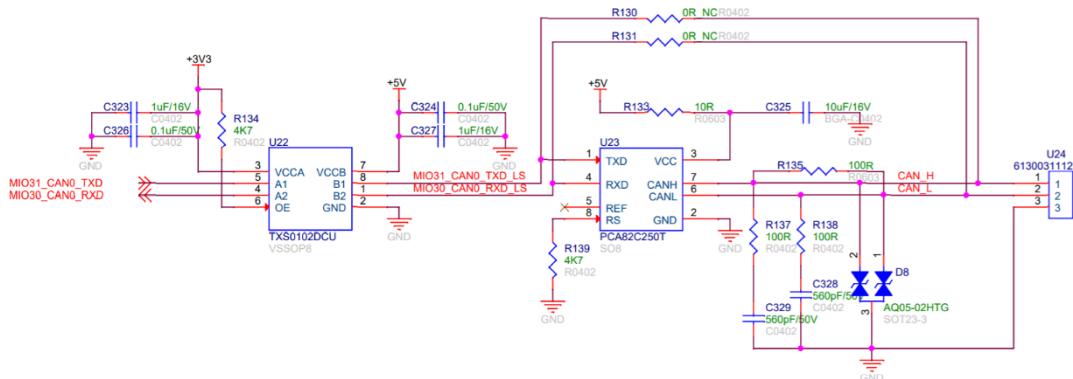


表 12 PL-QSFP 腳位分配

19EG Pin	Schematic Net Name
T4	QSFP_RX1_P
T3	QSFP_RX1_N
T8	QSFP_TX1_P
T7	QSFP_TX1_N
R2	QSFP_RX2_P
R1	QSFP_RX2_N
R6	QSFP_TX2_P
R5	QSFP_TX2_N
P4	QSFP_RX3_P
P3	QSFP_RX3_N
P8	QSFP_TX3_P
P7	QSFP_TX3_N
N2	QSFP_RX4_P
N1	QSFP_RX4_N
N6	QSFP_TX4_P
N5	QSFP_TX4_N
J15	QSFP_MODSELL
K15	QSFP_RESETL
G14	QSFP_MODPRSL
H14	QSFP_INTL
G13	QSFP_LPMODE

3.16 PL-FMC HPC&FMC LPC

FMC：英文全稱，FPGA Mezzanine Card。是一個應用範圍、適應環境範圍和市場領域範圍都很廣的通用模塊。FMC 連接器（FMC Connector）是 FMC 的一個重要組成部分，它連接由 FPGA 提供的引腳和 FMC 子板的 I/O 接口。最新的連接器技術維護的高性能引腳速度可以達到幾個 Gb/s。

FMC 連接器按引腳數來分，有 400 引腳的 FMC HPC (high pin connector) 和 160 引腳的 FMC LPC (low pin connector)。其排列方式為 40 行 X10 列，行由數據 1~40 排列，列由 ABCDEFGHJK 順序表示，LPC 相比於 HPC 行不變，列只有 CDGH，且相應引腳定義完全一致，所以 LPC 和 HPC 在機械結構和電氣特性上是可以互相兼容的。

FMC 的引腳分為電源信號引腳、JTAG 信號引腳、IIC 信號引腳、地址設置引腳、相應的控制檢測引腳、以及 Gigabit interface 信號引腳和普通用戶信號引腳及其時鐘信號引腳。其中的信號傳輸及其時鐘信號引腳都是按照差分對標準定義的。

Display Port 信號（用 DP 表示，data pairs）引腳有 20 對，能夠傳輸 10 組差分輸入輸出信號，其電平峰峰值不能超過 1V，速度最大能夠設計到 10Gbit/s。

普通用戶在使用時，FMC 的部分引腳最好連接到同一個 FPGA 的 Bank 上面，保證其引腳電平相等。定義建議連到相同 FPGA Bank 的引腳分別稱為 bank A、bank B。對於低引腳數的 FMC 其 bank A 信號有 34 對，高引腳數的有 58 對，分別可以傳輸 34 對和 58 對差分信號；而 bank B 只在高引腳數 FMC 上有，信號對引腳有 22 對，可以傳輸 22 對差分信號。用戶定義引腳信號電平採用 LVDS 和 LVTTL 信號標準，速度可以設計 100Mbps 到 2Gbps。

➤ PL-FMC HPC

本板卡引出由 PL 側的 GT BANK 224、225 及 226 引出 FMC HPC 的 10 組輸入輸出高速信號，由 PL 側的 HP BANK 71、72、73、74 引出 FMC HPC 的用戶使用信號。FMC HPC 接口電路如下圖所示。

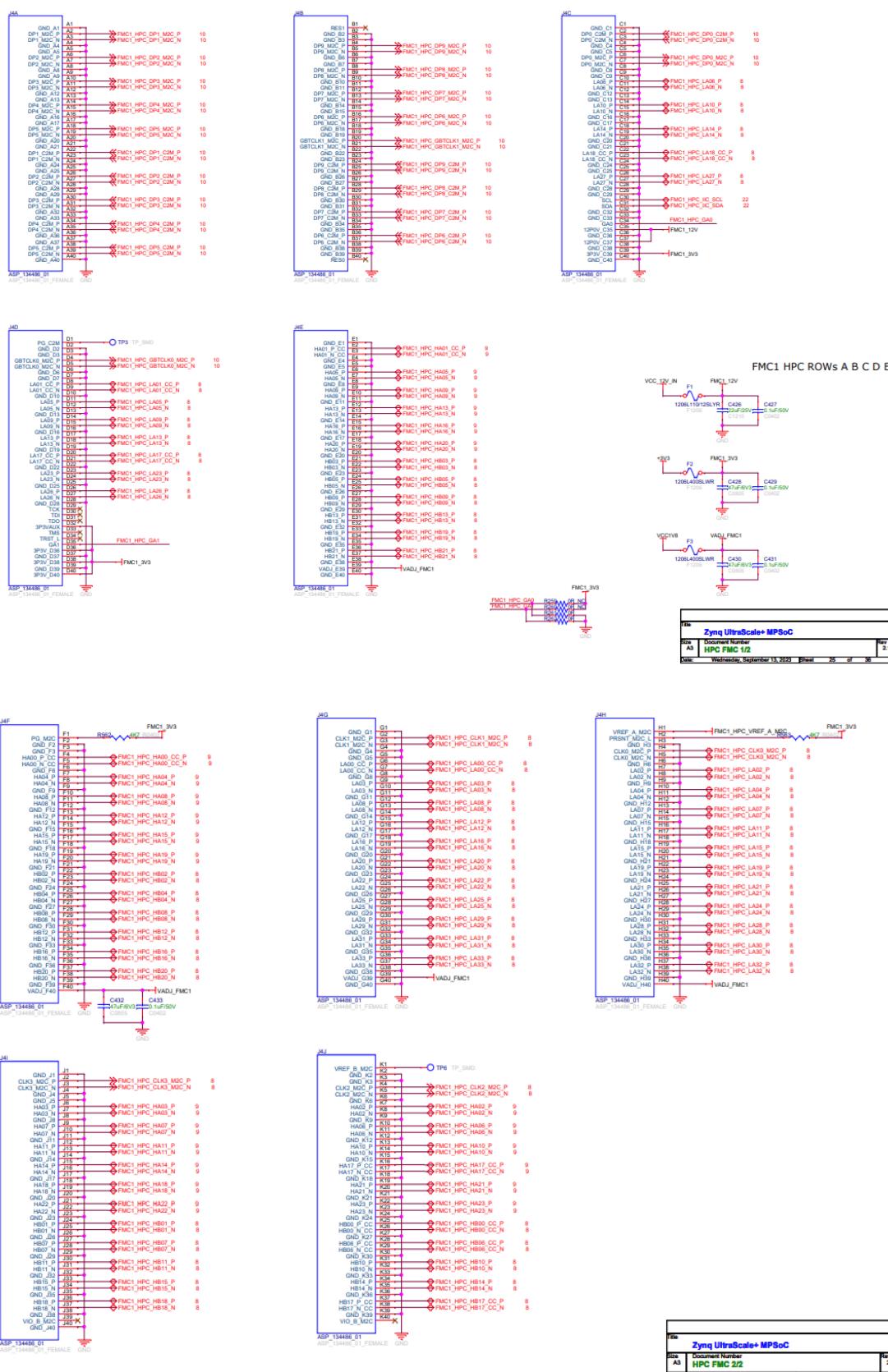


圖 24 PL-FMC HPC 電路示意圖

表 13 PL-FMC HPC 腳位分配

19EG Pin	Schematic Net Name
BANK224-AH4	FMC1_HPC_DP0_M2C_P
BANK224-AH3	FMC1_HPC_DP0_M2C_N
BANK224-AH8	FMC1_HPC_DP0_C2M_P
BANK224-AH7	FMC1_HPC_DP0_C2M_N
BANK224-AG2	FMC1_HPC_DP1_M2C_P
BANK224-AG1	FMC1_HPC_DP1_M2C_N
BANK224-AG6	FMC1_HPC_DP1_C2M_P
BANK224-AG5	FMC1_HPC_DP1_C2M_N
BANK224-AF4	FMC1_HPC_DP2_M2C_P
BANK224-AF3	FMC1_HPC_DP2_M2C_N
BANK224-AF8	FMC1_HPC_DP2_C2M_P
BANK224-AF7	FMC1_HPC_DP2_C2M_N
BANK224-AE2	FMC1_HPC_DP3_M2C_P
BANK224-AE1	FMC1_HPC_DP3_M2C_N
BANK224-AE6	FMC1_HPC_DP3_C2M_P
BANK224-AE5	FMC1_HPC_DP3_C2M_N
BANK225-AD4	FMC1_HPC_DP4_M2C_P
BANK225-AD3	FMC1_HPC_DP4_M2C_N
BANK225-AD8	FMC1_HPC_DP4_C2M_P
BANK225-AD7	FMC1_HPC_DP4_C2M_N
BANK225-AC2	FMC1_HPC_DP5_M2C_P
BANK225-AC1	FMC1_HPC_DP5_M2C_N
BANK225-AC6	FMC1_HPC_DP5_C2M_P
BANK225-AC5	FMC1_HPC_DP5_C2M_N
BANK225-AB4	FMC1_HPC_DP6_M2C_P
BANK225-AB3	FMC1_HPC_DP6_M2C_N
BANK225-AB8	FMC1_HPC_DP6_C2M_P
BANK225-AB7	FMC1_HPC_DP6_C2M_N
BANK225-AA2	FMC1_HPC_DP7_M2C_P
BANK225-AA1	FMC1_HPC_DP7_M2C_N
BANK225-AA6	FMC1_HPC_DP7_C2M_P
BANK225-AA5	FMC1_HPC_DP7_C2M_N
BANK226-Y4	FMC1_HPC_DP8_M2C_P
BANK226-Y3	FMC1_HPC_DP8_M2C_N
BANK226-Y8	FMC1_HPC_DP8_C2M_P
BANK226-Y7	FMC1_HPC_DP8_C2M_N
BANK226-W2	FMC1_HPC_DP9_M2C_P
BANK226-W1	FMC1_HPC_DP9_M2C_N
BANK226-W6	FMC1_HPC_DP9_C2M_P
BANK226-W5	FMC1_HPC_DP9_C2M_N

BANK225-AC10	FMC1_HPC_GBTCLK1_M2C_P
BANK225-AC9	FMC1_HPC_GBTCLK1_M2C_N
BANK224-AG10	FMC1_HPC_GBTCLK0_M2C_P
BANK224-AG9	FMC1_HPC_GBTCLK0_M2C_N
BANK74-C8	FMC1_HPC_LA00_CC_P
BANK74-B8	FMC1_HPC_LA00_CC_N
BANK72-C17	FMC1_HPC_LA01_CC_P
BANK72-C16	FMC1_HPC_LA01_CC_N
BANK74-B6	FMC1_HPC_LA02_P
BANK74-B5	FMC1_HPC_LA02_N
BANK72-N18	FMC1_HPC_LA03_P
BANK72-N17	FMC1_HPC_LA03_N
BANK72-C19	FMC1_HPC_LA04_P
BANK72-C18	FMC1_HPC_LA04_N
BANK72-B19	FMC1_HPC_LA05_P
BANK72-B18	FMC1_HPC_LA05_N
BANK72-N19	FMC1_HPC_LA06_P
BANK72-M19	FMC1_HPC_LA06_N
BANK72-M18	FMC1_HPC_LA07_P
BANK72-L17	FMC1_HPC_LA07_N
BANK72-A18	FMC1_HPC_LA08_P
BANK72-A17	FMC1_HPC_LA08_N
BANK72-F16	FMC1_HPC_LA09_P
BANK72-F15	FMC1_HPC_LA09_N
BANK72-B15	FMC1_HPC_LA10_P
BANK72-B14	FMC1_HPC_LA10_N
BANK72-J16	FMC1_HPC_LA11_P
BANK72-H16	FMC1_HPC_LA11_N
BANK72-G16	FMC1_HPC_LA12_P
BANK72-G15	FMC1_HPC_LA12_N
BANK72-K17	FMC1_HPC_LA13_P
BANK72-J17	FMC1_HPC_LA13_N
BANK72-E19	FMC1_HPC_LA14_P
BANK72-D19	FMC1_HPC_LA14_N
BANK72-L18	FMC1_HPC_LA15_P
BANK72-K18	FMC1_HPC_LA15_N
BANK72-K19	FMC1_HPC_LA16_P
BANK72-J19	FMC1_HPC_LA16_N
BANK74-C7	FMC1_HPC_LA17_CC_P
BANK74-C6	FMC1_HPC_LA17_CC_N
BANK74-D7	FMC1_HPC_LA18_CC_P
BANK74-D6	FMC1_HPC_LA18_CC_N
BANK74-F12	FMC1_HPC_LA19_P

BANK74-F11	FMC1_HPC_LA19_N
BANK72-H18	FMC1_HPC_LA20_P
BANK72-H17	FMC1_HPC_LA20_N
BANK74-D11	FMC1_HPC_LA21_P
BANK74-D10	FMC1_HPC_LA21_N
BANK74-E12	FMC1_HPC_LA22_P
BANK74-D12	FMC1_HPC_LA22_N
BANK74-F10	FMC1_HPC_LA23_P
BANK74-E10	FMC1_HPC_LA23_N
BANK74-B10	FMC1_HPC_LA24_P
BANK74-B9	FMC1_HPC_LA24_N
BANK74-B11	FMC1_HPC_LA25_P
BANK74-A10	FMC1_HPC_LA25_N
BANK74-C12	FMC1_HPC_LA26_P
BANK74-C11	FMC1_HPC_LA26_N
BANK74-A12	FMC1_HPC_LA27_P
BANK74-A11	FMC1_HPC_LA27_N
BANK74-A7	FMC1_HPC_LA28_P
BANK74-A6	FMC1_HPC_LA28_N
BANK74-E9	FMC1_HPC_LA29_P
BANK74-E8	FMC1_HPC_LA29_N
BANK74-E5	FMC1_HPC_LA30_P
BANK74-D5	FMC1_HPC_LA30_N
BANK74-F8	FMC1_HPC_LA31_P
BANK74-F7	FMC1_HPC_LA31_N
BANK74-D2	FMC1_HPC_LA32_P
BANK74-D1	FMC1_HPC_LA32_N
BANK74-A3	FMC1_HPC_LA33_P
BANK74-A2	FMC1_HPC_LA33_N
BANK71-G20	FMC1_HPC_HA00_CC_P
BANK71-G21	FMC1_HPC_HA00_CC_N
BANK71-H21	FMC1_HPC_HA01_CC_P
BANK71-H22	FMC1_HPC_HA01_CC_N
BANK71-C21	FMC1_HPC_HA02_P
BANK71-C22	FMC1_HPC_HA02_N
BANK71-D21	FMC1_HPC_HA03_P
BANK71-D22	FMC1_HPC_HA03_N
BANK71-N23	FMC1_HPC_HA04_P
BANK71-M23	FMC1_HPC_HA04_N
BANK71-B20	FMC1_HPC_HA05_P
BANK71-A20	FMC1_HPC_HA05_N
BANK71-P24	FMC1_HPC_HA06_P
BANK71-N24	FMC1_HPC_HA06_N

BANK71-L22	FMC1_HPC_HA07_P
BANK71-L23	FMC1_HPC_HA07_N
BANK71-H23	FMC1_HPC_HA08_P
BANK71-G23	FMC1_HPC_HA08_N
BANK71-K22	FMC1_HPC_HA09_P
BANK71-K23	FMC1_HPC_HA09_N
BANK71-C24	FMC1_HPC_HA10_P
BANK71-B24	FMC1_HPC_HA10_N
BANK71-F22	FMC1_HPC_HA11_P
BANK71-F23	FMC1_HPC_HA11_N
BANK71-E24	FMC1_HPC_HA12_P
BANK71-D24	FMC1_HPC_HA12_N
BANK71-E22	FMC1_HPC_HA13_P
BANK71-E23	FMC1_HPC_HA13_N
BANK71-H19	FMC1_HPC_HA14_P
BANK71-G19	FMC1_HPC_HA14_N
BANK71-A22	FMC1_HPC_HA15_P
BANK71-A23	FMC1_HPC_HA15_N
BANK71-C23	FMC1_HPC_HA16_P
BANK71-B23	FMC1_HPC_HA16_N
BANK71-J21	FMC1_HPC_HA17_CC_P
BANK71-J22	FMC1_HPC_HA17_CC_N
BANK71-M20	FMC1_HPC_HA18_P
BANK71-M21	FMC1_HPC_HA18_N
BANK71-F20	FMC1_HPC_HA19_P
BANK71-F21	FMC1_HPC_HA19_N
BANK71-B21	FMC1_HPC_HA20_P
BANK71-A21	FMC1_HPC_HA20_N
BANK71-N21	FMC1_HPC_HA21_P
BANK71-N22	FMC1_HPC_HA21_N
BANK71-P20	FMC1_HPC_HA22_P
BANK71-P21	FMC1_HPC_HA22_N
BANK71-L20	FMC1_HPC_HA23_P
BANK71-K20	FMC1_HPC_HA23_N
BANK73-J5	FMC1_HPC_HB00_CC_P
BANK73-J4	FMC1_HPC_HB00_CC_N
BANK73-L9	FMC1_HPC_HB01_P
BANK73-K9	FMC1_HPC_HB01_N
BANK73-L11	FMC1_HPC_HB02_P
BANK73-L10	FMC1_HPC_HB02_N
BANK73-L8	FMC1_HPC_HB03_P
BANK73-K8	FMC1_HPC_HB03_N
BANK73-K10	FMC1_HPC_HB04_P

BANK73-J10	FMC1_HPC_HB04_N
BANK73-J12	FMC1_HPC_HB05_P
BANK73-J11	FMC1_HPC_HB05_N
BANK73-H6	FMC1_HPC_HB06_CC_P
BANK73-G6	FMC1_HPC_HB06_CC_N
BANK73-L5	FMC1_HPC_HB07_P
BANK73-L4	FMC1_HPC_HB07_N
BANK73-J9	FMC1_HPC_HB08_P
BANK73-H9	FMC1_HPC_HB08_N
BANK73-G11	FMC1_HPC_HB09_P
BANK73-G10	FMC1_HPC_HB09_N
BANK73-H4	FMC1_HPC_HB10_P
BANK73-H3	FMC1_HPC_HB10_N
BANK73-G5	FMC1_HPC_HB11_P
BANK73-G4	FMC1_HPC_HB11_N
BANK73-H8	FMC1_HPC_HB12_P
BANK73-H7	FMC1_HPC_HB12_N
BANK73-G9	FMC1_HPC_HB13_P
BANK73-G8	FMC1_HPC_HB13_N
BANK73-H2	FMC1_HPC_HB14_P
BANK73-H1	FMC1_HPC_HB14_N
BANK73-F2	FMC1_HPC_HB15_P
BANK73-F1	FMC1_HPC_HB15_N
BANK73-F6	FMC1_HPC_HB16_P
BANK73-F5	FMC1_HPC_HB16_N
BANK73-K5	FMC1_HPC_HB17_CC_P
BANK73-K4	FMC1_HPC_HB17_CC_N
BANK73-K3	FMC1_HPC_HB18_P
BANK73-K2	FMC1_HPC_HB18_N
BANK73-G3	FMC1_HPC_HB19_P
BANK73-F3	FMC1_HPC_HB19_N
BANK73-L3	FMC1_HPC_HB20_P
BANK73-L2	FMC1_HPC_HB20_N
BANK73-J2	FMC1_HPC_HB21_P
BANK73-J1	FMC1_HPC_HB21_N
BAND72-E18	FMC1_HPC_CLK1_M2C_P
BAND72-E17	FMC1_HPC_CLK1_M2C_N
BAND72-D17	FMC1_HPC_CLK0_M2C_P
BAND72-D16	FMC1_HPC_CLK0_M2C_N
BAND74-D9	FMC1_HPC_CLK2_M2C_P
BAND74-C9	FMC1_HPC_CLK2_M2C_N
BAND73-J7	FMC1_HPC_CLK3_M2C_P
BAND73-J6	FMC1_HPC_CLK3_M2C_N

➤ PL-FMC LPC

本板卡引出由 PL 側的 HP BANK67、70 引出 FMC LPC 的用戶使用信號。FMC LPC 接口電路如下圖所示。

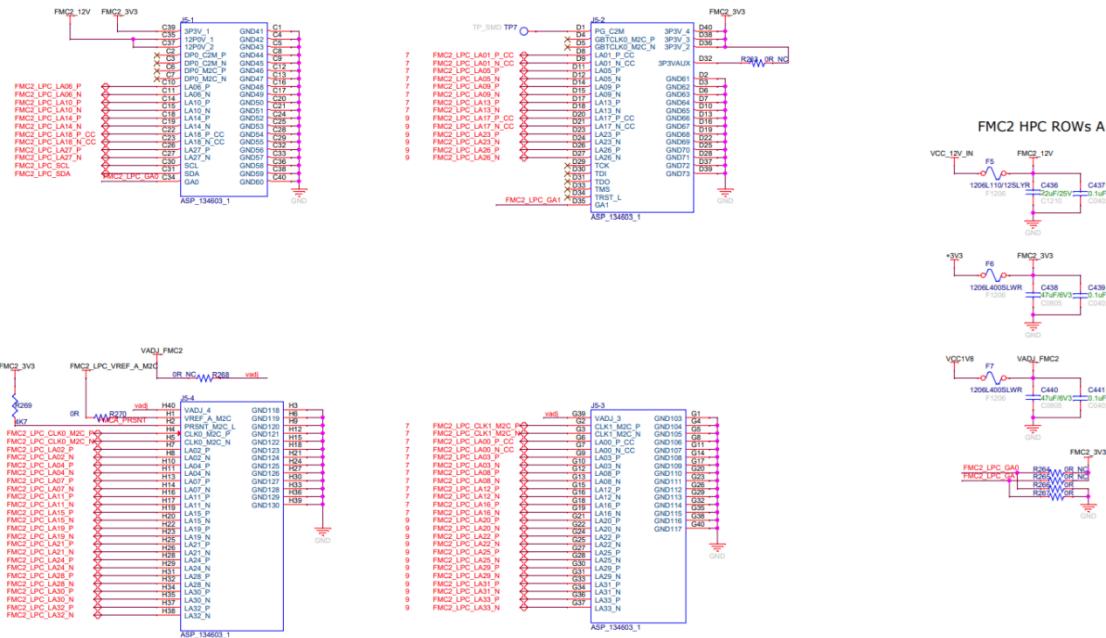


圖 25 PL-FMC LPC 接口電路示意圖

表 15 PL-FMC LPC 腳位分配

19EG Pin	Schematic Net Name
BANK67-P34	FMC2_LPC_LA00_P_CC
BANK67-P35	FMC2_LPC_LA00_N_CC
BANK67-R34	FMC2_LPC_LA01_P_CC
BANK67-R35	FMC2_LPC_LA01_N_CC
BANK70-P26	FMC2_LPC_LA02_P
BANK70-P27	FMC2_LPC_LA02_N
BANK67-U33	FMC2_LPC_LA03_P
BANK67-T33	FMC2_LPC_LA03_N
BANK70-N26	FMC2_LPC_LA04_P
BANK70-N27	FMC2_LPC_LA04_N
BANK67-U30	FMC2_LPC_LA05_P
BANK67-U31	FMC2_LPC_LA05_N
BANK67-U34	FMC2_LPC_LA06_P
BANK67-U35	FMC2_LPC_LA06_N
BANK70-M28	FMC2_LPC_LA07_P
BANK70-L28	FMC2_LPC_LA07_N
BANK67-T31	FMC2_LPC_LA08_P
BANK67-T32	FMC2_LPC_LA08_N

BANK67-T30	FMC2_LPC_LA09_P
BANK67-R30	FMC2_LPC_LA09_N
BANK67-P31	FMC2_LPC_LA10_P
BANK67-P32	FMC2_LPC_LA10_N
BANK70-M26	FMC2_LPC_LA11_P
BANK70-L26	FMC2_LPC_LA11_N
BANK67-R29	FMC2_LPC_LA12_P
BANK67-P29	FMC2_LPC_LA12_N
BANK67-V26	FMC2_LPC_LA13_P
BANK67-V27	FMC2_LPC_LA13_N
BANK67-T27	FMC2_LPC_LA14_P
BANK67-T28	FMC2_LPC_LA14_N
BANK70-K27	FMC2_LPC_LA15_P
BANK70-K28	FMC2_LPC_LA15_N
BANK67-T26	FMC2_LPC_LA16_P
BANK67-R27	FMC2_LPC_LA16_N
BANK70-J27	FMC2_LPC_LA17_P_CC
BANK70-H28	FMC2_LPC_LA17_N_CC
BANK70-G28	FMC2_LPC_LA18_P_CC
BANK70-F28	FMC2_LPC_LA18_N_CC
BANK70-D25	FMC2_LPC_LA19_P
BANK70-D26	FMC2_LPC_LA19_N
BANK70-J25	FMC2_LPC_LA20_P
BANK70-J26	FMC2_LPC_LA20_N
BANK70-G26	FMC2_LPC_LA21_P
BANK70-F26	FMC2_LPC_LA21_N
BANK70-M24	FMC2_LPC_LA22_P
BANK70-M25	FMC2_LPC_LA22_N
BANK70-B26	FMC2_LPC_LA23_P
BANK70-A26	FMC2_LPC_LA23_N
BANK70-C28	FMC2_LPC_LA24_P
BANK70-C29	FMC2_LPC_LA24_N
BANK70-E27	FMC2_LPC_LA25_P
BANK70-E28	FMC2_LPC_LA25_N
BANK70-R25	FMC2_LPC_LA26_P
BANK70-R26	FMC2_LPC_LA26_N
BANK70-K24	FMC2_LPC_LA27_P
BANK70-J24	FMC2_LPC_LA27_N
BANK70-A27	FMC2_LPC_LA28_P
BANK70-A28	FMC2_LPC_LA28_N
BANK70-B28	FMC2_LPC_LA29_P
BANK70-B29	FMC2_LPC_LA29_N
BANK70-F25	FMC2_LPC_LA30_P

BANK70-E25	FMC2_LPC_LA30_N
BANK70-D27	FMC2_LPC_LA31_P
BANK70-C27	FMC2_LPC_LA31_N
BANK70-G24	FMC2_LPC_LA32_P
BANK70-G25	FMC2_LPC_LA32_N
BANK70-B25	FMC2_LPC_LA33_P
BANK70-A25	FMC2_LPC_LA33_N
BANK70-H26	FMC2_LPC_CLK0_M2C_P
BANK70-H27	FMC2_LPC_CLK0_M2C_N
BANK67-R32	FMC2_LPC_CLK1_M2C_P
BANK67-R33	FMC2_LPC_CLK1_M2C_N

3.17 PL-RS232

EGO-19EG 板卡由 19EG 晶片的 PL 側的一組 IO 口擴展出 1 路 RS232 接口，用於板卡調試、打印信息等。RS232 晶片使用 MAXIM 公司的 MAX3221IPWR 晶片，相關電路如下圖所示。

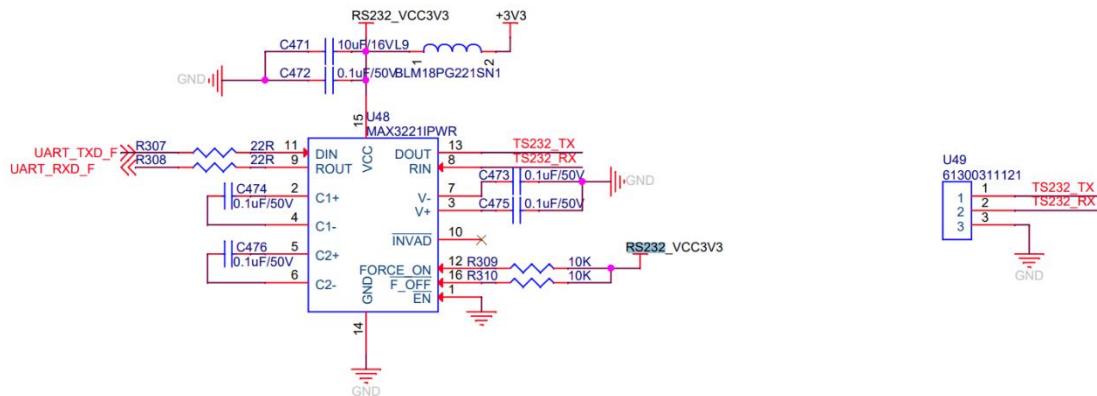


圖 26 RS232 部分電路示意圖

表 14 PL-RS232 腳位分配

19EG Pin	Schematic Net Name
J14	UART_RXD_F
H13	UART_TXD_F

3.18 PL-PMOD

EGO-19EG 板卡具有豐富的擴展 IO 資源。可用於擴展 IO 口來使用。該部分電路示意圖如下圖所示。

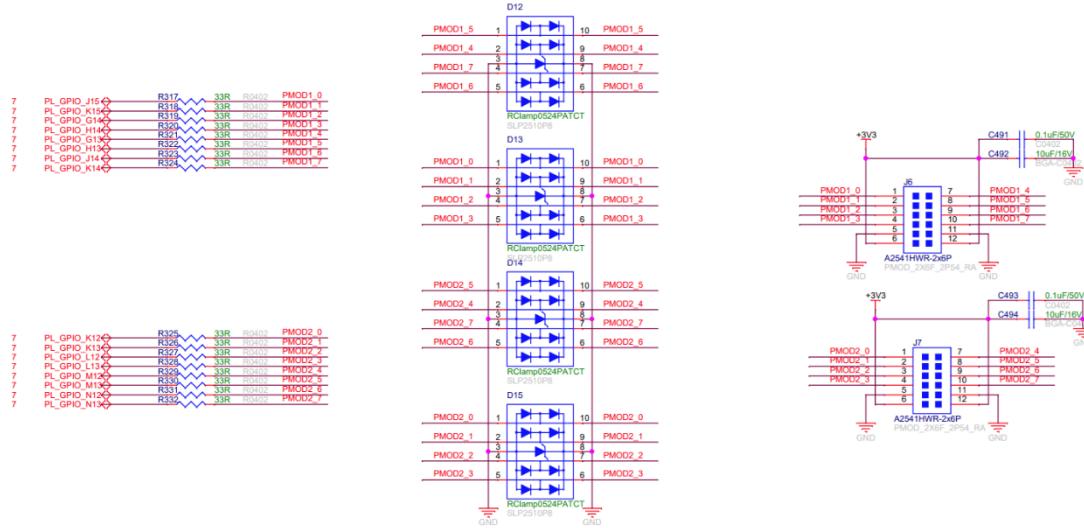


圖 27 PMODX2 電路示意圖

表 12 PMODX2 腳位分配

ZYNQ Pin	Schematic Net Name	Level
AD12	PL_GPIO_J15	LVCMOS33
AC12	PL_GPIO_K15	LVCMOS33
AE12	PL_GPIO_G14	LVCMOS33
AE13	PL_GPIO_H14	LVCMOS33
AC13	PL_GPIO_G13	LVCMOS33
AC14	PL_GPIO_H13	LVCMOS33
AE14	PL_GPIO_J14	LVCMOS33
AD14	PL_GPIO_K14	LVCMOS33
AG14	PL_GPIO_K12	LVCMOS33
AG15	PL_GPIO_K13	LVCMOS33
AJ12	PL_GPIO_L12	LVCMOS33
AH12	PL_GPIO_L13	LVCMOS33
AK13	PL_GPIO_M12	LVCMOS33
AJ14	PL_GPIO_M13	LVCMOS33
AK14	PL_GPIO_N12	LVCMOS33
AK15	PL_GPIO_N13	LVCMOS33

3.19 PL-USER LED

EGO-19EG 板卡預留 4 顆 LED 燈，用於用戶開發使用。這部分接口電路如下。

User LED

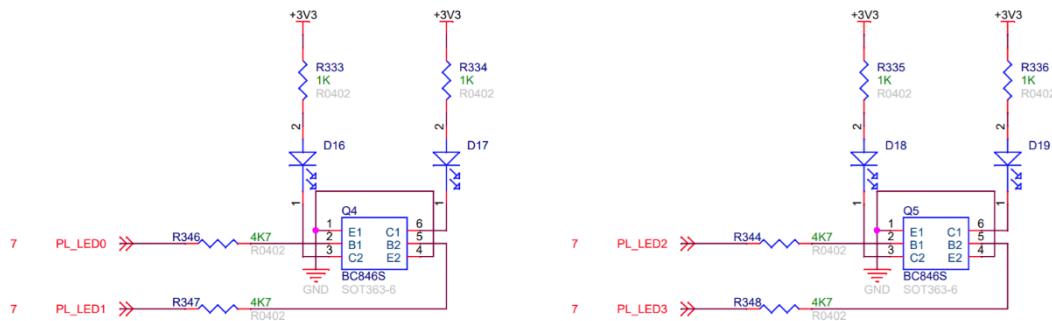


圖 28 USER-LED 接口電路

表 13 PL-USER LED 接口引腳

ZYNQ Pin	Schematic Net Name	Level
M14	PL_LED0	LVCOMS33
M15	PL_LED1	LVCOMS33
L15	PL_LED2	LVCMOS33
N12	PL_LED3	LVCMOS33

3.20 PL-USER Switch

EGO-19EG 板卡預留 1 個撥碼開關，供用戶開發使用。這部分接口電路如下。

User SWITCH

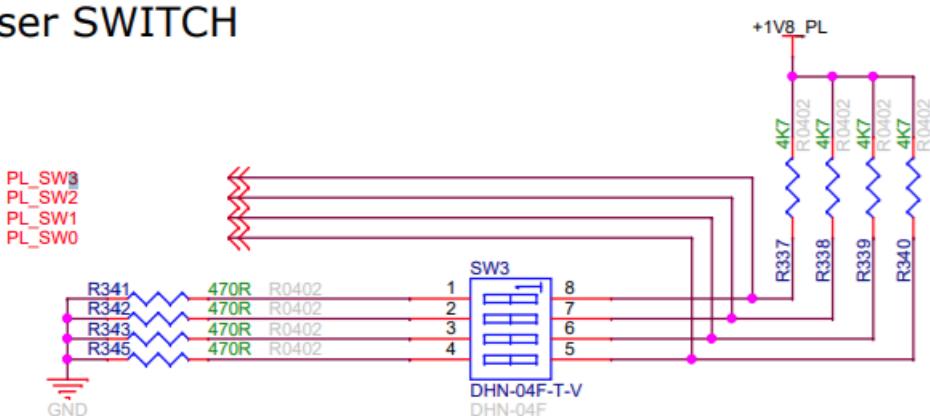


圖 29 PL-USER Switch 接口電路

以 PL_SW0 為例，若撥至 PIN “4” 管腳，則 PL_SW0 置低電平 “0”；若撥至 PIN “5” 管腳，則 PL_SW0 置高電平 “1”。

表 143 PL-USER Switch 接口引腳

ZYNQ Pin	Schematic Net Name
D35	PL_SW0
D36	PL_SW1
B38	PL_SW2
A38	PL_SW3