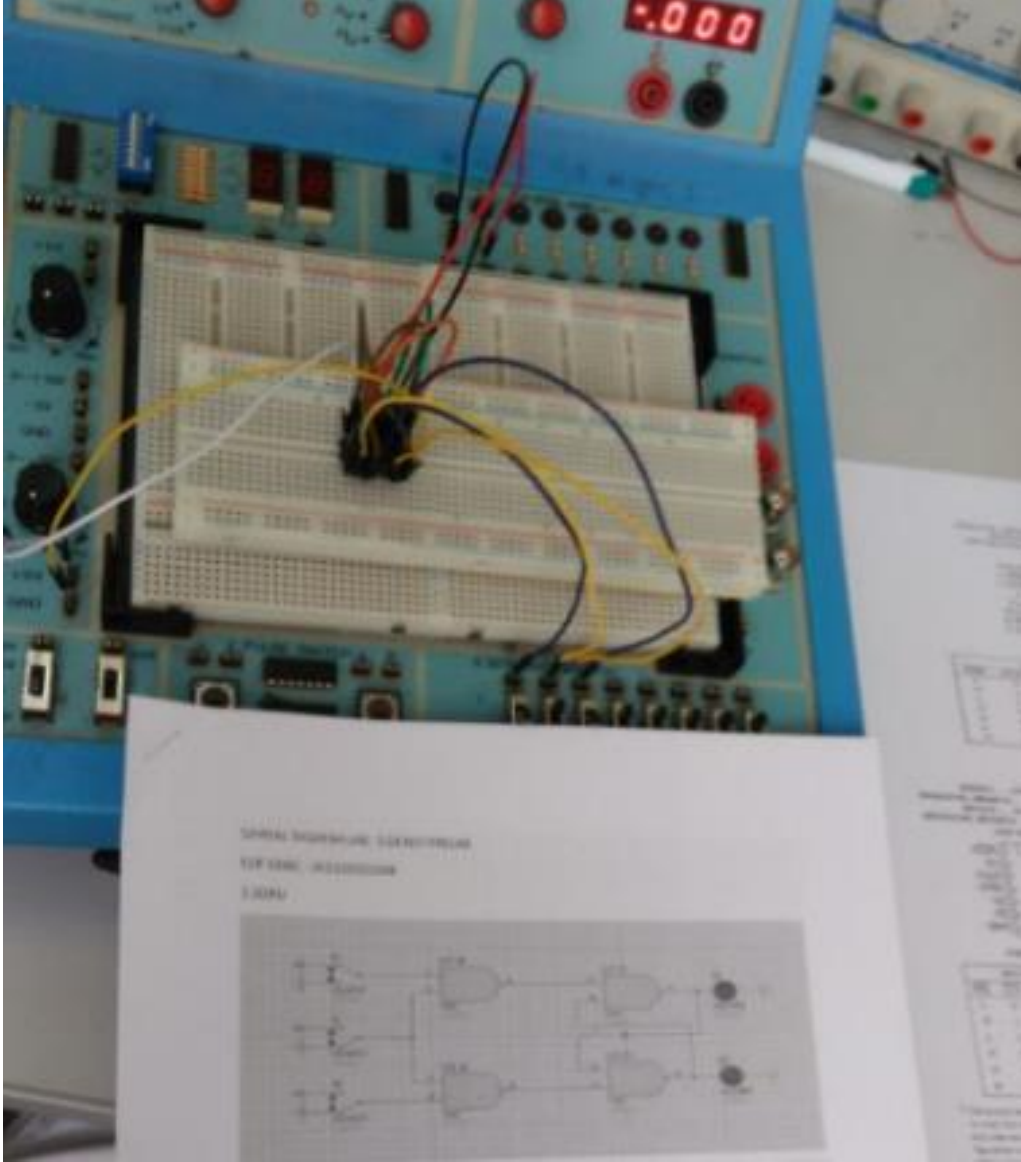


## SAYISAL TASARIM LAB. - 5. DENEY RAPORU

152120151004 – Elif GENÇ

### 1.SORU

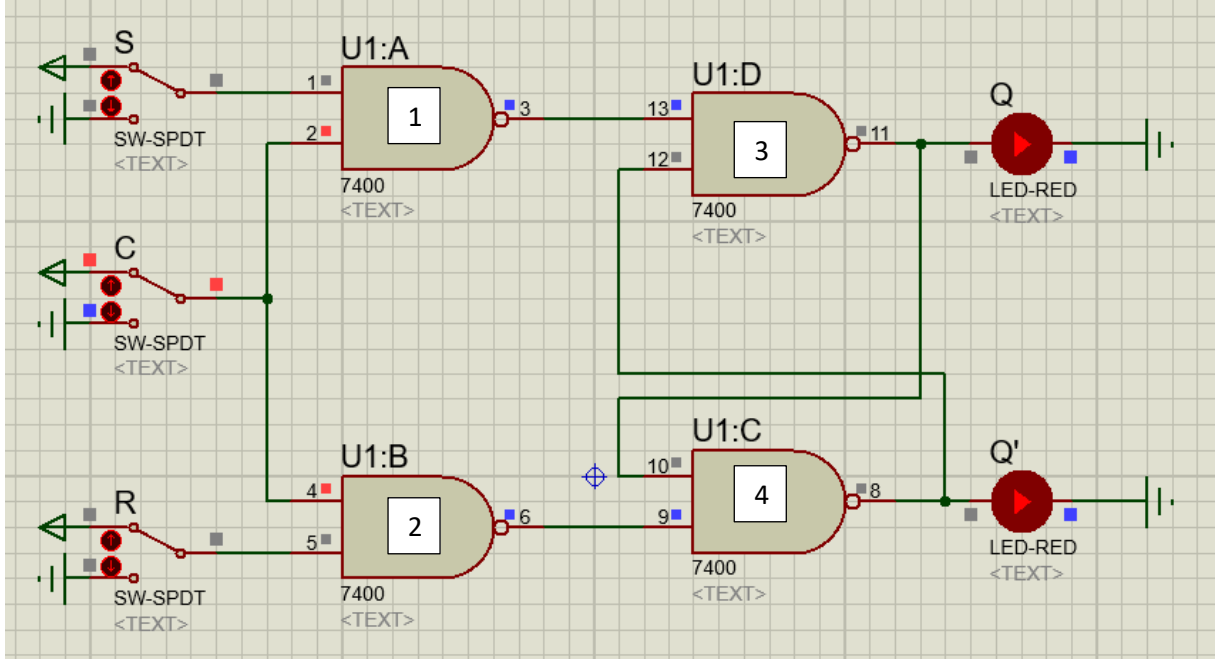


Bu deneyi yaparken 1 adet 7400 numaralı NAND entegresi, CADET üzerinde bulunan 2 adet led ve 3 adet switch kullandık. 1 nolu NAND kapısının çıkışını 3 nolu NAND kapısının girişi, 2 nolu NAND kapısının çıkışını 4 nolu NAND kapısının girişi olarak ayarladık.

Daha sonra 3 nolu NAND kapısının çıkışını Q isimli led' e bağlarken aynı çıkıştan bir kablo çekerek 4 nolu NAND kapının girişine bağladık. Aynı şekilde 4 nolu NAND kapısının çıkışını Q' led'ine bağlarken, aynı çıkıştan bir kablo yardımıyla 3 nolu NAND kapısının girişine bağladık.

Switch'lerden bir tanesini 1 nolu NAND entegresinin girişine, diğer bir switch'i de 2 nolu NAND kapısının girişine bağlarken. 3. switch'ten 2 adet kablo çıkararak bu kabloları 1 ve 2 nolu NAND kapılarının girişi olacak şekilde ayarladık.

Ledlerin bize gösterdiği sonuçlar ile tabloyu doldurdum ve bize verilen birinci soruyu çözmüş oldum.



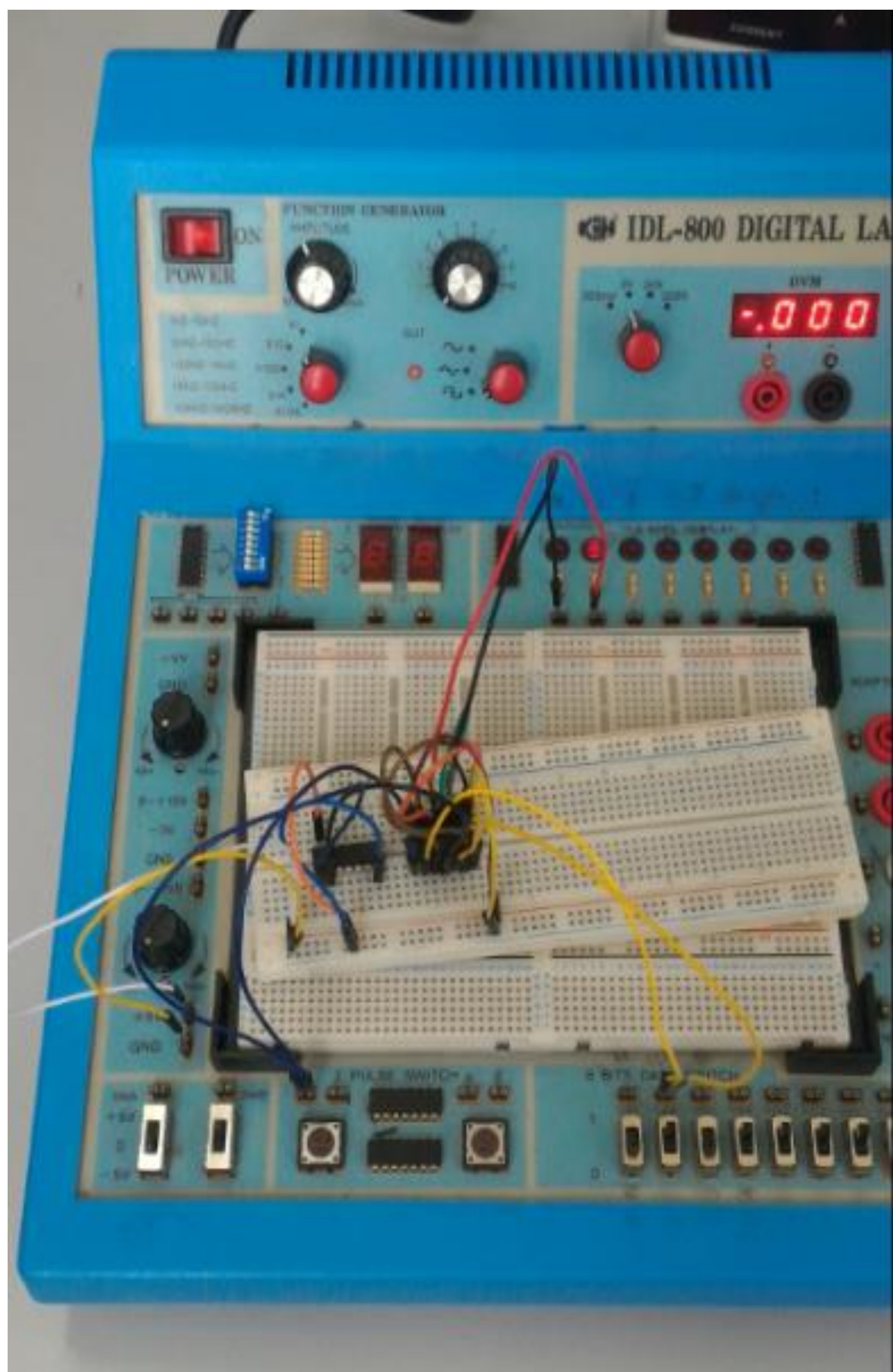
## 2.SORU

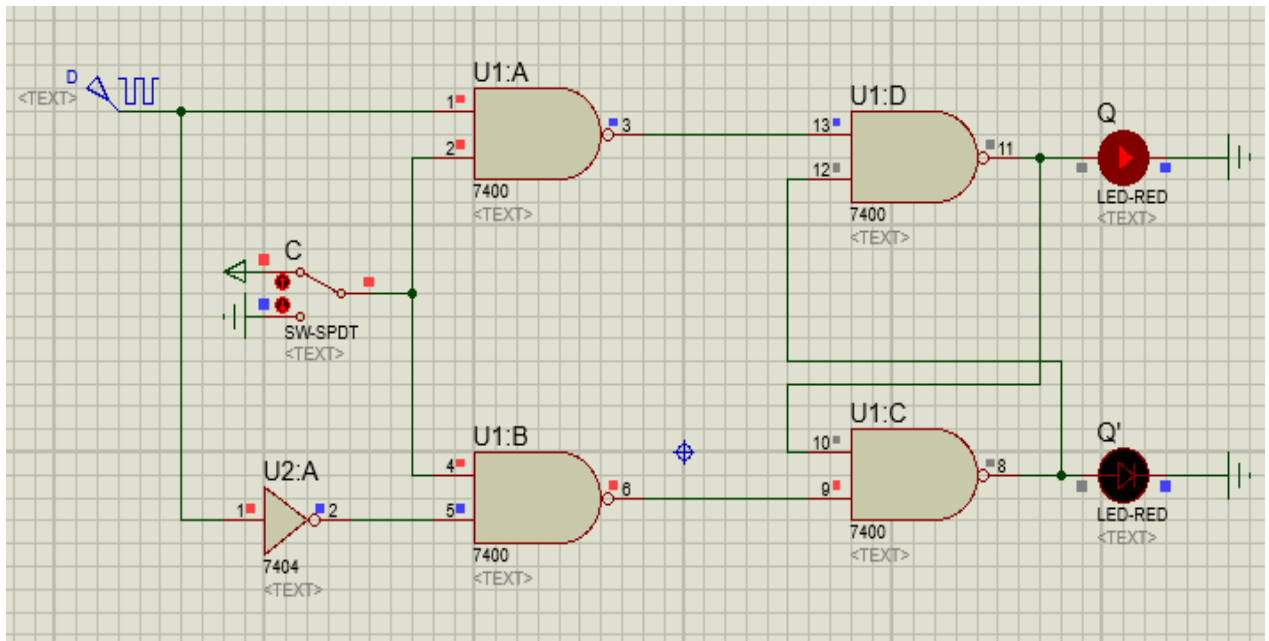
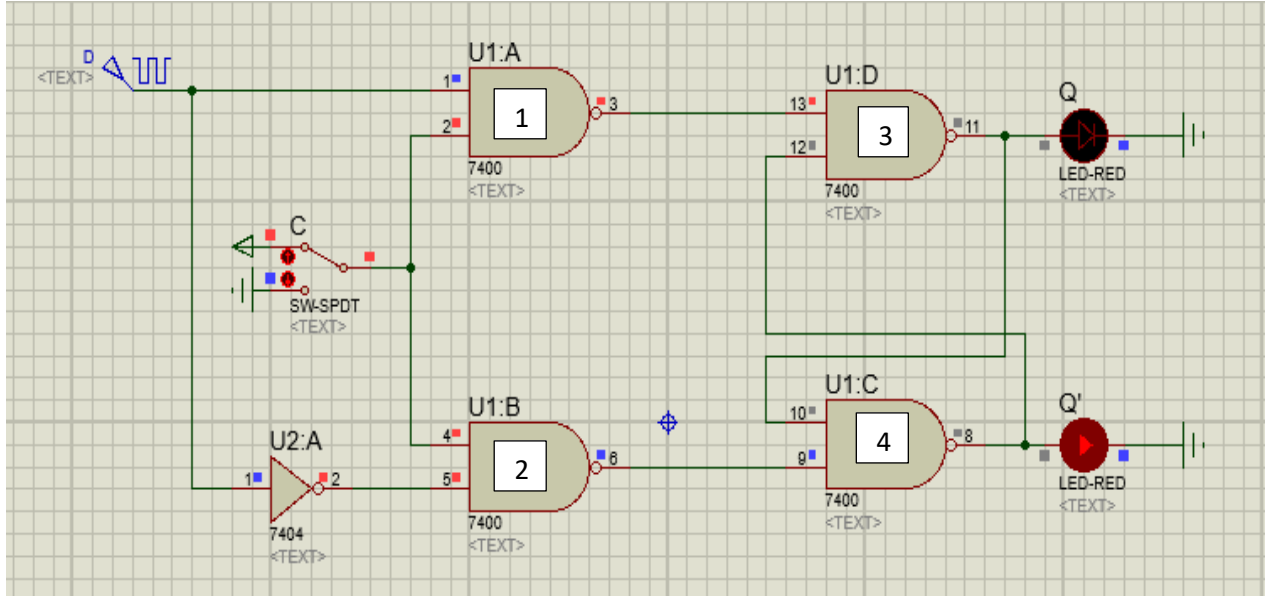
Bu deneyi yaparken 1 adet 7400 numaralı NAND entegresi 1 adet 7414 numaralı NOT entegresi, CADET üzerinde bulunan 2 adet led ve 1 adet switch kullandık. 1 nolu NAND kapısının çıkışını 3 nolu NAND kapısının girişi, 2 nolu NAND kapısının çıkışını 4 nolu NAND kapısının girişi olarak ayarladık.

Daha sonra 3 nolu NAND kapısının çıkışını Q isimli led'e bağlarken aynı çıkıştan bir kablo çekerek 4 nolu NAND kapının girişine bağladık. Aynı şekilde 4 nolu NAND kapısının çıkışını Q' led'ine bağlarken, aynı çıkıştan bir kablo yardımıyla 3 nolu NAND kapısının girişine bağladık.

CADET üzerinde bulunan switch'ten 2 adet kablo çıkararak bu kabloları 1 ve 2 nolu NAND kapılarının girişi olacak şekilde ayarladık. 1 nolu NAND kapısına D kaynağını 2 nolu NAND kapısının girişine ise D kaynağından gelen verinin tersini bağladık.

Ledlerin bize gösterdiği sonuçlar ile tabloyu doldurdum ve bize verilen ikinci soruyu çözmüş oldum.





### 3.SORU

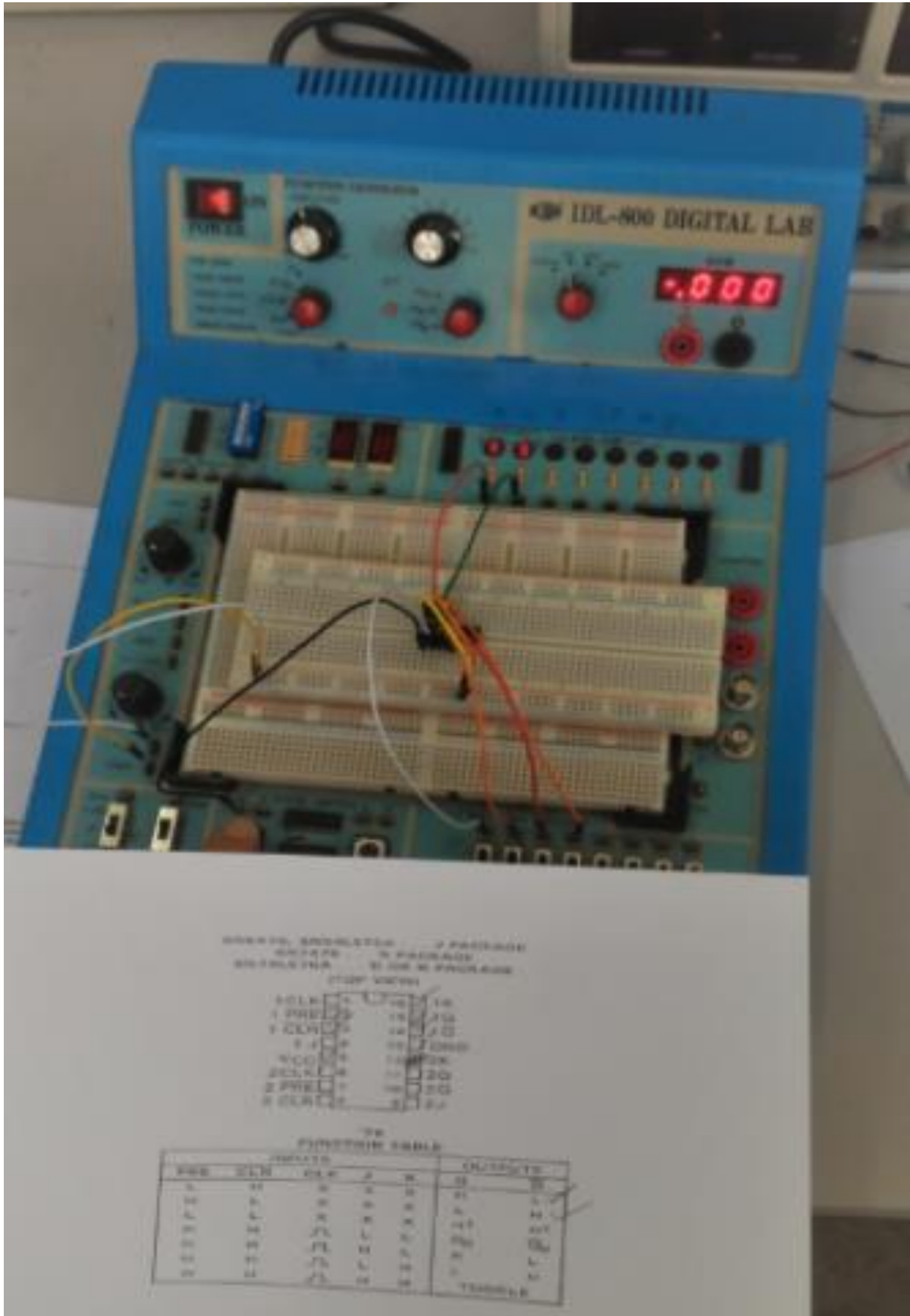
Deney sonucunda elde ettiğimiz sonuçları datasheet içinde bulunan tablodaki sonuçlar ile karşılaştığımızda doğru sonuçları aldık. Bu yüzden yaptığım deney sonucunda aşağıdaki çıkarımlarda bulunabiliyorum.

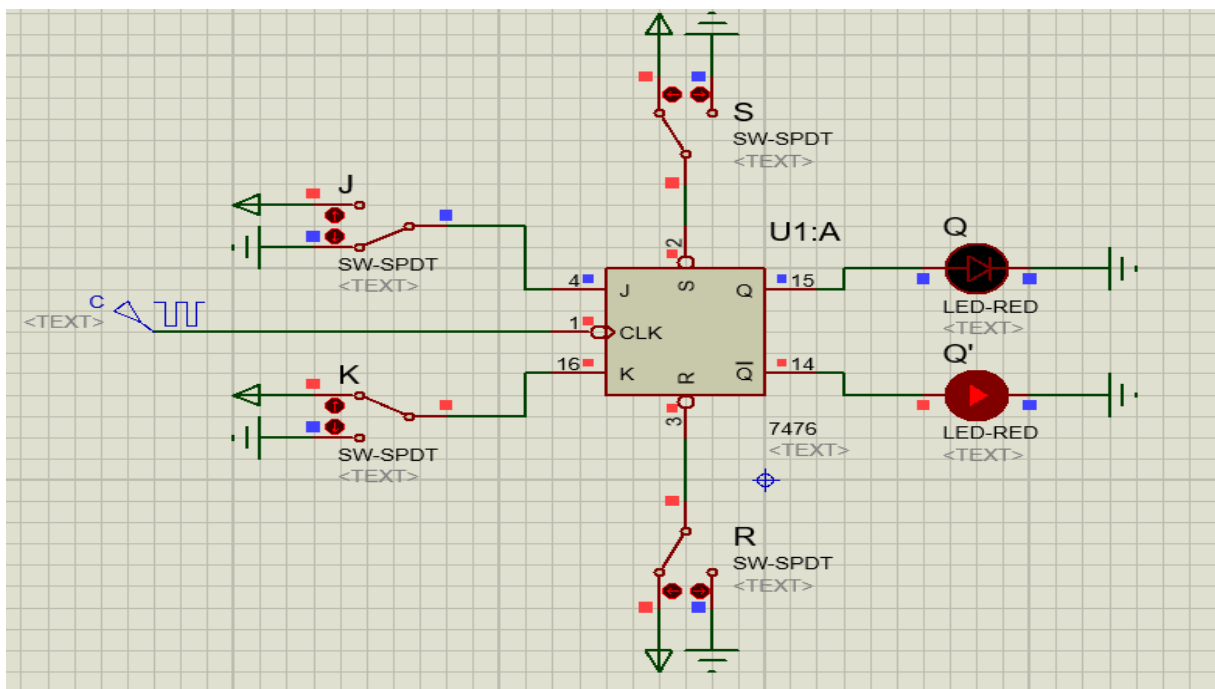
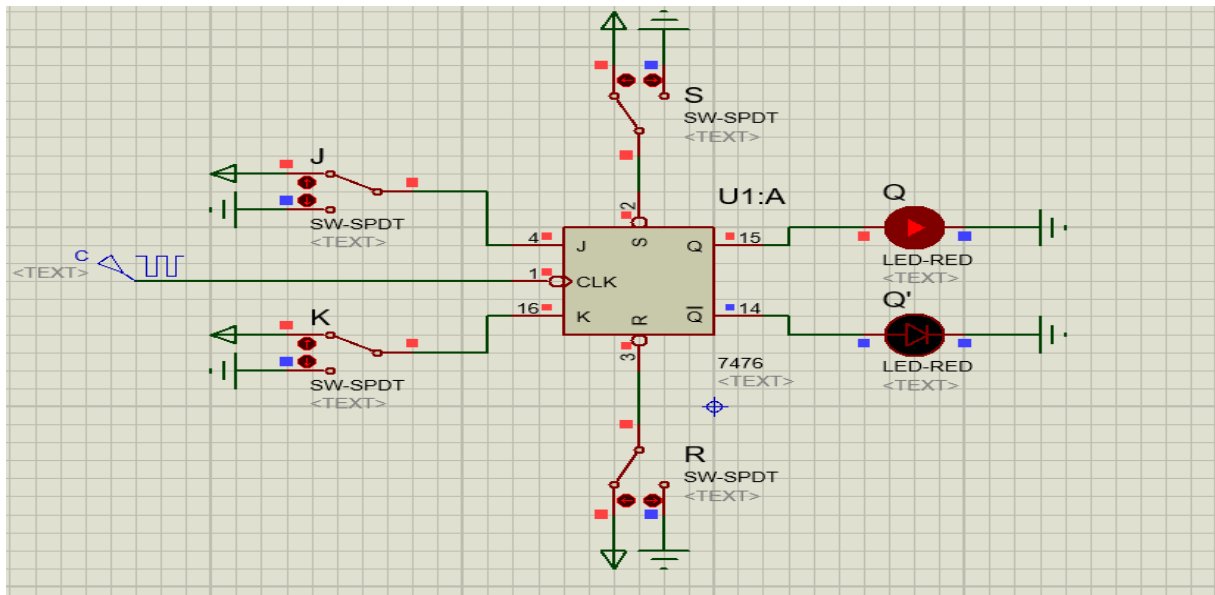
SR flip flop'larında bulunan Set(S) girişi bu flip flop'ta J iken, Reset(R) girişini ise K girişi temsil eder.

J ve K girişi 1 yani high değerini aldığı anda çıkışın her tetiklenmesi sonucu, bir önceki çıkışın tersini verir ve biz bunu toggle diye adlandırırız.



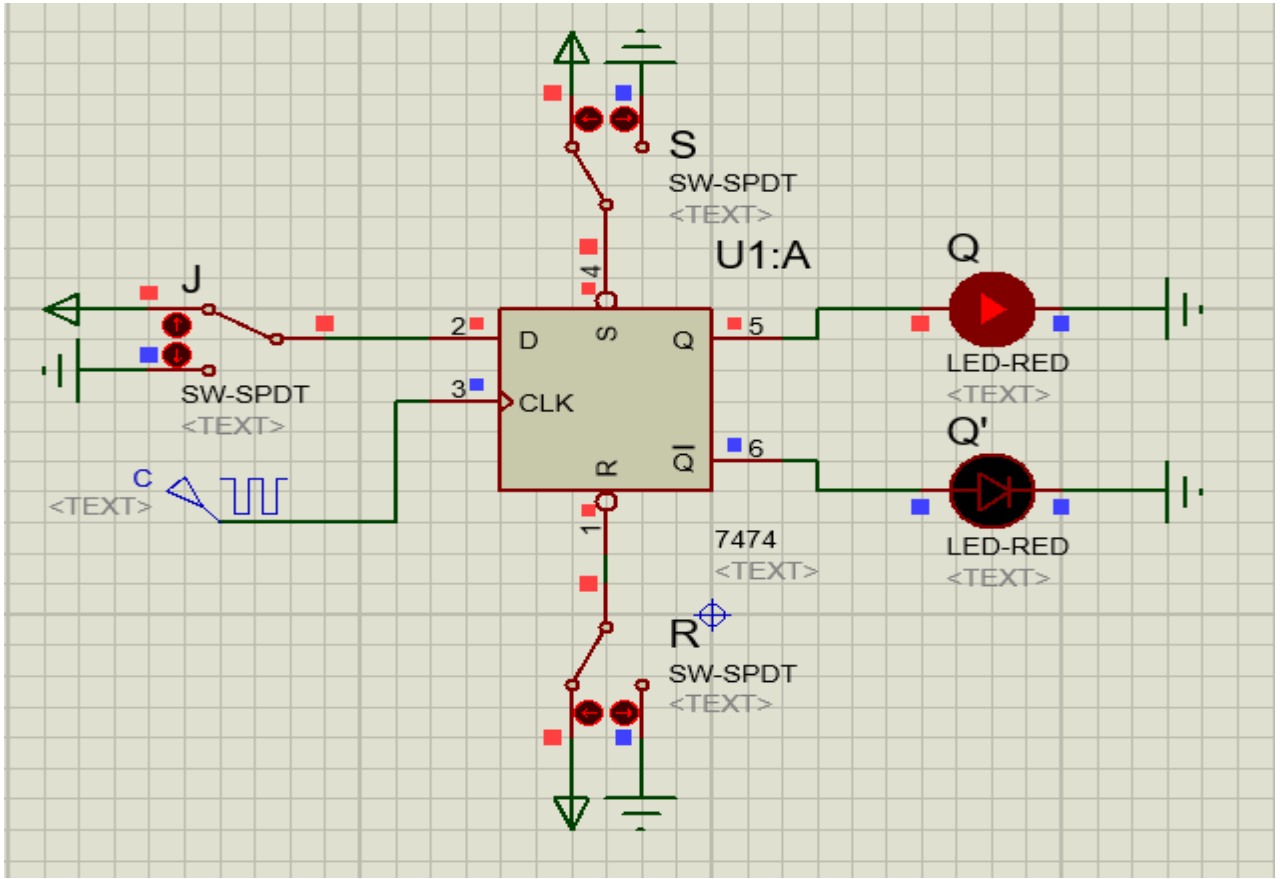
JK flip flop'larınım tasarlanma amacının SR flip floplarındaki belirsizlik durumlarını kaldırmak için ortaya çıktığını düşünüyorum.





INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	Q'
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	⌊	L	L	Q	Q'
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
h	H	⌋	H	H	TOGGLE	

#### 4.SORU



D flip flop'unda Clock girişine pulse generator'ünü bağladık ve D girişinin aldığı değerlerin direk olarak çıkışta görüldüğünü gözlemledik. Ve ben bu deneyi yaparken D flip flop'unu JK flip flop'unu kullanarak elde edebileceğimi gördüm. (JK flip flop'undaki J girişine bir NOT kapısı bağlanır ve bu girişin K'ya bağlanmasıyla tek girişli bir flip flop elde ettik bu elde ettiğimiz flip flop D flip flop'uyla aynı devre çizimine sahip olur.)

4. IC 74134 contains two independent positive edge triggered D flip-flops with complementary outputs. The description of the D flip-flop is completed by the flip-flop on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the magnitude level of the rising edge of the clock. The function table given in Table 3 defines the operation of the D flip-flop.

Table 3:

Inputs				Outputs	
DD	CLK	CLA	D	Q	$\bar{Q}$
0	0	X	X	0	1
0	1	X	X	1	0
1	0	X	X	0	1
1	1	X	X	1	0
0	0	1	0	0	1
0	0	1	1	1	0
1	0	1	0	0	1
1	0	1	1	1	0

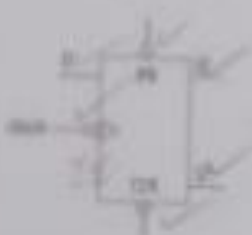


Figure 2

In the lab, construct the circuit of Fig. 4. Connect D and  $\bar{D}$  to the pins of the 74134. Load the 74134 with 100k  $\Omega$  resistors for positive logic required by the clock and CLA inputs. Verify the operation of the D flip-flop for each combination concerning the characteristics.

