

2021 年 4 月高等教育自学考试全国统一命题考试

计算机组成原理

(课程代码 02318)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 10 小题, 每小题 1 分, 共 10 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 十进制数-96 的 8 位补码表示是

- | | |
|-------------|-------------|
| A. 01100000 | B. 10100000 |
| C. 10011111 | D. 11100000 |

2. 若传送的是字符 C, 其 ASCII 码为 1000011, 采用奇校验方式传送 8 位编码, 末位增加奇校验位后的编码表示是

- | | |
|-------------|-------------|
| A. 10000110 | B. 10000111 |
| C. 01000011 | D. 11000011 |

3. 在采用变址寻址方式的指令中, 操作数在

- | | |
|--------|-----------|
| A. 指令中 | B. 通用寄存器中 |
| C. 内存中 | D. 外存中 |

4. 有一个 32KB 的主存储器, 按字节编址需要地址线

- | | |
|---------|---------|
| A. 5 条 | B. 10 条 |
| C. 15 条 | D. 32 条 |

5. 存放微程序的控制存储器包含在

- | | |
|----------|----------|
| A. 控制器中 | B. 主存储器中 |
| C. 外存储器中 | D. 运算器中 |

6. 磁盘接口应选用

- | | |
|---------------|----------------------|
| A. 程序直接控制传送接口 | B. DMA 接口 |
| C. 中断接口 | D. 既有中断接口, 又有 DMA 接口 |

7. MIPS 计算机的汇编指令 “or \$s1, \$s2, \$s3” 的功能是
- A. $\$s3 = \$s1 | \$s2$ B. $\$s1 = \$s2 | \$s3$
C. $\$s2 = \$s1 | \$s3$ D. $\$s3 = \$s2 - \$s1$
8. 对硬盘上信息的访问方式是
- A. DAM B. SAM
C. ROM D. RAM
9. 在计算机的存储器层次结构中, 属于外部存储器的是
- A. 主存 B. 寄存器
C. 高速缓存 D. 光盘
10. 设置中断屏蔽字的作用是
- A. 暂停外设对主存的访问 B. 暂停对某些中断的响应
C. 暂停对一切中断的响应 D. 暂停 CPU 对主存的访问

第二部分 非选择题

二、填空题: 本大题共 15 空, 每空 1 分, 共 15 分。

11. CPU 内部的 ALU 部件的基本功能是实现_____运算和_____运算。
12. 在计算机系统中, 常用的进位记数制有_____进制、八进制、十进制、_____进制。
13. 在计算机系统中, 常用的数据校验码有奇偶校验码、海明校验码、_____校验码。
14. 按指令格式的复杂度, 指令系统可分为 CISC 与_____两种类型。
15. Intel 将内部异常分为三类: 故障、陷阱和_____。
16. 早期计算机的定时方式采用机器周期、_____和_____三级时序对数据通路操作进行定时控制。
17. 按照存取方式分类, 存储器分为_____、_____和直接存取存储器。
18. 由若干个存储器芯片构成一个内存条, 通常情况下, 需要在字方向和_____方向上进行扩展。
19. 对 I/O 接口中可访问的寄存器编址, 其方式有独立编址和_____编址两种。
20. I/O 数据传送主要有三种不同的控制方式: _____、_____和中断控制。

三、名词解释题: 本大题共 5 小题, 每小题 3 分, 共 15 分。

21. 总线
22. (计算机性能指标) MIPS
23. (数据存储排列顺序) 大端方式

24. 寄存器寻址

25. 程序状态字寄存器 (PSW)

四、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

26. 一条指令中应该显式或隐式地给出哪些信息？

27. CPU 中设置的程序计数器 (PC) 和指令译码器 (ID) 的作用分别是什么？

28. 为什么在 CPU 和主存之间引入 Cache 能提高 CPU 访存效率？

29. 中断过程包括哪两个阶段？每个阶段如何实现？

五、计算题：本大题共 3 小题，每小题 6 分，共 18 分。

30. 假设某个频繁使用的程序 P 在机器 M1 上运行需要 20s，M1 的时钟频率为 3GHz。

设计人员想开发一台与 M1 具有相同 ISA 的新机器 M2。采用新技术可使 M2 的时钟频率增加，但同时也会使 CPI 增加。假定 P 在 M2 上执行时的时钟周期数是在 M1 上的 2 倍，则 M2 的时钟频率至少达到多少才能使程序 P 在 M2 上的运行时间缩短为 8s？

31. 将十进制数 120 转换为 IEEE754 的单精度 (32 位) 浮点数格式，要求最后格式用十六进制数表示。注：IEEE754 单精度浮点数的计数公式为 $(-1)^s \times 1.f \times 2^{E-127}$ ，其中符号位 1 位，阶码 8 位，尾数 23 位。

32. 假定某同步总线在一个总线时钟周期内传送一个 8 字节的数据，总线时钟频率为 133MHz，则总线带宽是多少？如果总线宽度改为 128 位，一个时钟周期能传送两次数据，总线时钟频率为 266 MHz，则总线带宽是多少？

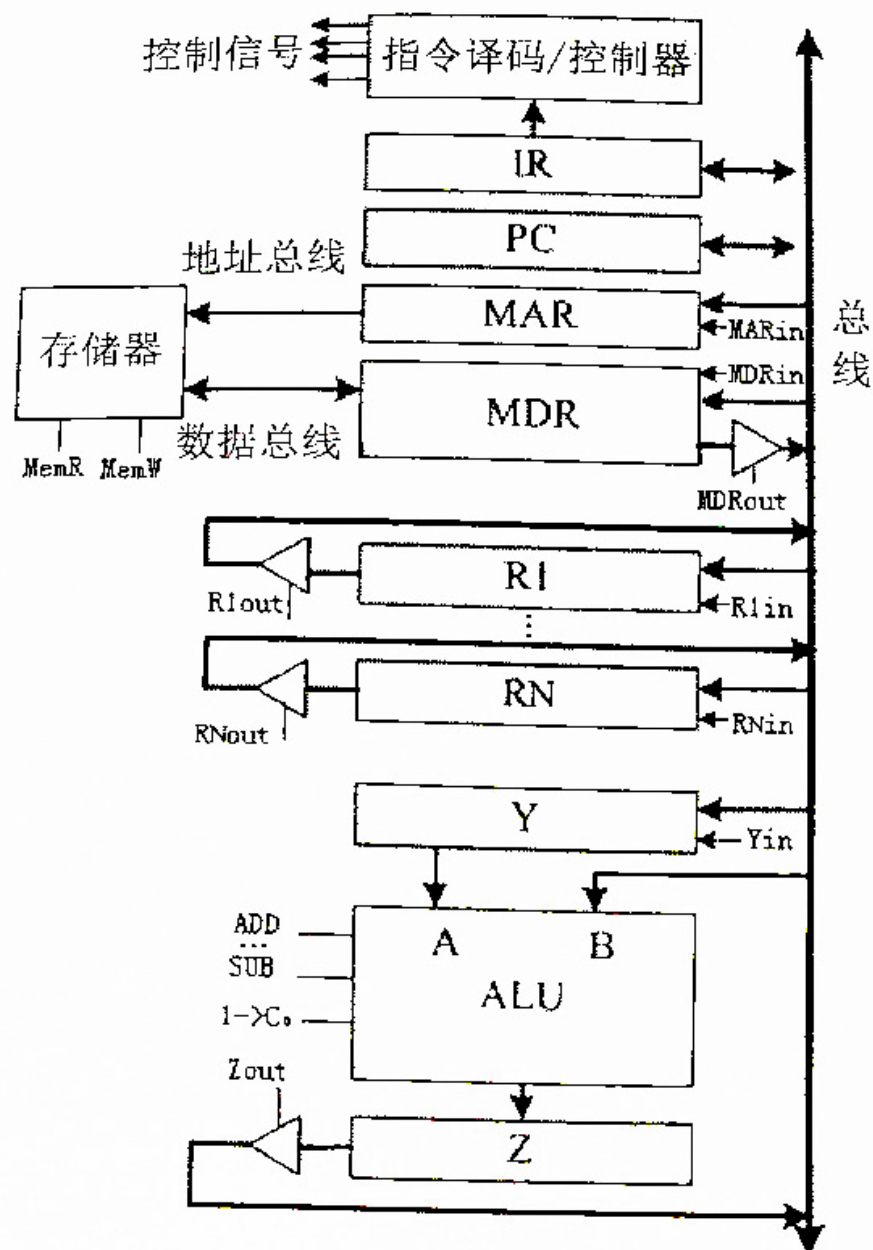
六、综合应用题：本大题共 2 小题，第 33 小题 12 分，第 34 小题 10 分，共 22 分。

33. 某计算机字长 16 位，采用 16 位定长指令格式，部分数据通路结构如题 33 图所示。假设 MAR 的输出一直处于使能状态，对于逻辑指令 “OR (R2), (R1)”，请回答下列两问。

(1) 在执行阶段需要多少个节拍？

(2) 每个节拍的功能是什么？需要哪些有效控制信号？

注：该指令功能为 $M[R[R2]] \leftarrow M[R[R2]] \text{ OR } M[R[R1]]$ 。



题 33 图

34. 某计算机主存地址空间大小 32MB，按字节编址。主存与 Cache 之间采用直接映射方式，块大小为 8K 字节。Cache 数据区大小为 64KB。
- (1) 该 Cache 共有多少行？
 - (2) 主存地址需多少位？如何划分？要求说明每个字段的含义、位数及其在主存地址中的位置。

绝密★启用前

2021 年 4 月高等教育自学考试全国统一命题考试

计算机组成原理试题答案及评分参考

(课程代码 02318)

一、单项选择题：本大题共 10 小题，每小题 1 分，共 10 分。

1. B 2. A 3. C 4. C 5. A 6. D 7. B 8. A 9. D 10. B

二、填空题：本大题共 15 空，每空 1 分，共 15 分。

11. 算术、逻辑
12. 二进制、十六进制
13. 循环冗余
14. RISC
15. 终止
16. 节拍、脉冲
17. 随机存取存储器、顺序存取存储器
18. 位
19. 统一
20. 程序直接控制、DMA 控制

三、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

21. 答：总线是传输信息的通路，用于在部件之间传输信息，CPU、主存和 I/O 模块通过总线互连。
22. 答：MIPS 是平均每秒钟执行多少百万条指令。
23. 答：大端方式将数据的最高有效字节 MSB 存放在最小地址单元中，将最低有效字节 LSB 存放在最大地址单元中。
24. 答：指令中给出的地址码是一个寄存器编号，该寄存器中存放的是操作数，这种寻址方式称为寄存器寻址。
25. 答：记录现行程序的运行状态和指示程序的工作方式。

四、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

26. 答：一条指令中应该显式或隐式地给出：操作码（1 分）、源操作数或其地址（1 分）、结果的地址（1 分）、下条指令地址。（2 分）

27. 答: 程序计数器 (PC) 用来存放即将执行指令的地址, 取指令时, 总是先把 PC 的内容送到地址线; (2 分) 指令译码器 (ID) 对指令寄存器中的操作码部分进行分析解释, 产生相应的译码信号提供给操作控制信号形成部件, 以产生控制信号。(3 分)

28. 答: 在 CPU 和主存之间设置 Cache, 总是把主存中被频繁访问的活跃程序块和数据块复制到 cache 中。(2 分) 由于程序访问的局部性, 大多数情况下, CPU 能直接从 Cache 中取得指令和数据, 而不必访问主存, 因而能提高 CPU 访存效率。(3 分)

29. 答: 中断过程包括中断响应、中断处理两个阶段; (2 分) 中断响应阶段是由硬件实现的, 而中断处理阶段则是由 CPU 执行中断服务程序来完成的, 所以中断处理是由软件实现的。(3 分)

五、计算题: 本大题共 3 小题, 每小题 6 分, 共 18 分。

30. 解:

程序 P 在机器 M1 上的时钟周期数为 CPU 执行时间 \times 时钟频率 $=20\text{S}\times 3\text{GHz}=60\text{G}$ 。(2 分)

因此, 程序 P 在机器 M2 上的时钟周期数为 $2\times 60\text{GHz}=120\text{G}$ 。(2 分)

要使程序 P 在 M2 上的运行时间缩短为 8S, 则 M2 的时钟频率至少应为:

程序所含时钟周期 \div CPU 执行时间 $=120\text{G}\div 8\text{S}=15\text{GHz}$ 。(2 分)

31. 解:

(1) 将十进制数转换成二进制数

$(120)_{10} = (1111000)_2$ (1 分)

(2) 规格化二进制数

移动小数点, 使其在第 1、2 位之间: $1111000 = 1.111000\times 2^6$ (1 分)

(3) 计算移码表示的阶码 $E = \text{偏置值} + \text{阶码真值}$

阶码真值 $e = 6$, 偏置值 $=127$

阶码 $E = (127+6)_{10} = (133)_{10} = (10000101)_2$ (1 分)

(4) 以单精度 (32 位) 浮点数格式存储该数

符号位 $S = 0$

阶码 $E = 10000101$

尾数 $f = 111000,000000000000000000$

得到 32 位浮点数的二进制存储格式为:

0 10000101111 0000 0000 0000 0000 0000 (1 分)

(5) 16 进制数格式为: $(42\text{F}00000)_{16}$ (2 分)

32. 解：根据总线的总带宽计算公式： $B=W \times F/N$

则本题所述总线的带宽为：

$$B=8B \times 133\text{MHz}/1=1064\text{MB/s} \quad (3 \text{ 分})$$

改进后，总线的总带宽为：

$$B=(128/8)B \times 266\text{MHz}/0.5=8512\text{MB/s} \quad (3 \text{ 分})$$

六、综合应用题：本大题共 2 小题，第 33 小题 12 分，第 34 小题 10 分，共 22 分。

33. 解：（1）需要 8 个节拍 （2 分）

（2）控制信号	功能	
$R1_{out}, MAR_{in}$	$MAR \leftarrow (R1)$	（1 分）
MemR	$MDR \leftarrow M(MAR)$	（1 分）
MDR_{out}, Y_{in}	$Y \leftarrow (MDR)$	（1 分）
$R2_{out}, MAR_{in}$	$MAR \leftarrow (R2)$	（1 分）
MemR	$MDR \leftarrow M(MAR)$	（1 分）
MDR_{out}, OR	$Z \leftarrow (Y) OR (MDR)$	（2 分）
Z_{out}, MDR_{in}	$MDR \leftarrow (Z)$	（1 分）
MemW	$M(MAR) \leftarrow MDR$	（2 分）

34. 解：（1）每 8K 字节数据块在 cache 中占一行，故 64KB cache 被划分为 $64\text{KB} \div 8\text{KB} = 8$ 行 （2 分）

（2） $32\text{MB} = 2^{25}\text{B}$ ，故主存地址长度为 25 位 （2 分）

被划分成以下三个字段：

标记+cache 行号+块内地址

由于块大小为 $8\text{KB} = 2^{13}\text{B}$ ，所以块内地址为 13 位，即主存地址的低 13 位。 （2 分）

Cache 行数为 $32 = 2^5$ ，所以 cache 行号需要 5 位，即主存地址的中间 5 位。 （2 分）

主存地址总长 25 位，所以标记部分为 $25 - 13 - 5 = 7$ 位，即主存地址的高 7 位。 （2 分）