

数字逻辑设计

Digital Logic Design

秦阳

School of Computer Science


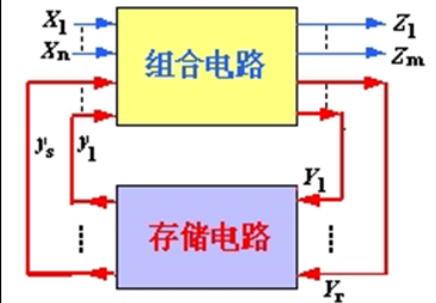
csyqin@hit.edu.cn

时序逻辑元件

- 锁存器 (Latch)
- 触发器 (Flip-Flop)
- 带附加输入端的边沿触发器
- 触发器类型转换

组合逻辑电路 vs 时序逻辑电路

- **锁存器和触发器**是构成存储电路的基本元件
- **现态（原态）和 次态（新态）**

构成		定义	结构	电路框图	逻辑函数表达式
数字逻辑电路	组合逻辑电路	<p>任意时刻的输出——</p> <ul style="list-style-type: none"> ■ 仅与当前时刻的输入有关 $Z_m = f_m(x_1, \dots, x_n)$	不包含存储元件		<p>只有一组：</p> $Z_m = f_m(x_1, \dots, x_n)$
	时序逻辑电路	<p>任意时刻的输出与以下均有关：</p> <ul style="list-style-type: none"> ■ 当前时刻的输入 ■ 电路过去（上一个时刻）的工作状态 $Z_m = f_m(x_1, \dots, x_n, y_1, \dots, y_s)$	包含存储元件		<p>有三组：</p> <p>输出方程,驱动方程,状态方程：</p> $Z_m = f_m(x_1, \dots, x_n, y_1, \dots, y_r)$ $Y_r = g_r(x_1, \dots, x_n, y_1, \dots, y_s)$ $Y_s^{n+1} = q_s(x_1, \dots, x_n, Y_1^n, \dots, Y_s^n)$

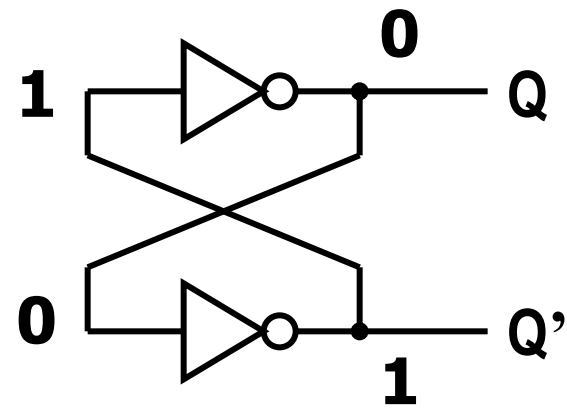
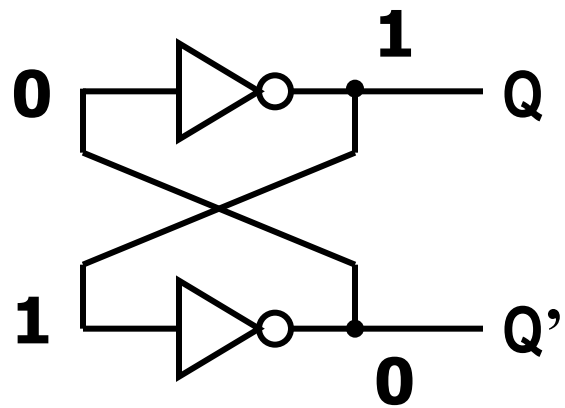
锁存器和触发器

- 锁存器：没有时钟输入端
- 触发器：有时钟输入端，并且只在时钟信号到来时，才发生状态转换

锁存器与触发器的特性（双稳态）

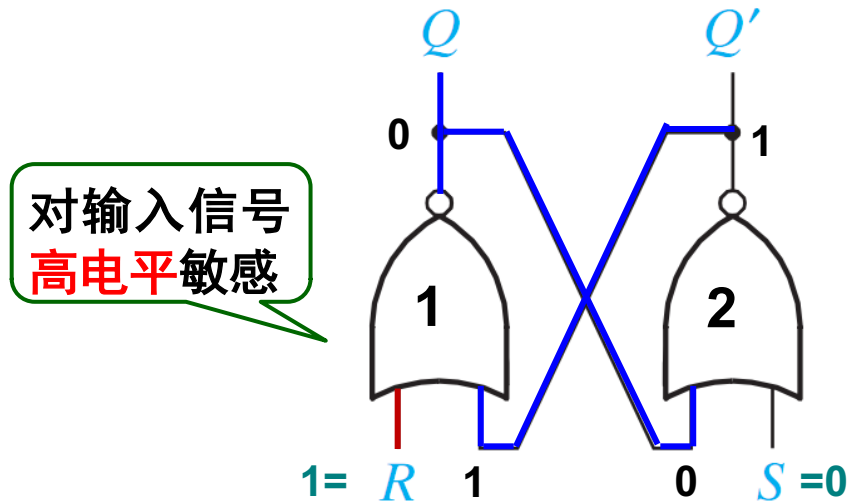
1. 有两个互补的输出端 Q 和 Q'
2. 有两个稳定的状态: state 0, state 1
3. 在外界信号的刺激下，可以从一个稳定状态转变到另一个稳定状态。
4. 没有外界信号刺激，维持当前状态不变。

双稳态



基本SR锁存器（触发器的鼻祖）

(1) 电路构成（或非门）



$Q (Q_n)$ ——现态

$Q^+ (Q_{n+1})$ ——次态

$Q=0 (\bar{Q}=1)$: state 0

$Q=1 (\bar{Q}=0)$: state 1

R : 置0端(Reset the output to $Q=0$)

S : 置1端(Set the output to $Q=1$)

(2) 功能表

置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

保持

置 1

置 0

× 不允许

RS对同时取
1互斥

置0端 R	置1端 S	次态 Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	—

输入高电平
有效

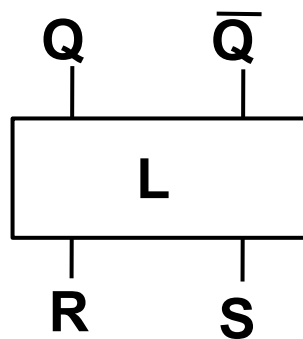
基本SR锁存器次态方程、逻辑符号等

(3) 次态方程

$$Q_{n+1} = S + \bar{R}Q_n$$

(SR = 0) 约束条件

(4) 逻辑符号



		<i>S</i>	
		0	1
<i>RQ</i>	00	0	1
	01	1	1
	11	0	X
	10	0	X

功能表

置0端 <i>R</i>	置1端 <i>S</i>	现态 <i>Q_n</i>	次态 <i>Q_{n+1}</i>
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

基本SR锁存器驱动表

(5) 驱动表：完成状态转换需要满足的输入条件

$Q_n \rightarrow Q_{n+1}$	R	S
0 → 0	X	0
0 → 1	0	1
1 → 0	1	0
1 → 1	0	X

用于时序
电路设计

置0端 R	置1端 S	次态 Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	—

保持

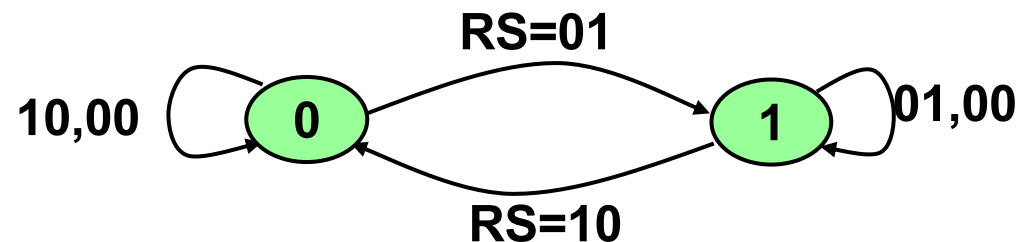
置 0

(6) 状态图

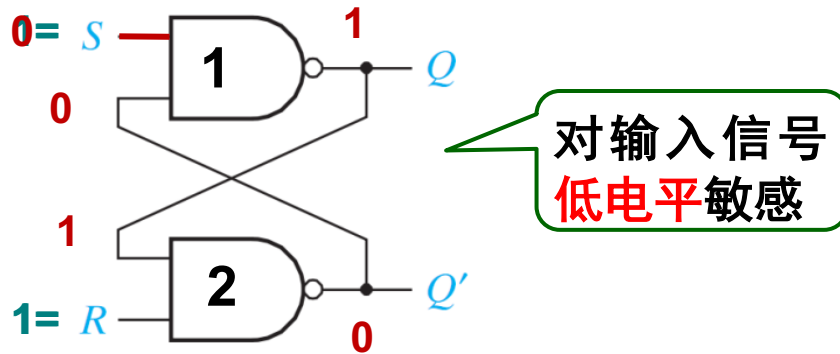
反映时序电路状态转移规律及相应输入、输出取值关系的有向图

图中元素的含义

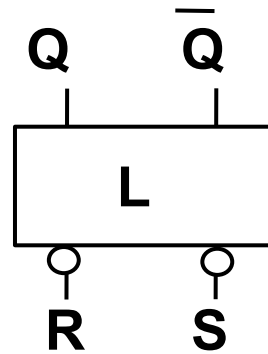
- 圆圈：表示电路的状态
- 有向线段：表示状态的转换关系
- 有向线段旁的文字：表示转换条件，即输入信号取值



另一种形式的基本SR锁存器（与非门）



逻辑符号:



(2) 功能表

置0端 R	置1端 S	现态 Q_n	次态 Q_{n+1}
1	1	0	0
1	1	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
0	0	0	—
0	0	1	—

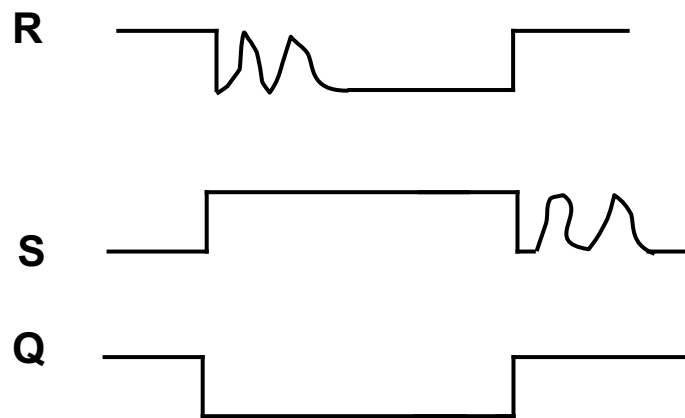
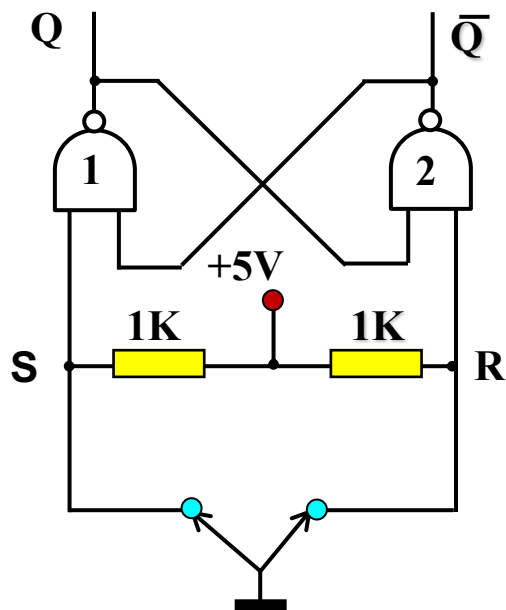
保持

置 1

置 0

× 不允许

锁存器的应用——开关去抖



- ❖ 由于机械弹性作用, 机械式开关在使用中, 通常伴随有一定时间的触点机械抖动。
- ❖ 触点抖动可能导致判断出错 (一次按下或释放被错误地认为是多次操作)

(7) 典型芯片

74LS279: 4 R-S latches

SR锁存器小结

- 优点：结构简单

- 缺点：

 - ① 输入存在约束，使用不便；

 - ② 状态改变由输入直接控制。给使用带来局限性。

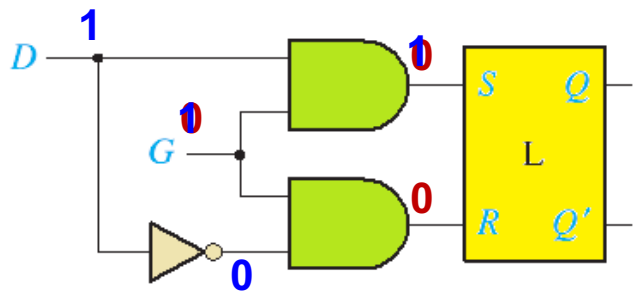
- 用途：记忆输入状态

- **基本SR锁存器**是众多触发器的鼻祖

 - 其余的触发器都是在其基础上逐步改进和完善后形成的

门控D锁存器

(1) 电路构成



(2) 功能表

使能端 G	输入端 D	现态 Q_n	次态 Q_{n+1}
0	X	0	0
0	X	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

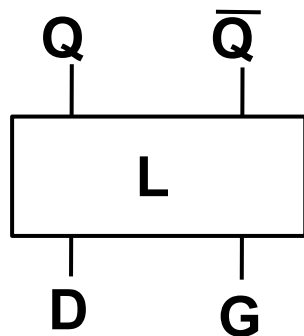
(3) 次态方程

$Q \backslash GD$	00	01	11	10
0	0	0	1	0
1	1	1	1	0

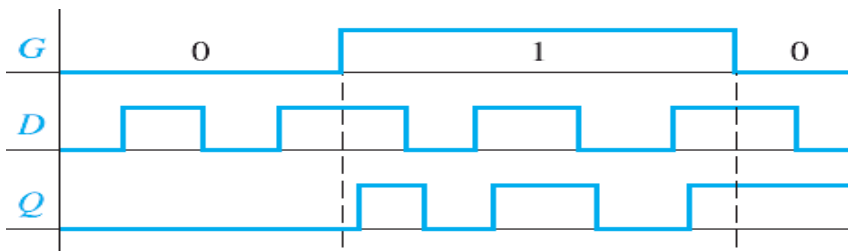
$$Q_{n+1} = GD + \bar{G}Q_n$$

在G为高电平期间, Q端的输出直接拷贝D端波形

(4) 逻辑符号



(5) 时序分析



(6) 典型芯片

74LS373: 8D锁存器

用Verilog实现基本D锁存器

```
module VrDlatch(D, G, Q);  
    input D, G;  
    output reg Q;  
  
    always @(D or G) begin  
        if (G==1) Q <= D;  
    end  
endmodule
```

用Verilog实现带异步清零和门使能D锁存器

```
module VrDlatchCE(D, G, GE, CLR, Q);  
    input D, G, GE, CLR;  
    output wire Q;  
  
    always @(D or G or GE or CLR) begin  
        if (CLR==1) Q <= 0;  
        else if ( (G==1) &&(GE==1) ) Q <= D;  
    end  
endmodule
```

用Verilog实现带锁存输出的n-s位译码器

```
module VrNtoSdec_latch(G, CLR, A, Y);  
    parameter N=3, S=8;  
    input [N-1:0] A;  
    input G, CLR;  
    output reg [S-1:0] Y;  
    integer i;  
  
    always @ (*) begin  
        if (CLR) Y <= 0; // Outputs all 0 when CLR is active  
        else if (G) begin // Set selected output bit when enabled  
            Y <= 0;  
            for (i=0; i<=S-1; i=i+1)  
                if (i == A) Y[i] <= 1;  
            end  
        end  
    end  
endmodule
```

门控D锁存器的优缺点

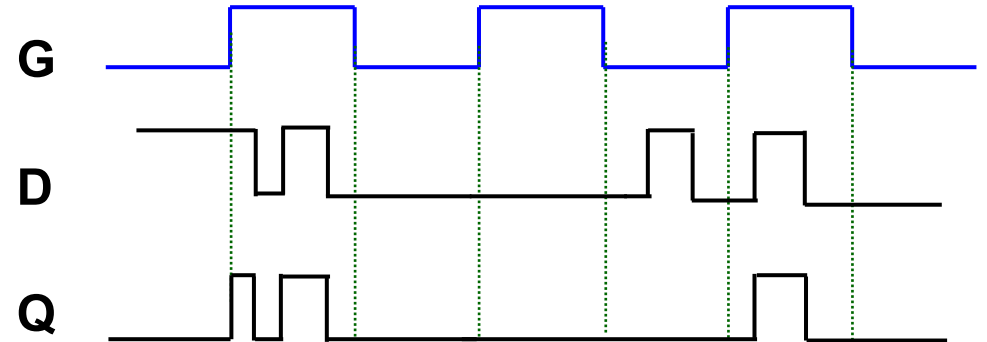
特点：结构简单，仅一个输入端，不存在输入约束问题。

缺点：使能电位G作用期间，只要输入信号D改变（有时是干扰信号），Q也跟着改变；存在“空翻”现象

违背了构造时钟触发器的初衷：一个时钟内，最多允许触发器状态翻转一次

锁存器的使能端送时钟信号，电平触发方式的触发器

一个时钟内，触发器状态发生多次变化



“空翻”现象是锁存器（或电平方式触发器）共有的问题

“空翻”使以上器件不能正确实现计数功能！

- ☆ 关键问题：电平（电位）触发
- ☆ 解决方案：改电平触发为边沿触发

时钟信号的上升沿或下降沿，触发器改变状态

时序逻辑元件

- 锁存器 (Latch)
 - 或非门构成的基本RS锁存器
 - 与非门构成的基本RS锁存器
 - 门控D锁存器
- 触发器 (Flip-Flop)
 - 带附加输入端的边沿触发器
 - 触发器类型转换