

数字逻辑设计

Digital Logic Design

秦阳

School of Computer Science

csyqin@hit.edu.cn

时序逻辑元件

- 锁存器 (Latch)
- 触发器 (Flip-Flop)
- 带附加输入端的边沿触发器
- 触发器类型转换

边沿触发器

- D触发器
- SR触发器
- JK锁存器
- T触发器
- T'触发器
- 带附加输入端的触发器

时钟触发器

- 受时钟脉冲控制的触发器称作时钟触发器。
- 时钟也称同步信号。将多个触发器的时钟端相连，可以控制它们同一时刻动作。

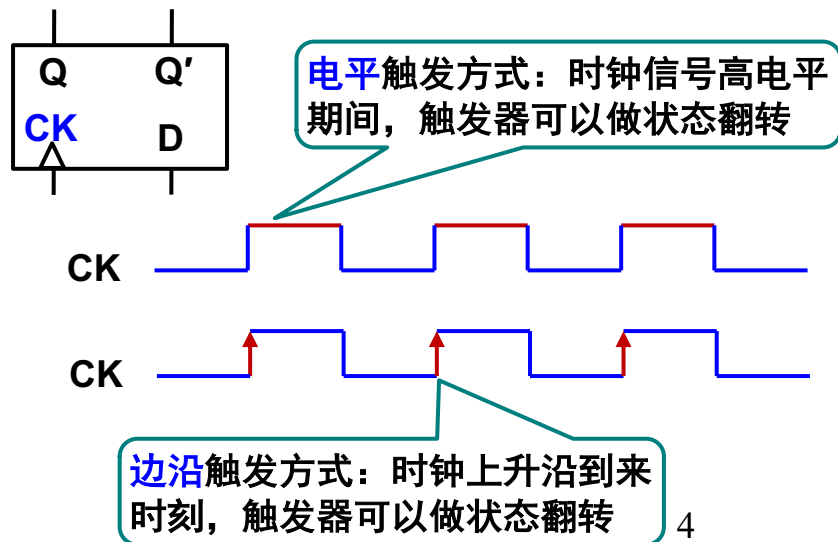
时钟触发器分类

按逻辑功能

SR触发器
D触发器
JK触发器
T触发器
T'触发器

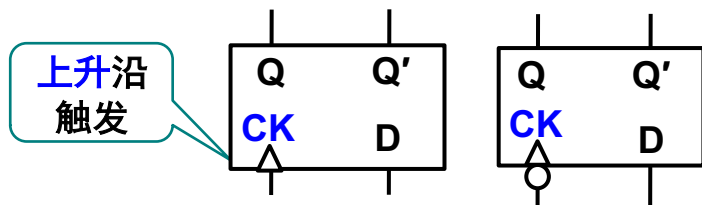
按触发方式

电平触发
边沿触发



边沿触发器——D触发器

(1) 逻辑符号



(2) 功能表（上升沿为例）

时钟端 CK	输入端 D	现态 Q_n	次态 Q_{n+1}
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1

(3) 次态方程

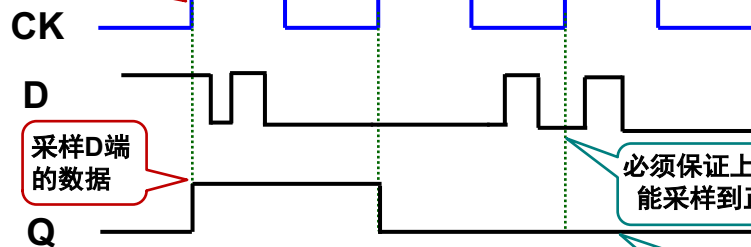
$$Q^{n+1} = D$$

时钟触发器的特点

由时钟脉冲确定状态转换的时刻(即何时转换?)

由输入信号确定触发器状态转换的方向(即如何转换?)

上升沿时刻



(4) 驱动表

Q_n	→	Q_{n+1}	D
0	→	0	0
0	→	1	1
1	→	0	0
1	→	1	1

D触发器的特点:

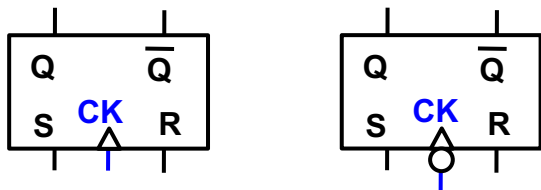
最简单, 应用最广

用Verilog实现D触发器

```
module VrDff(CLK, D, Q);  
  input CLK, D;  
  output reg Q;  
  
  always @ (posedge CLK)  
    Q <= D;  
endmodule
```

边沿触发器——SR触发器

(1) 逻辑符号



(3) 次态方程

$$Q_{n+1} = S + \bar{R}Q_n$$

$$SR = 0 \quad (\text{约束条件})$$

(2) 功能表（上升沿）

时钟端 CK	输入端 R	输入端 S	现态 Q_n	次态 Q_{n+1}
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	1
↑	0	1	1	1
↑	1	0	0	0
↑	1	0	1	0
↑	1	1	0	—
↑	1	1	1	—

(4) 驱动表

Q_n	→	Q_{n+1}	R	S
0	→	0	X	0
0	→	1	0	1
1	→	0	1	0
1	→	1	0	X

驱动表可以从触发器
功能推导出来

输入存在约束

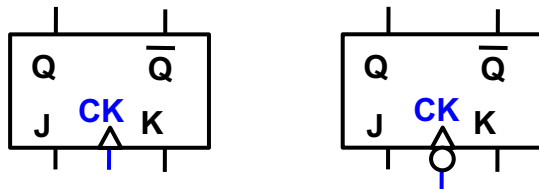
SR触发器：输入存在约束

D触发器：没有约束，但是只有一个输入端

边沿触发器——JK触发器

(3) 次态方程

(1) 逻辑符号



$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

JK Q _n				
	00	01	11	10
0	0	0	1	1
1	1	0	0	1

(2) 功能表（下降沿）

时钟端 CK	输入端 J	输入端 K	现态 Q _n	次态 Q _{n+1}
↓	0	0	0	0
↓	0	0	1	1
↓	0	1	0	0
↓	0	1	1	0
↓	1	0	0	1
↓	1	0	1	1
↓	1	1	0	1
↓	1	1	1	0

功能最全，输入没有约束

保持

置0

置1

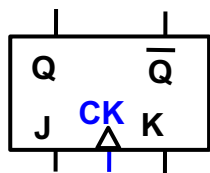
翻转

输入端		次态 Q _{n+1}
J	K	
0	0	Q _n
0	1	0
1	0	1
1	1	\bar{Q}_n

(4) 驱动表

Q _n → Q _{n+1}	J	K
0 → 0	0	X
0 → 1	1	X
1 → 0	X	1
1 → 1	X	0

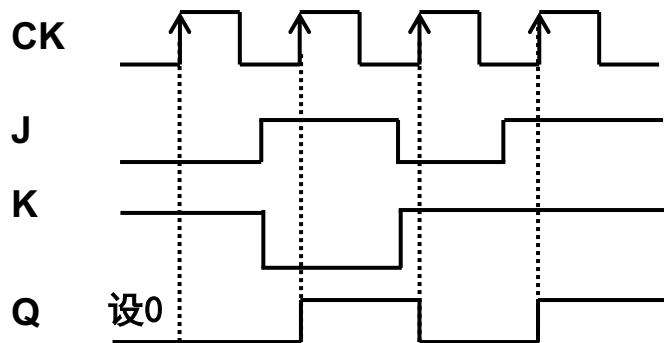
边沿触发器—— JK触发器



时钟边沿触发器

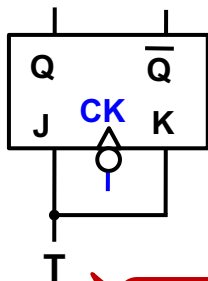
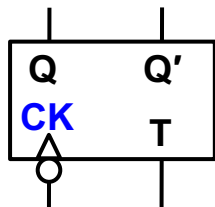
何时转换？——时钟脉冲有效边沿到来时刻
如何转换？——输入信号取值确定

输入端		次态
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\overline{Q}_n



边沿触发器——T触发器

(1) 逻辑符号



是JK触发器的特例

(2) 功能表（下降沿）

时钟端 CK	输入端 T	现态 Q_n	次态 Q_{n+1}
↓	0	0	0
↓	0	1	1
↓	1	0	1
↓	1	1	0

保持

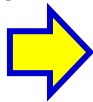
翻转

输入端 T	次态 Q_{n+1}
0	Q_n
1	\bar{Q}_n

(3) 次态方程

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

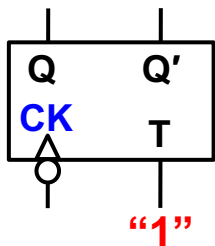
IF $J=K=T$



$$\begin{aligned} Q_{n+1} &= T \bar{Q}_n + T Q_n \\ &= T \oplus Q_n \end{aligned}$$

边沿触发器——T'触发器

(1) 逻辑符号



是T触发
器的特例

(2) 功能表（下降沿）

时钟端 CK	输入端 T	现态 Q_n	次态 Q_{n+1}
↓	1	0	1
↓	1	1	0

(3) 次态方程

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

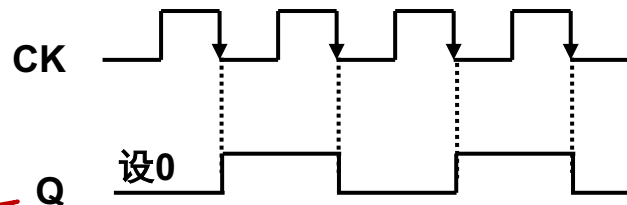


IF $J=K=T=1$

$$Q_{n+1} = \bar{Q}_n$$

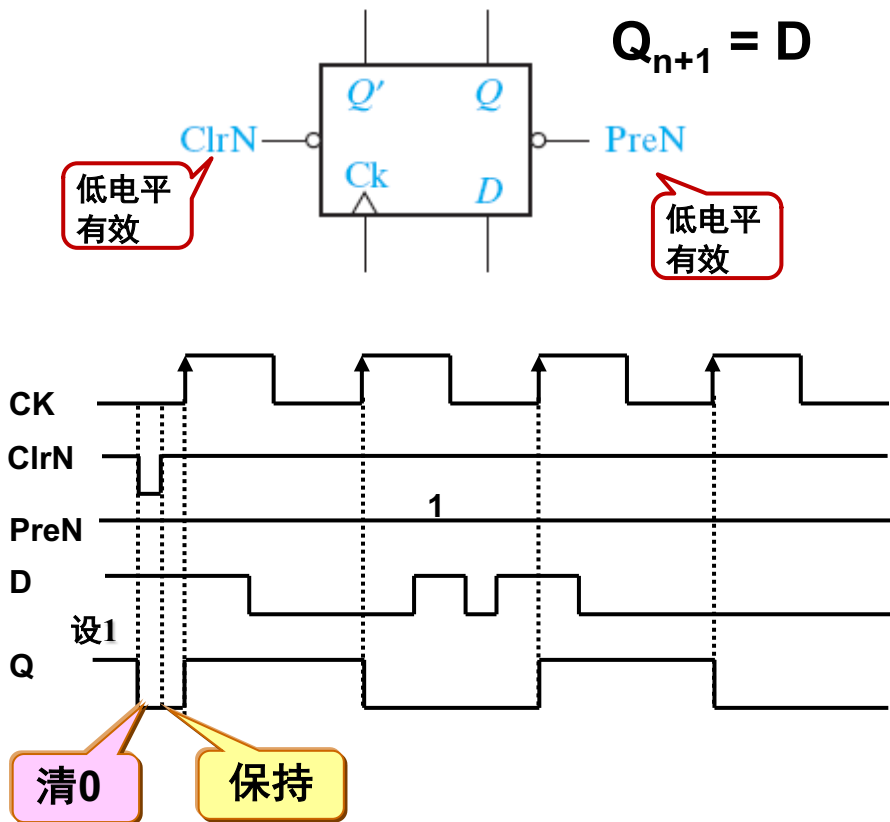
二分频

(4) 波形分析



带附加输入端的边沿触发器

■ 带异步清零端和异步置1端



异步：独立于
时钟信号

用途：为触发器
设置指定状态

时钟端 CK	输入端 D	异步置1端 PreN	异步清零端 ClrN	次态 Q_{n+1}
X	X	0	0	不允许
X	X	0	1	1
X	X	1	0	0
↑	0	1	1	0
↑	1	1	1	1
0,1, ↓	X	1	1	Q_n

用Verilog实现带异步清零端的D触发器

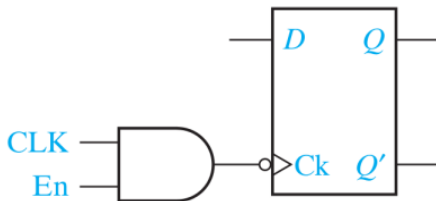
```
module VrDffC(CLK, CLR, D, Q);  
  input CLK, CLR, D;  
  output reg Q;  
  
  always @ (posedge CLK or posedge CLR)  
    if (CLR==1) Q <= 0;  
    else Q <= D;  
endmodule
```

带附加输入端的边沿触发器—续

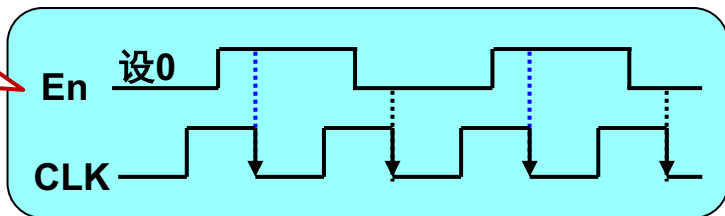
■ 带时钟使能端

解决方案:

使能端CE不与时钟端CLK捆绑使用

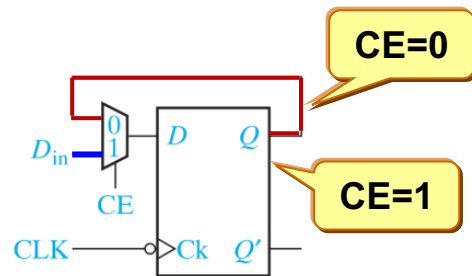
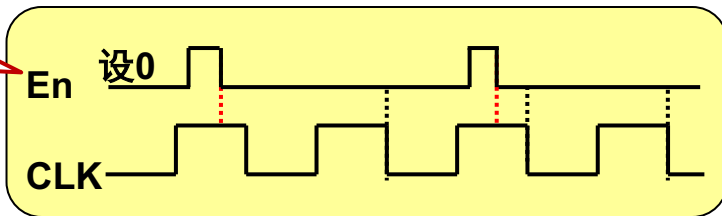


信号给定正确



后果: 失去同步性!

信号给定错误

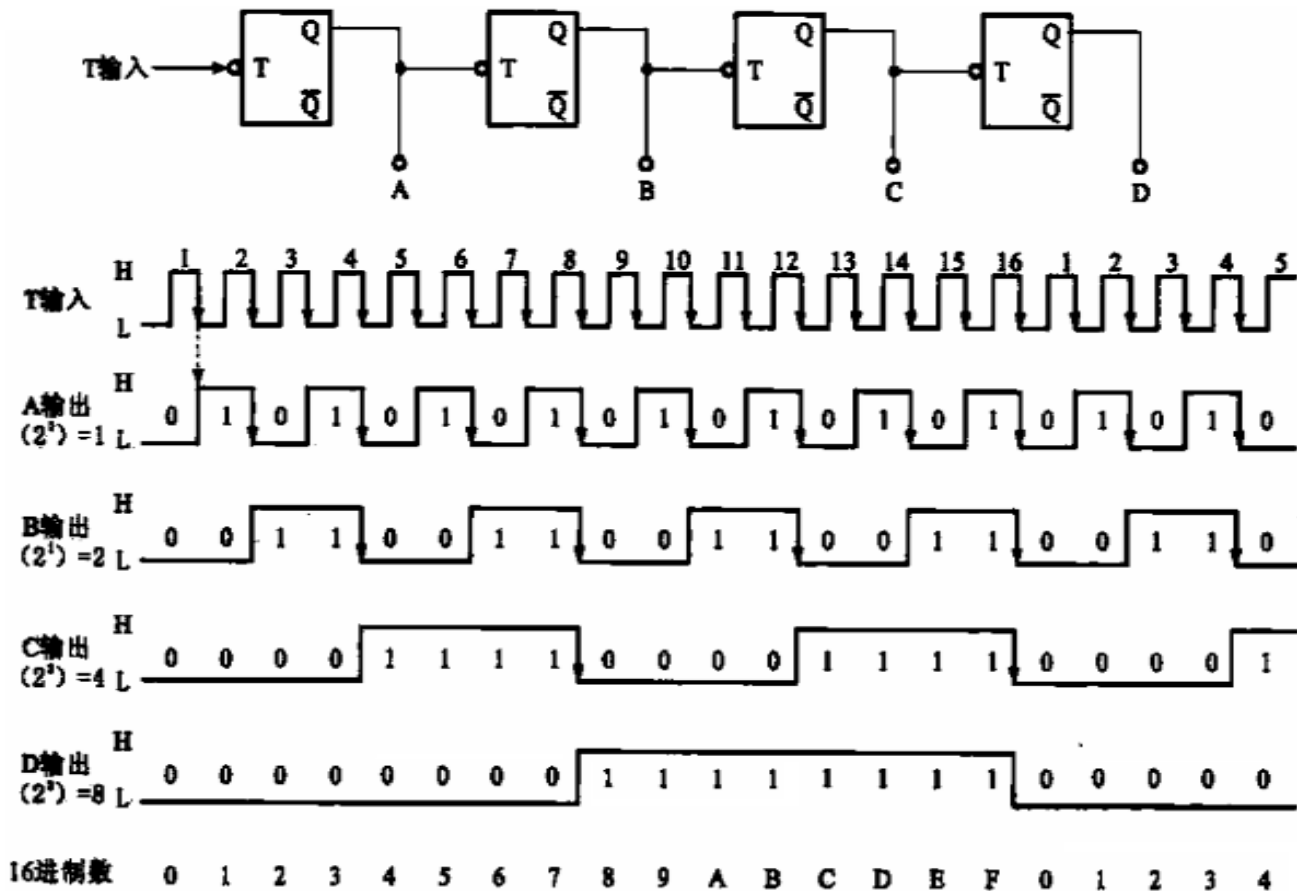


$$Q^+ = Q \cdot CE' + D \cdot CE$$

带时钟使能端和同步置位D触发器

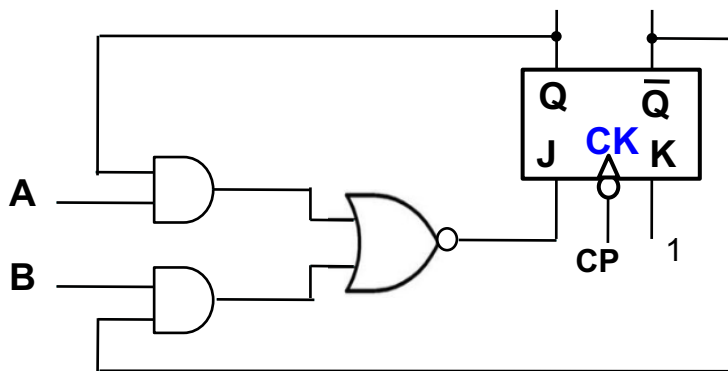
```
module VrDffSE(CLK, S, CE, D, Q);  
  input CLK, S, CE, D;  
  output reg Q;  
  
  always @ (posedge CLK)  
    if (S==1) Q <= 1;  
    else if (CE==1) Q <= D;  
endmodule
```

T触发器的应用—二进制加法计数器



JK触发器的应用实例

例1：写出JK触发器的次态方程



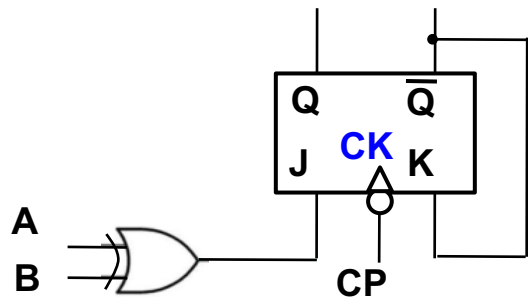
$$\begin{aligned} Q_{n+1} &= J \bar{Q}_n + \bar{K} Q_n \\ &= J \bar{Q}_n \\ &= \overline{A Q_n + B \bar{Q}_n \bar{Q}_n} \\ &= \overline{A Q_n} \cdot \overline{B \bar{Q}_n \bar{Q}_n} \\ &= (\bar{A} + \bar{Q}_n) (\bar{B} + Q_n) \bar{Q}_n \\ &= \bar{A} \bar{B} \bar{Q}_n + \bar{B} \bar{Q}_n \\ &= \bar{B} \bar{Q}_n \end{aligned}$$

JK触发器的应用实例2

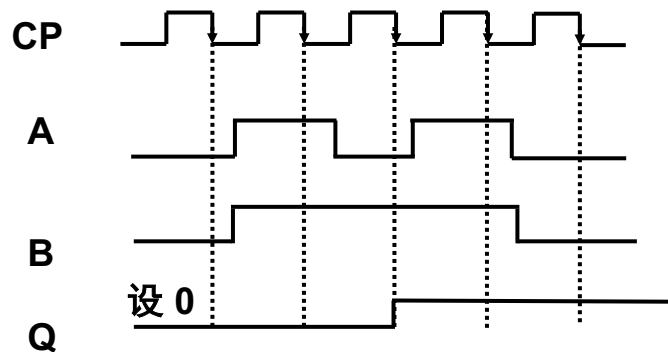
例2：画出Q端波形图

方法1：写出JK触发器的次态方程

$$\begin{aligned}Q_{n+1} &= J \bar{Q}_n + \bar{K} Q_n \\&= (A \oplus B) \bar{Q}_n + Q_n Q_n \\&= A \oplus B + Q_n\end{aligned}$$



按照次态方程，在每一个时钟下降沿画出Q端波形



方法2：在每一个时钟下降沿，计算J和K的取值，从而确定Q端波形

第1个↓：J=0，K=1 置0功能
第2个↓：J=0，K=1 置0功能
第3个↓：J=1，K=1 翻转功能
第4个↓：J=0，K=0 保持功能
第5个↓：J=0，K=0 保持功能

输入端		次态
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

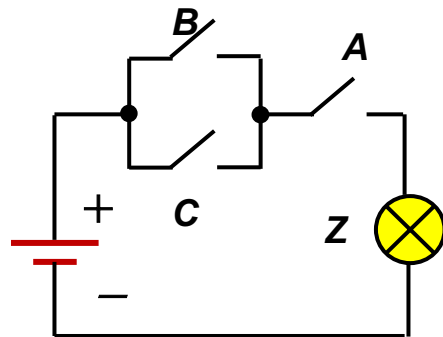
触发器的应用——1

1. 存储功能的应用——保存瞬态信号，直到清除为止

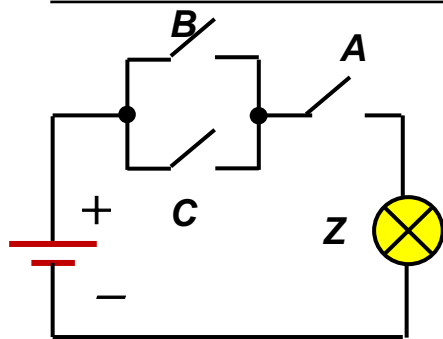
【例】举重裁判逻辑电路V2.0：一个主裁判A和两个副裁判B和C，只有两人以上(必须包含主裁判在内)认定试举动作合格，并按下自己的按钮时，输出信号 $Z=1$ ，该信号一直保持下去，直到工作人员按下清除按钮 P为止。

分析：

- 三个人的按钮动作有先后、长短之别，所以需要3个存储元件分别保存三个按钮信号；
- 存储元件有置1和置0功能即可（锁存器和SR、JK、D触发器均可）



触发器的应用——续

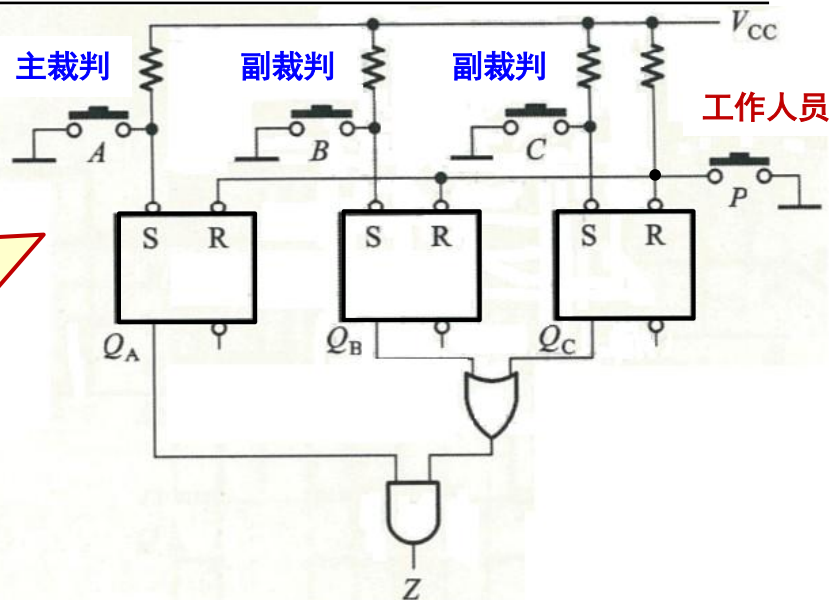


对于每个锁存器：

- 裁判按钮按下，执行**置1**功能；按钮弹起，执行**保持**功能；
- 按钮P按下，全体执行**置0**功能

基本RS锁存器

- 锁存器的置1端S：连接主裁判按钮A、和副裁B、C输出的低电平
- 锁存器的置0端R：连接工作人员按钮P给出的低电平
- 输出信号Z：三个锁存器输出状态的或与逻辑。



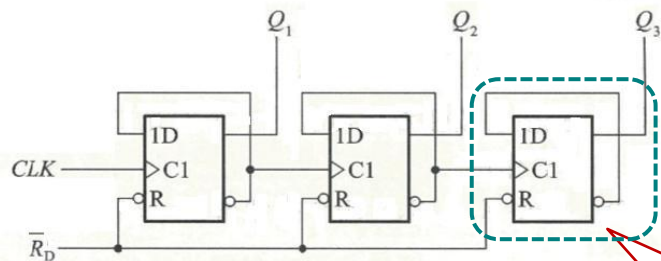
采用JK触发器或D触发器，如何实现？哪种方法更简单？

触发器的应用——2

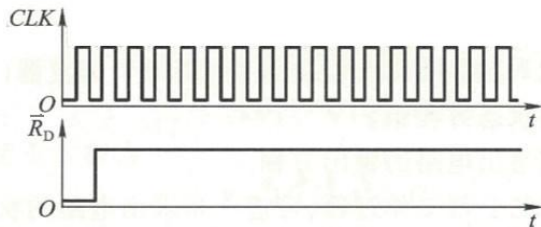
2. 分频/计数功能的应用——

利用触发器的置0、置1功能，由多个触发器组成分频电路，对输入的时钟信号进行分频。

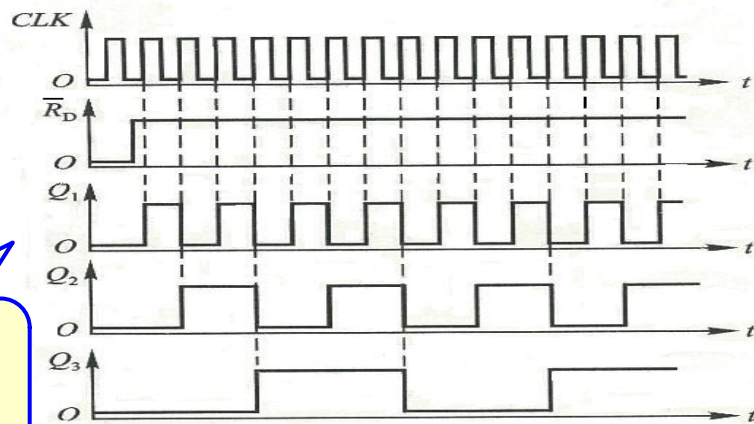
【例】分析输出信号 Q_1 、 Q_2 、 Q_3 与时钟信号CLK之间的频率关系，R为清零端



T'触发器



Q_1 对CLK二分频
 Q_2 对CLK四分频
 Q_3 对CLK八分频



Q_1 、 Q_2 、 Q_3 输出波形

边沿触发器——总结

时钟边沿触发器的特点

由时钟脉冲边沿确定状态转换的时刻(即何时转换?)

其余时刻都是保持功能

由输入信号确定触发器状态转换的方向(即如何转换?)

思考：对于一个下降沿触发的JK触发器，如果让它实现保持功能，有几种方法可以做到？

方法1：

最简单的方法：不给有效的时钟边沿（此时不用考虑J端和K端的信号）

方法

方法2：

给时钟下降沿，此时触发器的保持功能就必须依靠J端和K端的信号配合才能完成

边沿触发器

- D触发器
- SR触发器
- JK锁存器
- T触发器
- T'触发器
- 带附加输入端的触发器