

（深圳）

实验作业

开课学期： 2022春季

课程名称：计算机组成原理（实验）

实验名称： 直接映射Cache设计

实验性质： 综合设计型

实验学时： 4 地点：

学生班级： 计算机类4班

学生学号： 200110428

学生姓名： 杨杰睿

作业成绩：

实验与创新实践教育中心制

2022年5月

|  |
| --- |
| 1. Cache模块设计 |
| **cache状态定义和描述如下：**   1. READY - 初始状态，以及在完成一次读命中和写缺失之后所处的状态 2. TAG\_CHECK\_READ - 当从cache中读取数据时所处的检查状态，读缺失跳转至REFILL，否则跳转至READY 3. TAG\_CHECK\_WRITE - 当向cache和主存中写数据时所处的检查状态，写有效跳转至WR\_DATA，否则跳转至READY 4. REFILL - 读缺失时跳转至的状态，在该状态下需要等待从主存读取数据，读取完成后跳转至TAG\_CHECK\_READ状态 5. WR\_DATA - 写命中时跳转至的状态，在该状态下需要等待向主存写入数据，同时也向cache中写入数据，无论是否读写成功只执行一个周期，转移至TAG\_CHECK\_WRITE状态 |
| 1. **调试报告** |
| 仿真通过，仿真截图如下所示：  时序分析如下：   1. 读命中   530ns-610ns：当前待访问地址为1，cache非空已经由此前得到更新，读命中，从控制台输出可见，访问地址为1，等待cache响应较短时间后，cache读命中，取回数据11，和期望的答案相符，该地址测试通过。  610ns-690ns：当前待访问地址为2，cache非空，读命中，从控制台输出可见，访问地址为2，短暂的等待cache响应后，cache读命中，取回数据12，和trace期望获得的答案相符，该地址测试通过。   1. 读缺失   30.100ns-510.100ns：初始时访问地址为0，cache为空，故必然为读缺失，从控制台输出可见，访问地址为0，等待cache响应持续多个周期后，cache中对应块更新为26，从cache中取回值26，读取成功，与所期望答案相符，测试通过。  790.100ns-1190.100ns：当前待访问地址为4，cache为空，故必然为读缺失，从控制台输出可见，访问地址为4，等待cache响应持续多个周期后，cache中对应的块更新为128，从cache中取回值128，读取成功，与所期望答案相符，测试通过。   1. 写命中   1393770ns-1394670ns：当前访问的地址为0x1f04，写命中，需要更新cache和主存的值，由控制台输出可见，写地址为7940，写数据为255，写命中后cache行被替换，数据写入cache也写入主存，在1393830ns-1394250ns期间从0x0004读取数据刷新掉cache中内容，再从0x1f04读取，等待cache响应多个周期后读取主存内数值与当前写入数值相同为255，该地址测试通过。  1394670ns-1395570ns：当前访问地址为0x1f08，写命中，需要更新cache和主存的值，由控制台输出可见，写地址为7944，写数据为255，写命中后cache行被替换，数据写入cache也写入主存，在13394730ns-1395150ns期间从0x0008读取数据刷新掉cache中内容，再从0x1f08读取，等待cache响应多个周期后读取主存内数值与当前写入数值相同为255，该地址测试通过。   1. 写缺失（写缺失时cache和主存都不进行更新，需要保持原值。）   1393310ns-1393770ns：当前待访问地址为0x1f00，cache非空，写缺失，待写入数据为255，应当不更新cache中原来的数据26，同时不写入主存。由控制台输出可见，写地址为7936，写数据为255，写缺失，刷新cache后从主存读取，等待cache响应，读取主存得数据为26，与期望的trace答案相符，主存没有被修改，该地址测试通过。  1395570ns-1396470ns：当前待访问地址为0x1e0c，cache非空，写缺失，待写入数据为255，应当不更新cache原来的数值40，同时不写入主存。由控制台输出可见，写地址为7692，写数据为255，写缺失，刷新cache后从主存读取，等待cache响应，读取主存得数据为123，与期望的trace答案相符，主存没有修改，该地址测试通过。 |