

Portas lógicas. Introdução a circuitos.

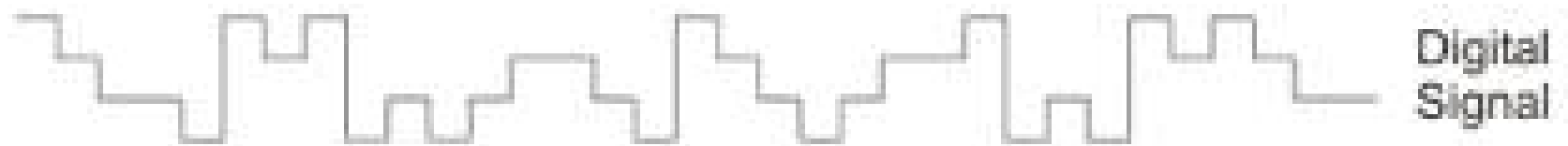
Eduardo Furlan Miranda

2024-08-01

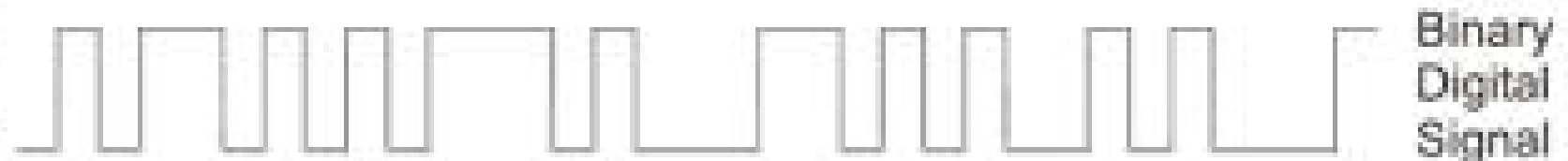
Baseado em: Tangon, LG; Santos, RC.
Arquitetura e organização de computadores.
EDE, 2016. ISBN 978-85-8482-382-6.

Portas lógicas

- Elementos e/ou componentes básicos da eletrônica digital
 - Ex.: microcontroladores, processadores, circuitos integrados
- Sistema binário, níveis lógicos, tensão



High / 1 / On
Low / 0 / Off

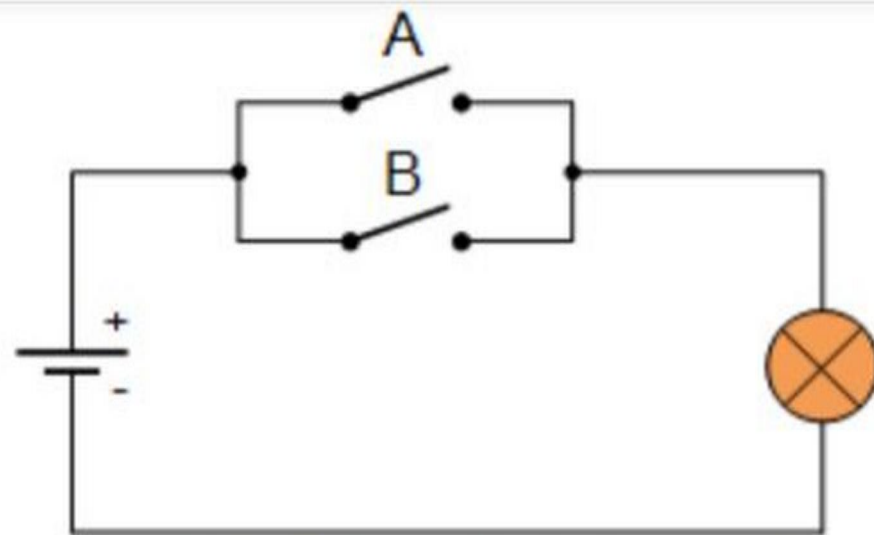
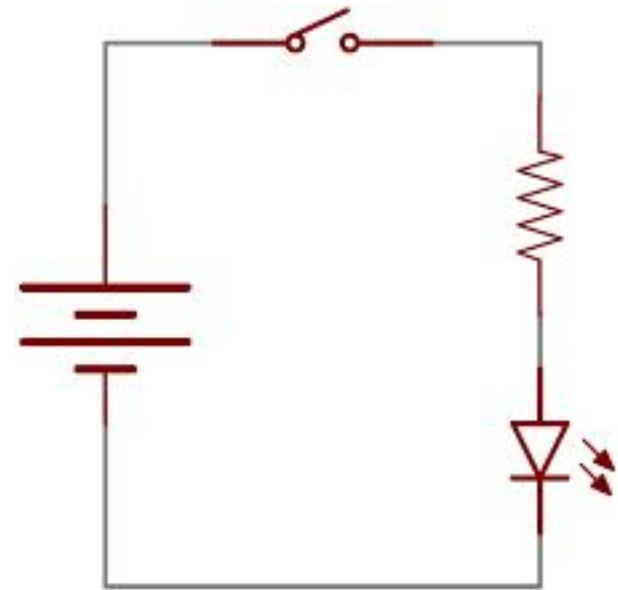


Simbologia



- Representação da entrada, saída, etc.
- Bloco lógico: simbologia da junção entre as entradas e saídas lógicas
- Entradas assumem valores 0 ou 1
- Tabela-verdade pode ser usada

Portas

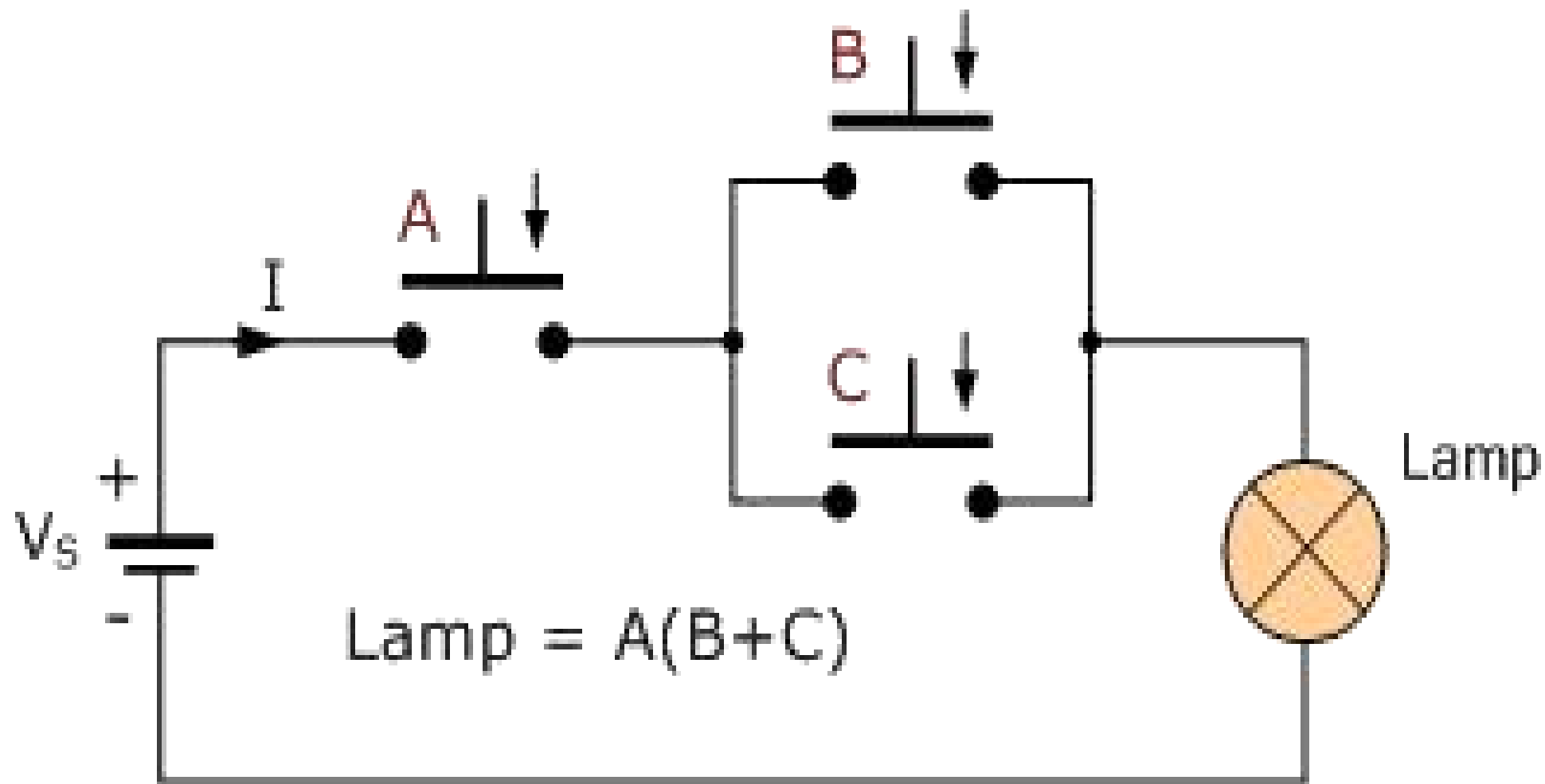


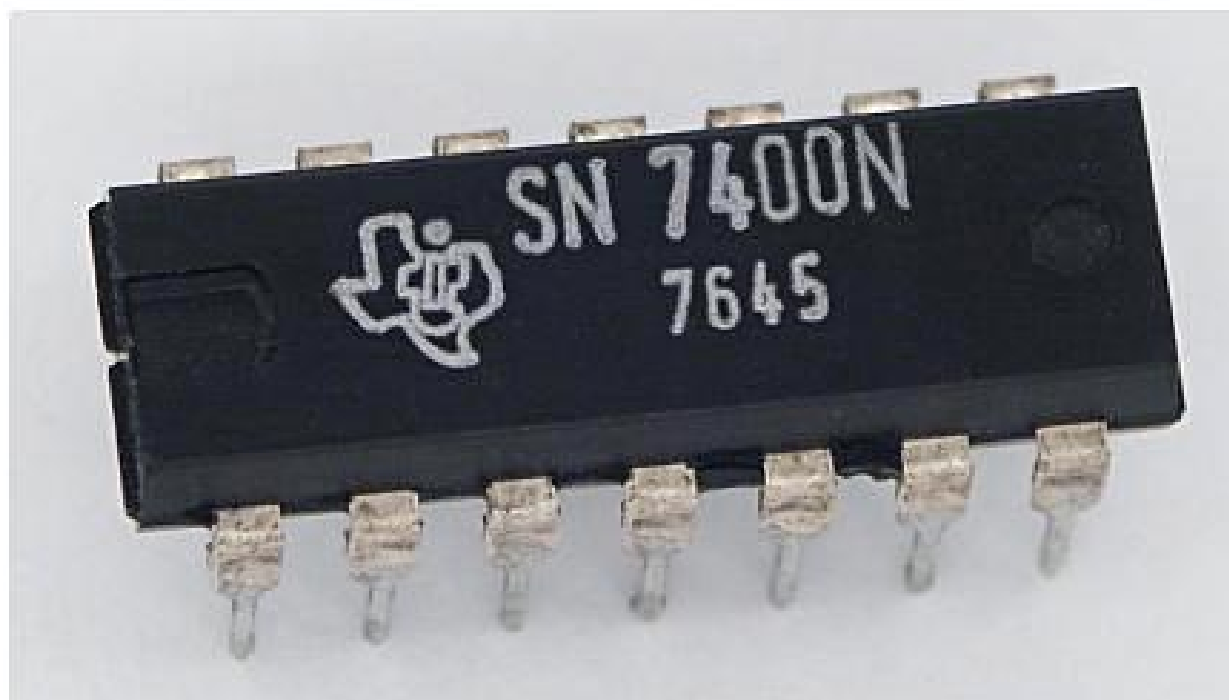
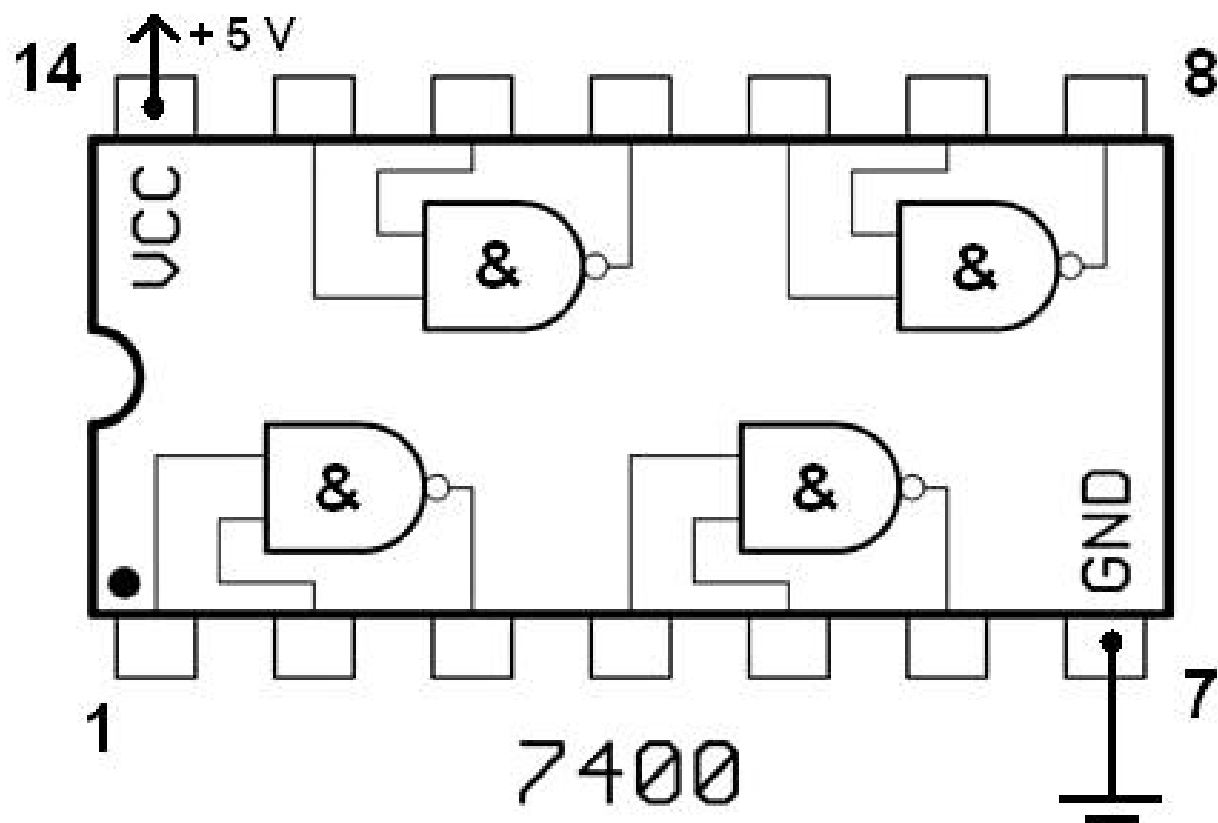
Lamp - ON = "1"
Lamp - OFF = "0"

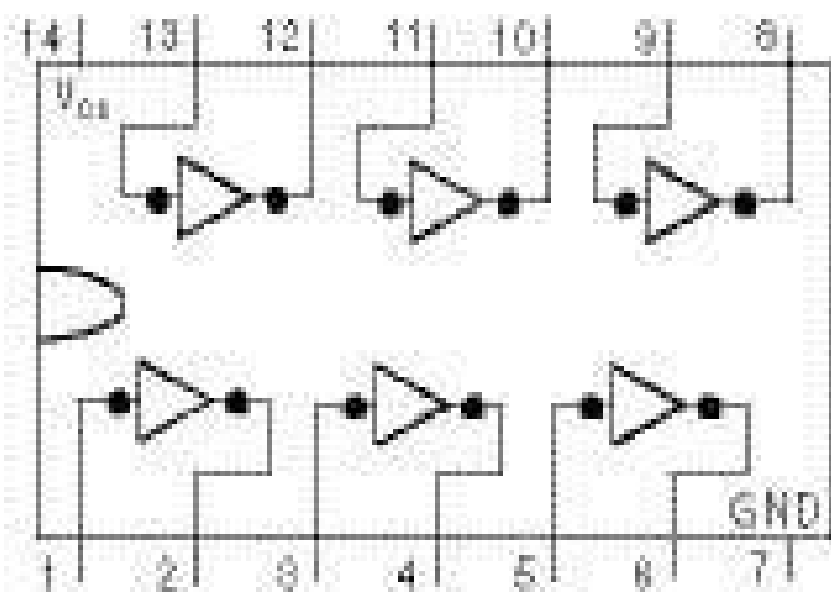
Switch A - Open = "0", Closed = "1"

Switch B - Open = "0", Closed = "1"

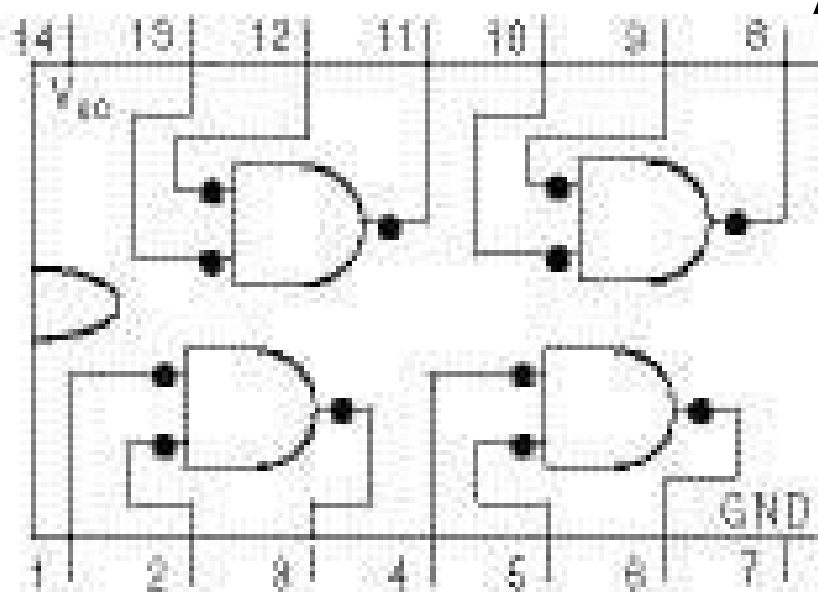
AND e OR



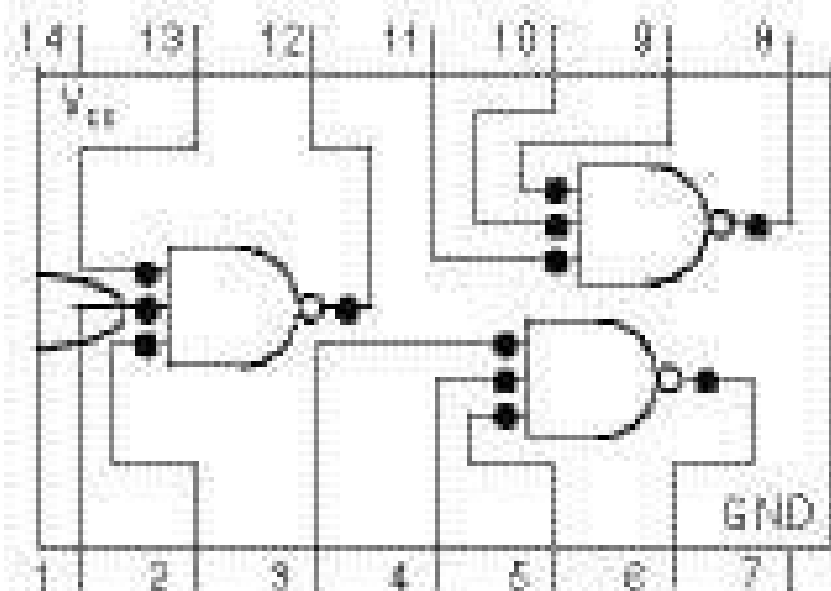




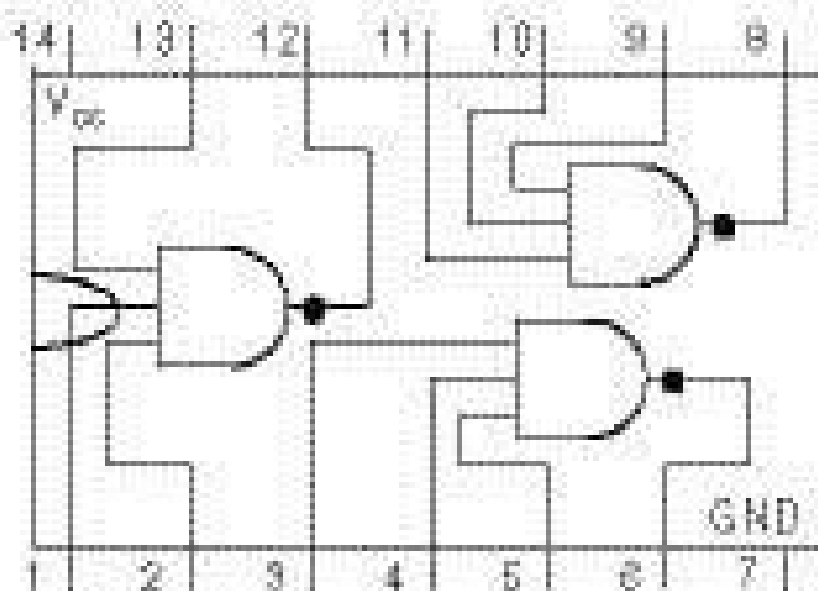
7407*7417



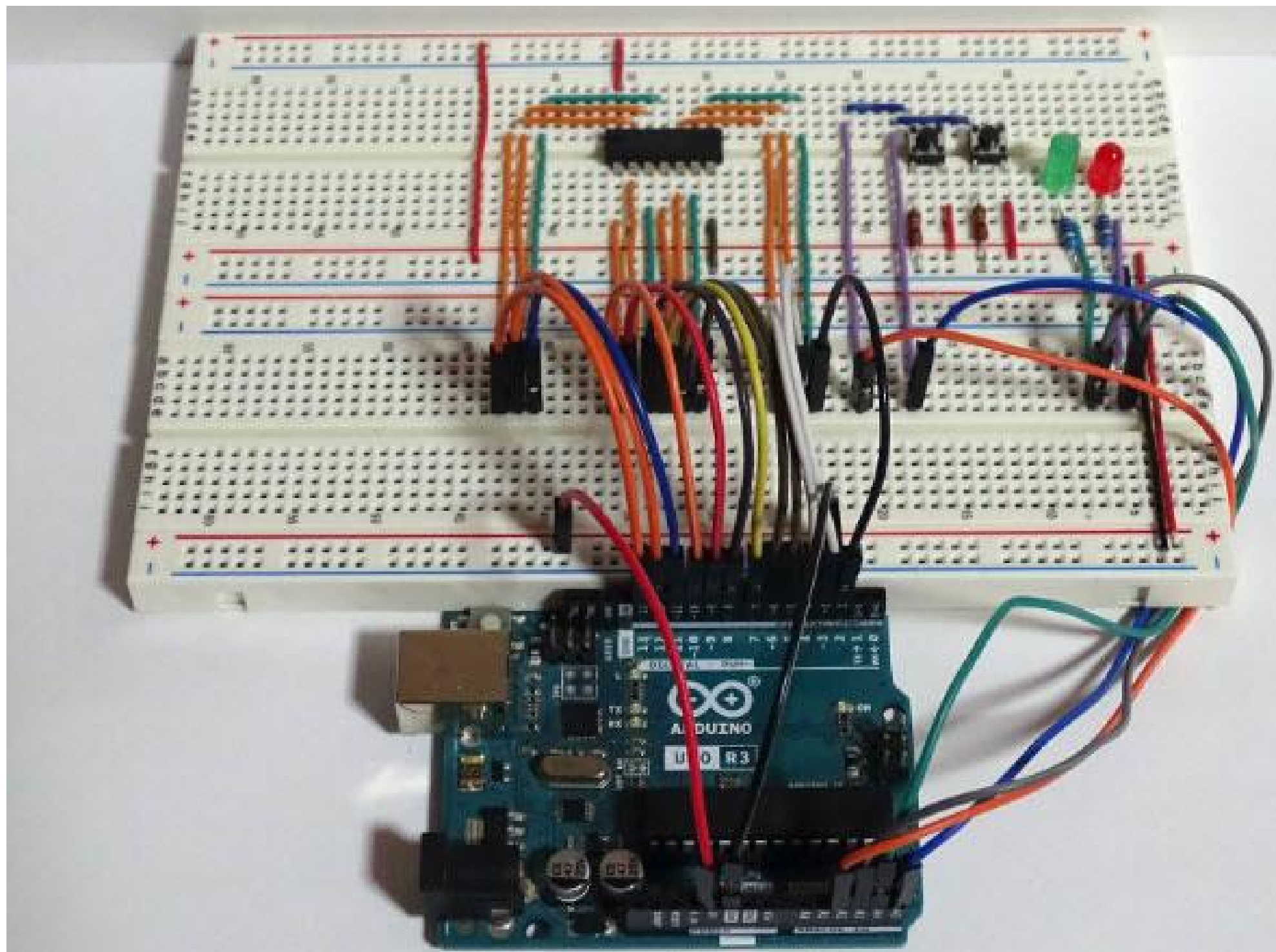
7408/7409*

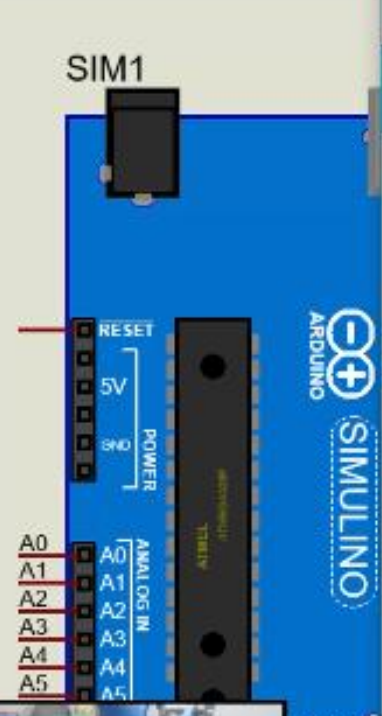


7410/7412*



7411/7415*






```
programa14_OU$
11 pinMode(botaol, INPUT_PULLUP);
12
13 pinMode(led, OUTPUT);
14 pinMode(buzzer, OUTPUT);
15
16 }
17
18
19 void loop() {
20
21   if (!digitalRead(botaol) || !digitalRead(botao2) || !digitalRead(botao3) ){
22     digitalWrite(led, HIGH);
23   }else{
24     digitalWrite(led, LOW);
25   }
26
27
28 }
```

Compilação terminada.

C:\Program Files (x86)\Arduino\hardware\tools\avr\bin\avr-objcopy -O ihex -j .eep
"C:\Program Files (x86)\Arduino\hardware\tools\avr\bin\avr-objcopy" -O ihex -R .eep
O sketch usa 952 bytes (2%) de espaço de armazenamento para programas. O máximo são
Variáveis globais usam 9 bytes (0%) de memória dinâmica, deixando 2039 bytes para v

10:10 / 11:36

Prof. Gabriel V. Silva Maganha - www.gvensino.com.br



▶ ⏮ ⏪ 🔊 10:10 / 11:36 ⏩ ⏭ 📄 ⚙️ 📺 🖥️

ARDUÍNO #28: Lógica OU no Arduíno

C/C++

		Operador	Tipo
Operador unário			
		++, --	Incremento/Decremento
Operador binário			
		+, -, *, /, %	Aritméticos
		<, <=, >, >=, ==, !=	Relacionais
		&&, , !	Lógicos
		&, , <<, >>, ~, ^	Bitwise
		=, +=, -=, *=, /=, %=	Atribuição
Operador ternário			
		?:	Condicional

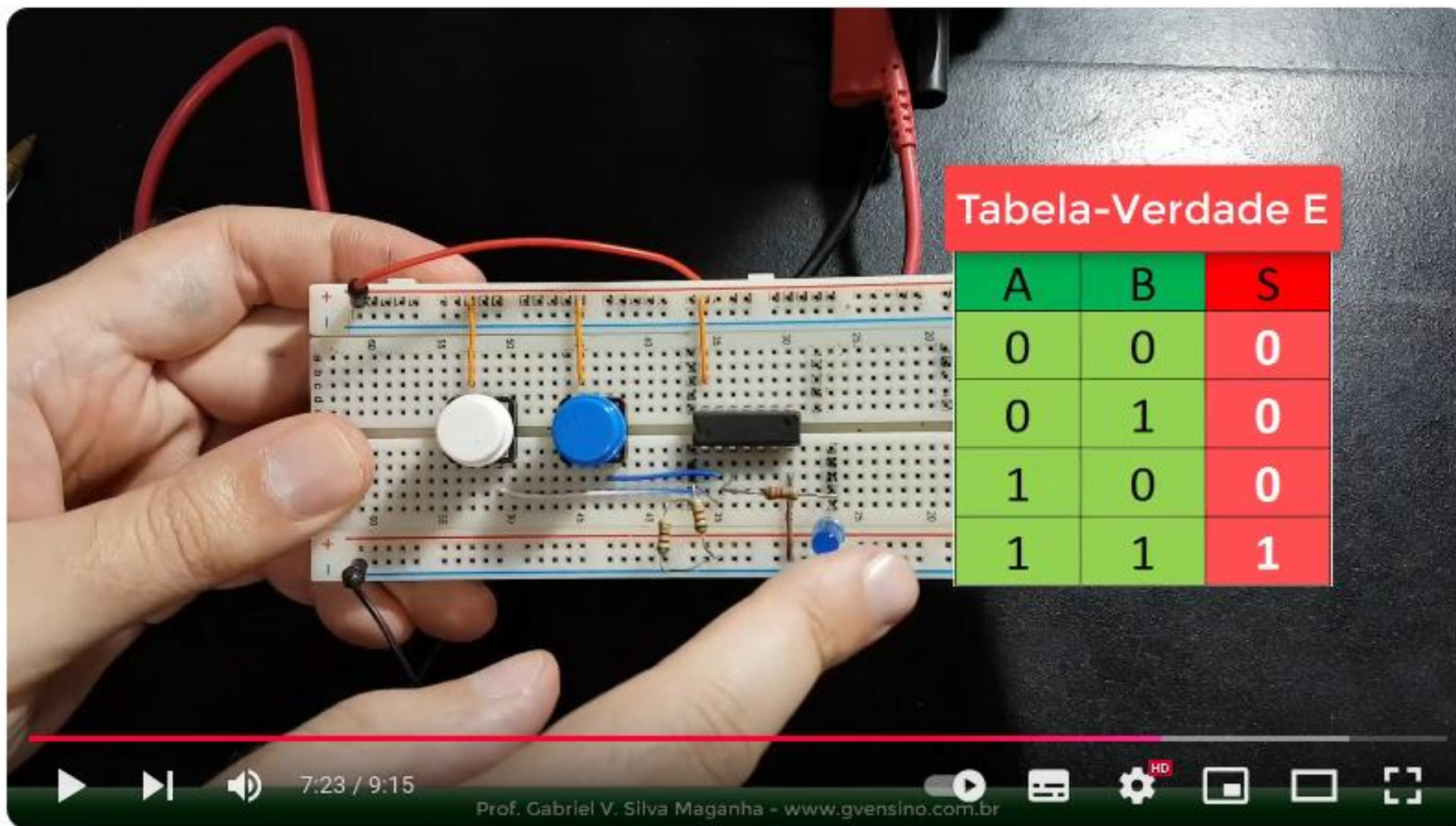


Tabela-Verdade E

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

7:23 / 9:15 Prof. Gabriel V. Silva Maganha - www.gvensino.com.br

Portas Lógicas E e OU na prática



GV ensino
266K subscribers

Subscribe

👍 3.6K

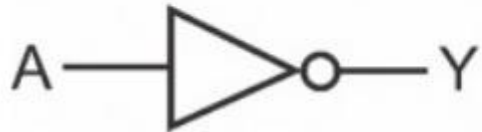


➦ Share



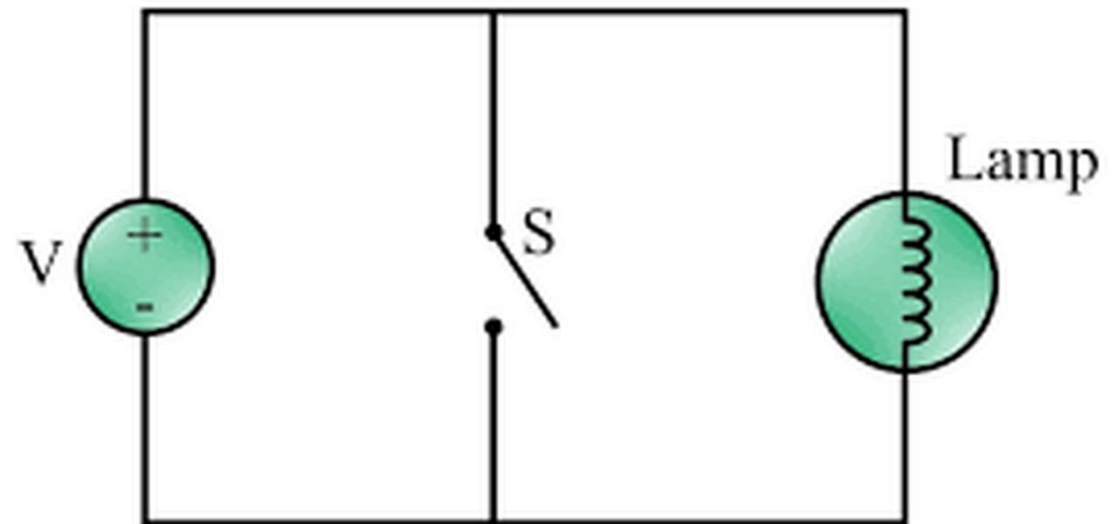
Inversor (negação)

Símbolo



Expressão da Função

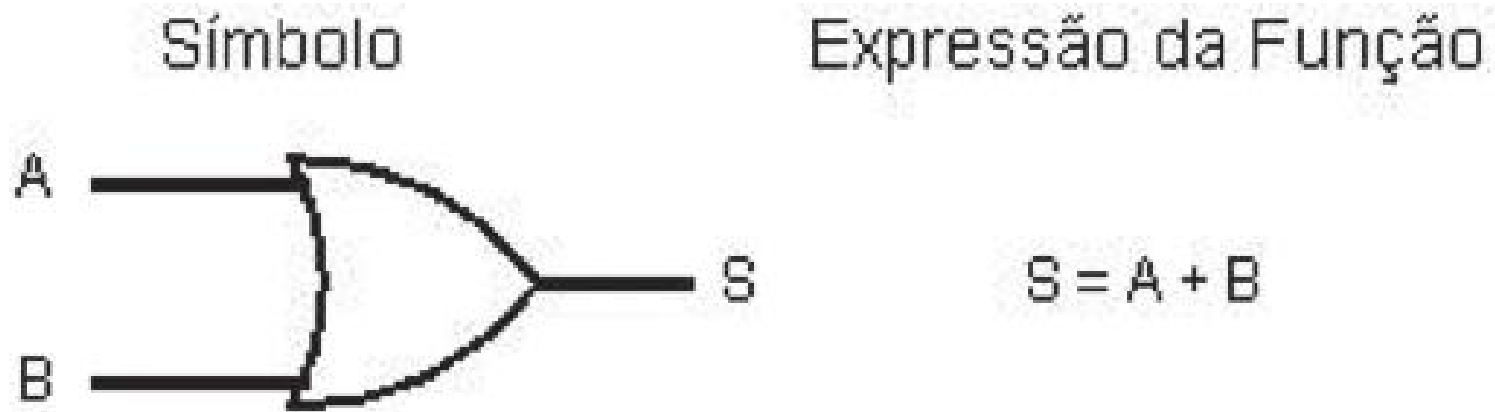
$$S = \bar{A}$$



- Tabela-verdade NOT

A		S
0		1
1		0

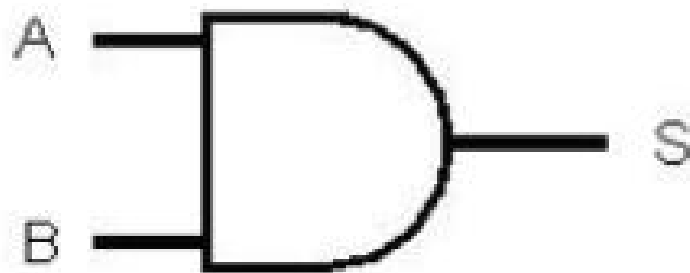
Porta OR



A		S
A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Porta AND

Símbolo



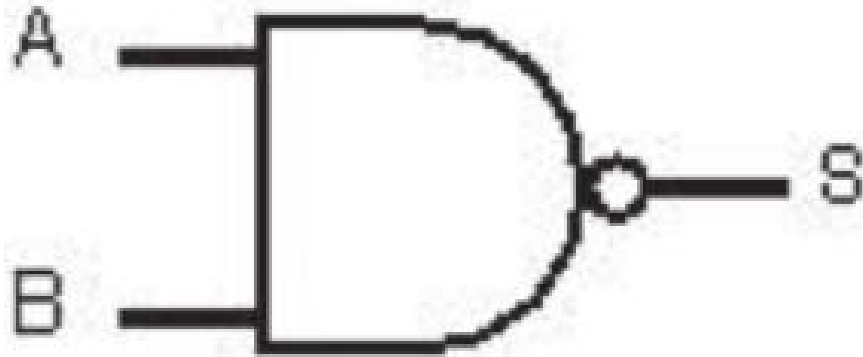
Expressão da Função

$$S = A \wedge B$$

A		B	S
0		0	0
0		1	0
1		0	0
1		1	1

Porta NAND

Símbolo



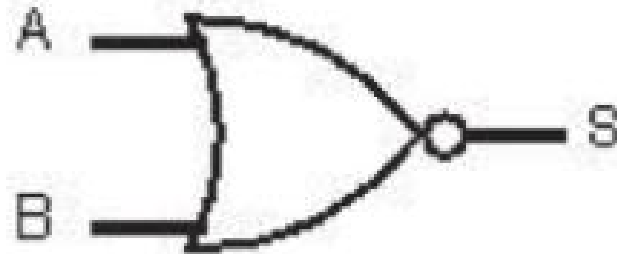
Expressão da Função

$$S = \overline{A \times B}$$

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Port NOR

Símbolo



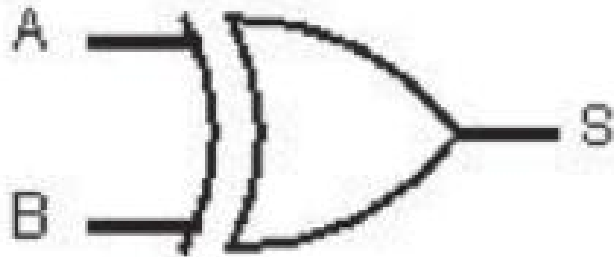
Expressão da Função

$$S = \overline{A + B}$$

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Porta XOR

Símbolo



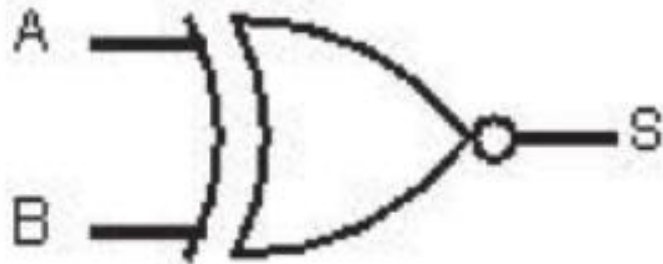
Expressão da Função

$$S = A \oplus B$$

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Porta XNOR

Símbolo



Expressão da Função

$$S = \overline{A \oplus B}$$

A	B	S
0	0	1
0	1	0
1	0	0
1	1	1



YouTube^{BR}

Search



Portas Lógicas



Ney Trevas - Hipnose
38.4K subscribers

Subscribe

👍 4.5K



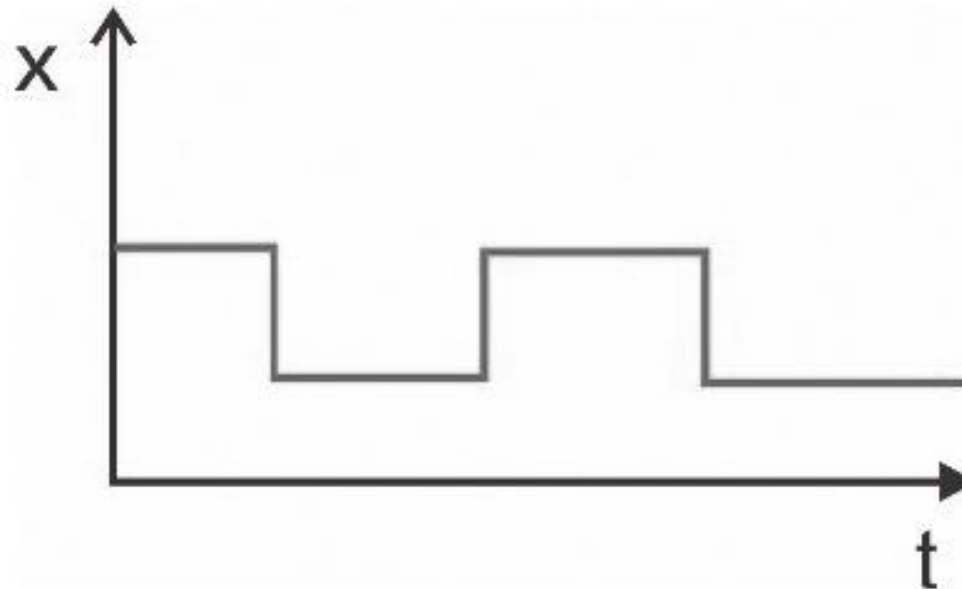
➦ Share

✂️ Clip



Representação

- Analógica = contínua
- Digital = discreta (etapa por etapa)

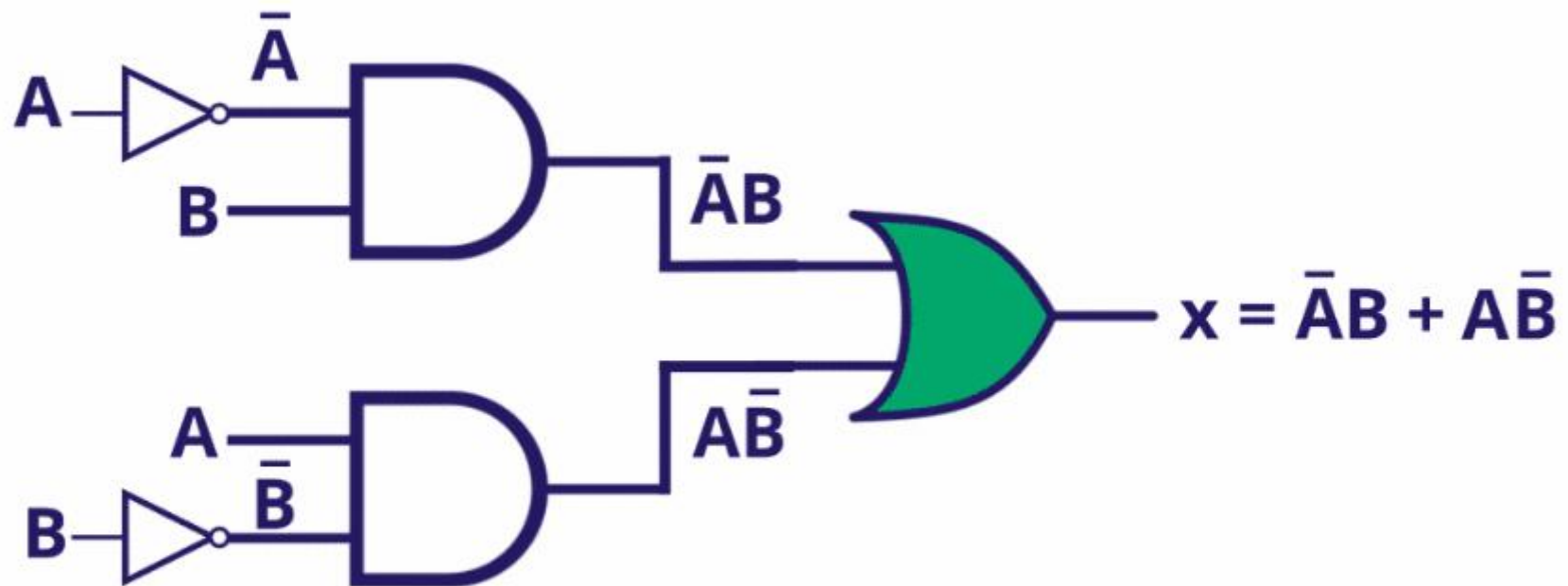


Sistema Digital

- Vantagem
 - Facilidade de projeto, integração e armazenamento
 - Operação programada
 - Pouca sensibilidade à variação da fonte de tensão, ao envelhecimento e à temperatura
- Desvantagem
 - Conversões de analógico para digital (A/D) e de digital para analógico (D/A)

Lógica combinacional

- Todas as saídas dependem única e exclusivamente das variáveis de entrada

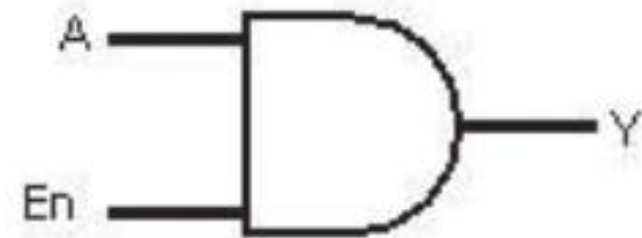


- Circuitos combinacionais básicos:
- Habilitação / Desabilitação, Codificador, Multiplexador, Decodificador, Demultiplexador, Gerador de Paridade, Verificador de Paridade, Comparador, Circuitos Aritméticos: Somador, Shifter (deslocador), Subtrator

Tabela 4.20 – Tabela-verdade habilita/desabilita circuito.

ENTRADAS		SAÍDA
em	A	Y
0	0	0
0	1	0
1	0	0
1	1	1

Figura 4.17 – Diagrama de habilita/desabilita circuitos.



- Circuito Habilitado → $En = 1$ → Permite o sinal de entrada para a saída
- Circuito Desabilitado → $En = 0$ → Não se permite a passagem do sinal de entrada para a saída

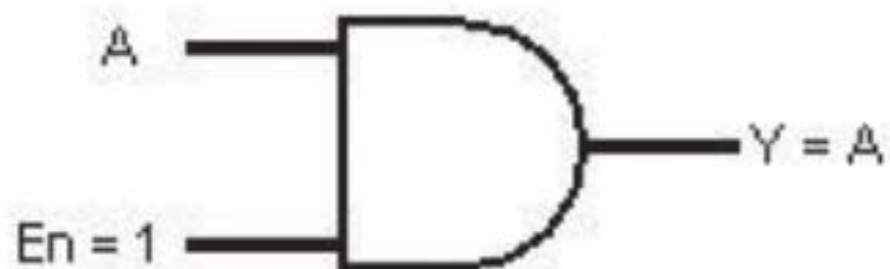
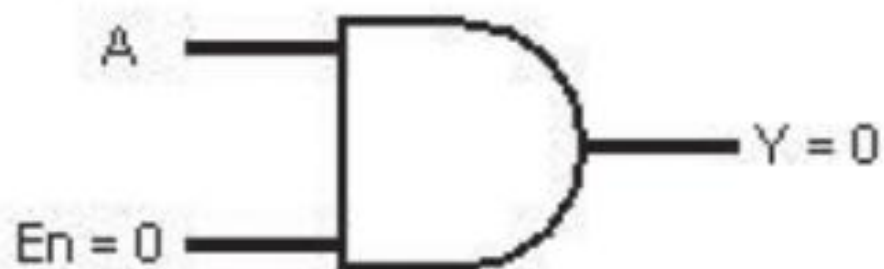
Figura 4.18 – $En = 1$.Figura 4.19 – $En = 0$.

Tabela 4.21 – Tabela-verdade habilita/desabilita circuito.

ENTRADAS	SAÍDA
em	Y
0	0
1	A

Figura 4.20 – Diagrama de habilita/desabilita circuitos.

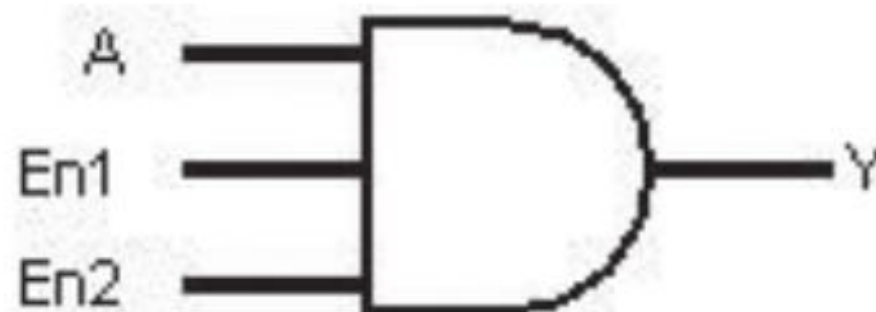
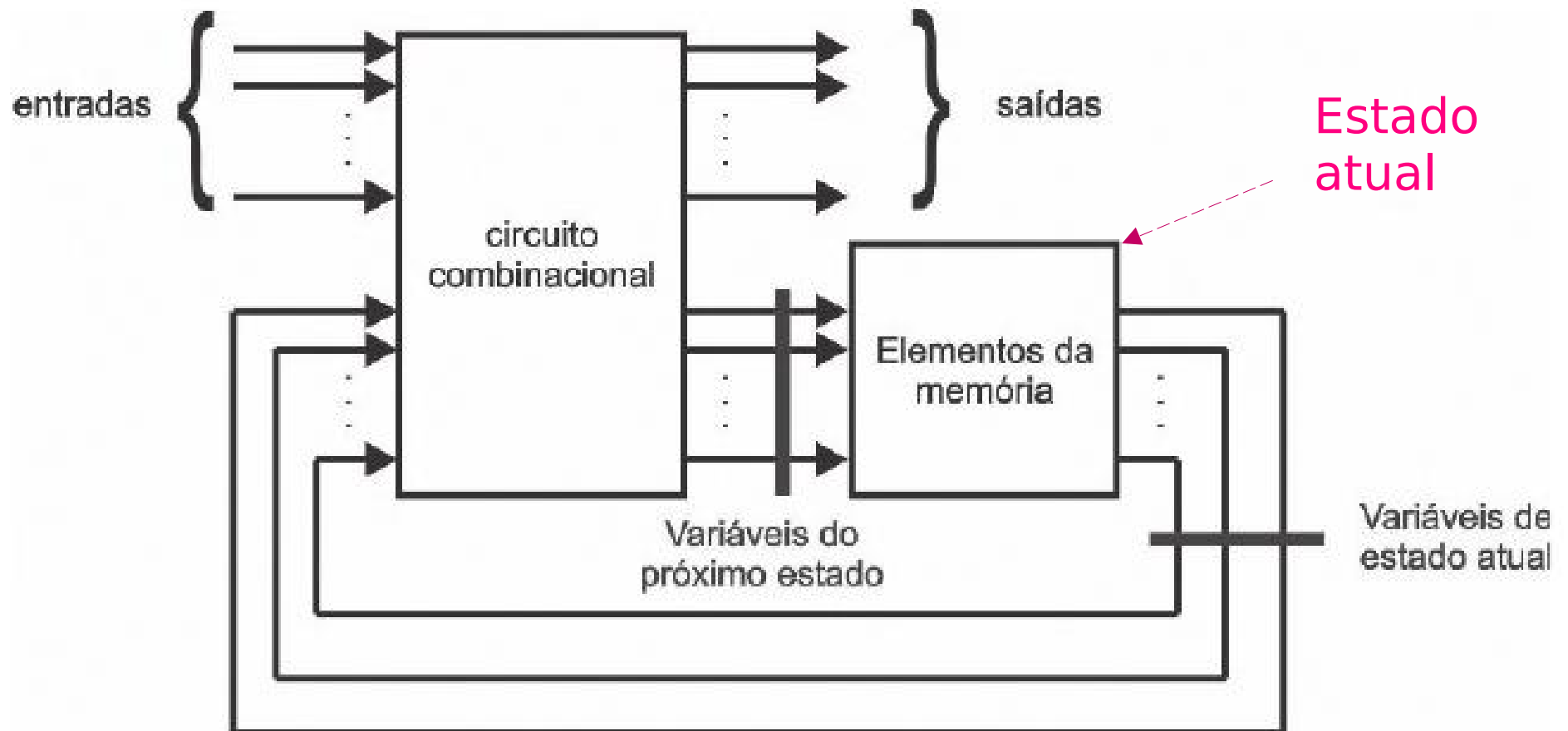


Tabela 4.22 – Tabela-verdade habilita/desabilita circuito.

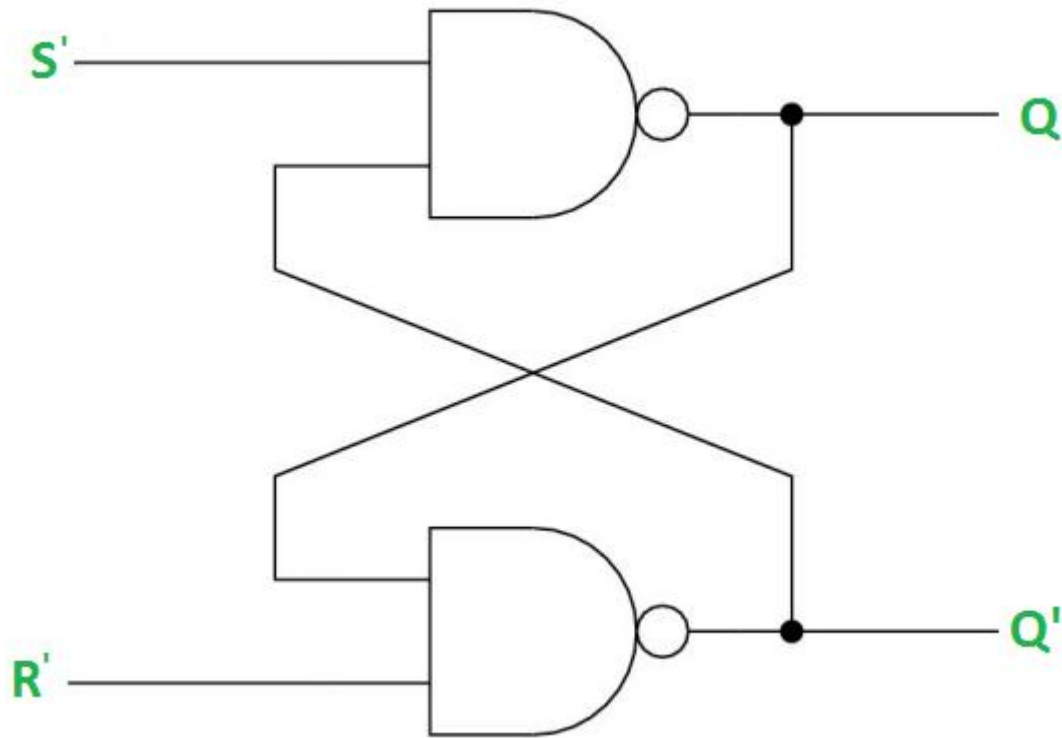
ENTRADAS		SAÍDA
En1	En2	Y
0	0	0
0	1	0
1	0	0
1	1	A

Lógica sequencial

- Valores de sinais de saída dependem dos valores do sinal de entrada e dos valores de sinal armazenados, ao contrário do combinacional, e são geralmente pulsados



LATCHES SR

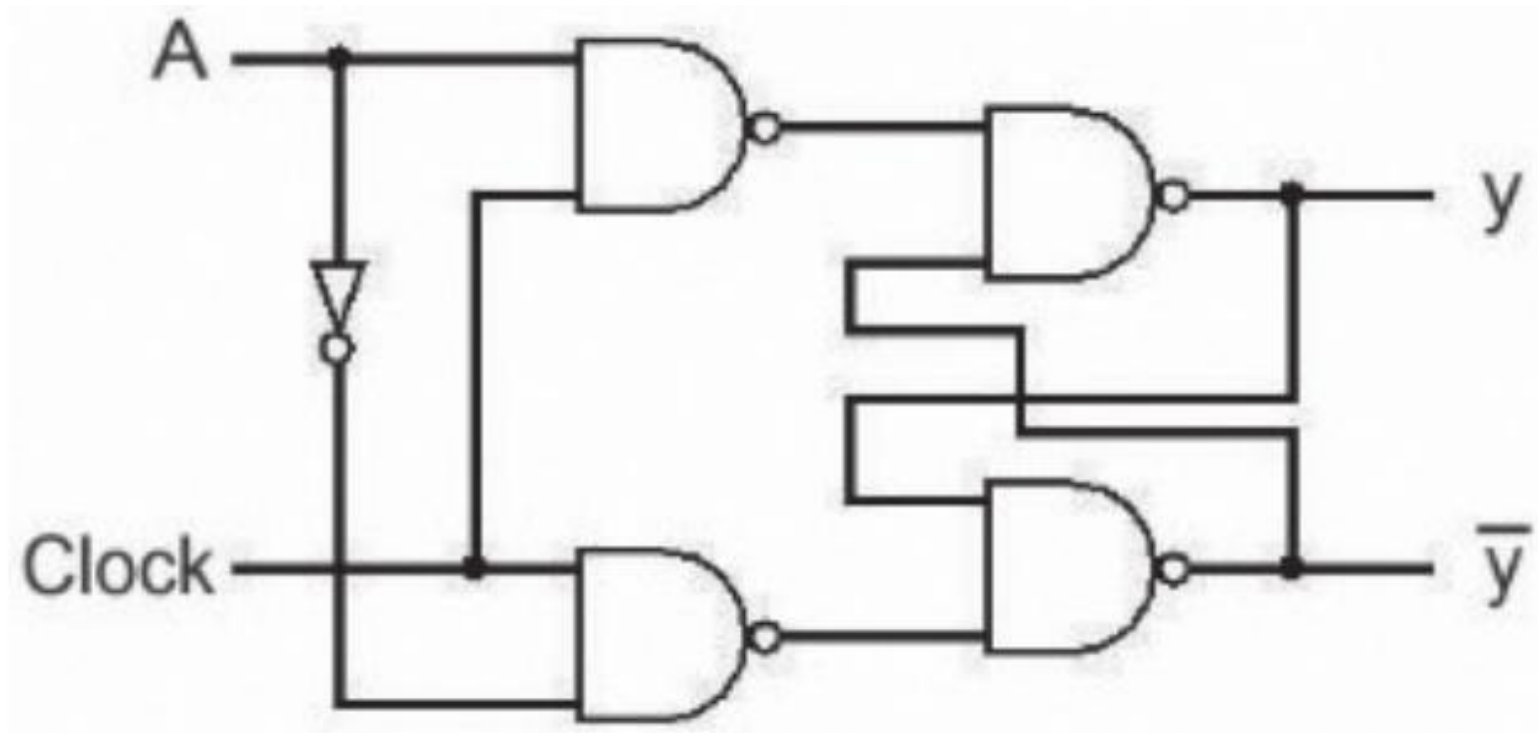


S	R	Q	Q'
0	0	Latch	Latch
0	1	0	1
1	0	1	0
1	1	0	0

“Latch” = mantém o estado anterior

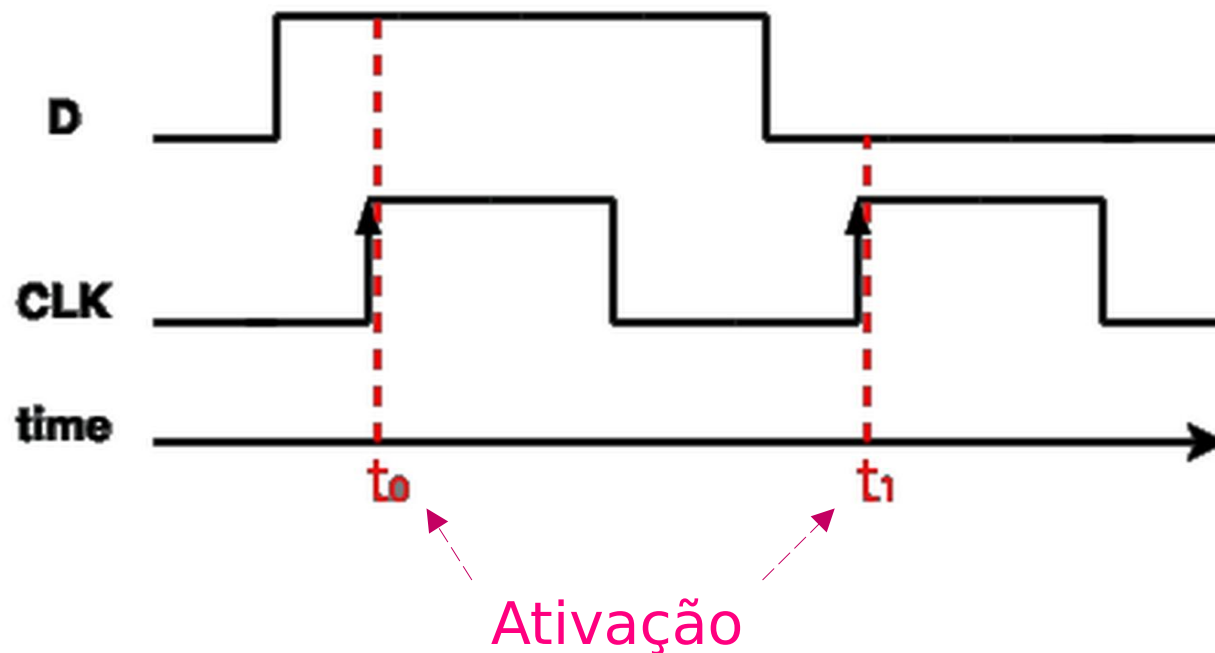
- Implementa um circuito básico de memória
- 2 estados estáveis; usa AND, OR, NOT, NAND, e NOR

Flip-Flop D (D = Dados)



- 2 latches ligados em série
- Normalmente inclui um sinal zero, um ou dois sinais de valores de entrada, um sinal de clock e um sinal de valor de saída

- O que interessa é a transição negativa. Quando ocorre, o resultado da saída é atualizado. A cada sinal de clock, as saídas invertem-se (devido a isso que recebe o nome de flip-flop)



D	Q
0	0
1	1