



PEC2 - Segunda prueba de evaluación continua

Presentación

Después de conocer los sistemas de representación de la información, esta PEC se focaliza en los circuitos lógicos combinacionales. Las funciones lógicas nos permiten describir la funcionalidad de un circuito y mediante las puertas lógicas y los bloques combinacionales podemos implementarlas en un circuito. Todo esto, no se podría hacer sin saber mecanismos de minimización, como mapas de Karnaugh, que nos permiten reducir las dimensiones del circuito que se tiene que implementar.

Competencias

- Conocer y saber aplicar el álgebra de Boole para la manipulación de funciones lógicas.
- Tener nociones tecnológicas de los circuitos digitales y entender la relación entre los circuitos digitales y las funciones lógicas.
- Conocer y saber utilizar las puertas lógicas y los módulos combinacionales en el diseño de circuitos lógicos.

Objetivos

- Saber aplicar las operaciones básicas y los axiomas del álgebra de Boole.
- Saber representar las funciones lógicas mediante tablas de verdad.
- Saber representar las funciones lógicas mediante expresiones algebraicas.
- Saber analizar un circuito combinacional.
- Saber realizar un cronograma a partir de un circuito digital combinacional.
- Saber sintetizar una función a dos niveles.
- Saber diseñar un circuito combinacional sencillo a partir de los bloques combinacionales de los materiales.

Recursos

Los recursos que se recomienda utilizar para esta PEC son los siguientes:

Básicos: El módulo 3 de los materiales.

Complementarios: KeMap, VerilCIRC, VerilCHART y el Wiki de la asignatura.



Criterios de valoración

- Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.
- La valoración está indicada en cada uno de los subapartados

Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado debéis dirigiros al consultor responsable de vuestra aula.
- Hay que entregar la solución en un fichero PDF utilizando una de las plantillas entregadas conjuntamente con este enunciado.
- Se debe entregar a través de **Entrega de la Actividad** correspondiente de **Contenidos** de vuestra aula.
- La fecha límite de entrega es el **8 de noviembre** (a las 24 horas).

Enunciado de la PEC

Ejercicio 1 [10 %]

Dada la tabla de verdad siguiente

a	b	c	d	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

- [5 %]** Expresad la función f como suma de mintérminos.
- [5 %]** Minimizad la expresión algebraica obtenida en el apartado anterior usando las leyes del álgebra de Boole que consideréis adecuadas, indicando en cada paso la que habéis utilizado.

**Ejercicio 2 [30 %]**

Dada la tabla de verdad siguiente:

a	b	c	d	f	g
0	0	0	0	0	1
0	0	0	1	0	0
0	0	1	0	0	X
0	0	1	1	0	X
0	1	0	0	1	X
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	X
1	0	0	0	0	X
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	0

- a) **[10 %]** Sintetizad e implementad con puertas lógicas de manera mínima a dos niveles la función f mediante el método de Karnaugh.

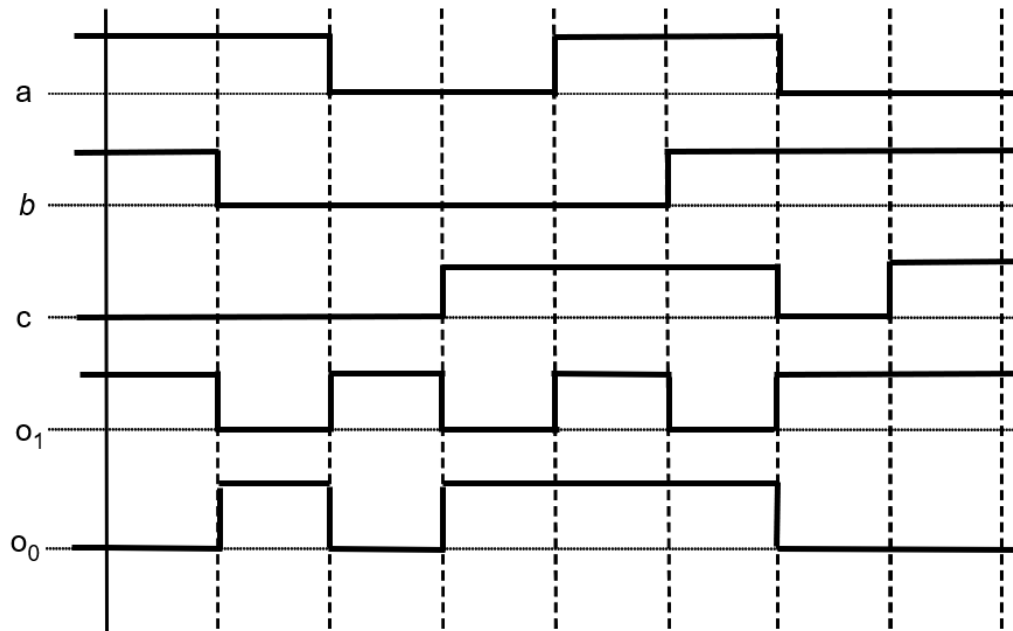
NOTA: Tenéis disponible el ejercicio en VerilCIRC y en KeMAP para verificarlo. Respecto a KeMAP (para la primera parte del ejercicio), para evitar un mal uso de la herramienta, en caso de que se realicen más de 5 intentos la nota del ejercicio se reducirá al 50 %. Os recomendamos hacer pruebas con KeMAP con otros ejercicios antes de hacer el de la PEC. En el caso de VerilCIRC (para la segunda parte del ejercicio) no hay limitación en el número de intentos.

- b) **[10 %]** Sintetizad e implementad con puertas lógicas de manera mínima a dos niveles la función g mediante el método de Karnaugh.

NOTA: Tenéis disponible el ejercicio en VerilCIRC y en KeMAP para verificarlo. Respecto a KeMAP (para la primera parte del ejercicio), para evitar un mal uso de la herramienta, en caso de que se realicen más de 5 intentos la nota del ejercicio se reducirá al 50 %. Os recomendamos hacer pruebas con KeMAP con otros ejercicios antes de hacer el de la PEC. En el caso de VerilCIRC (para la segunda parte del ejercicio) no hay limitación en el número de intentos.



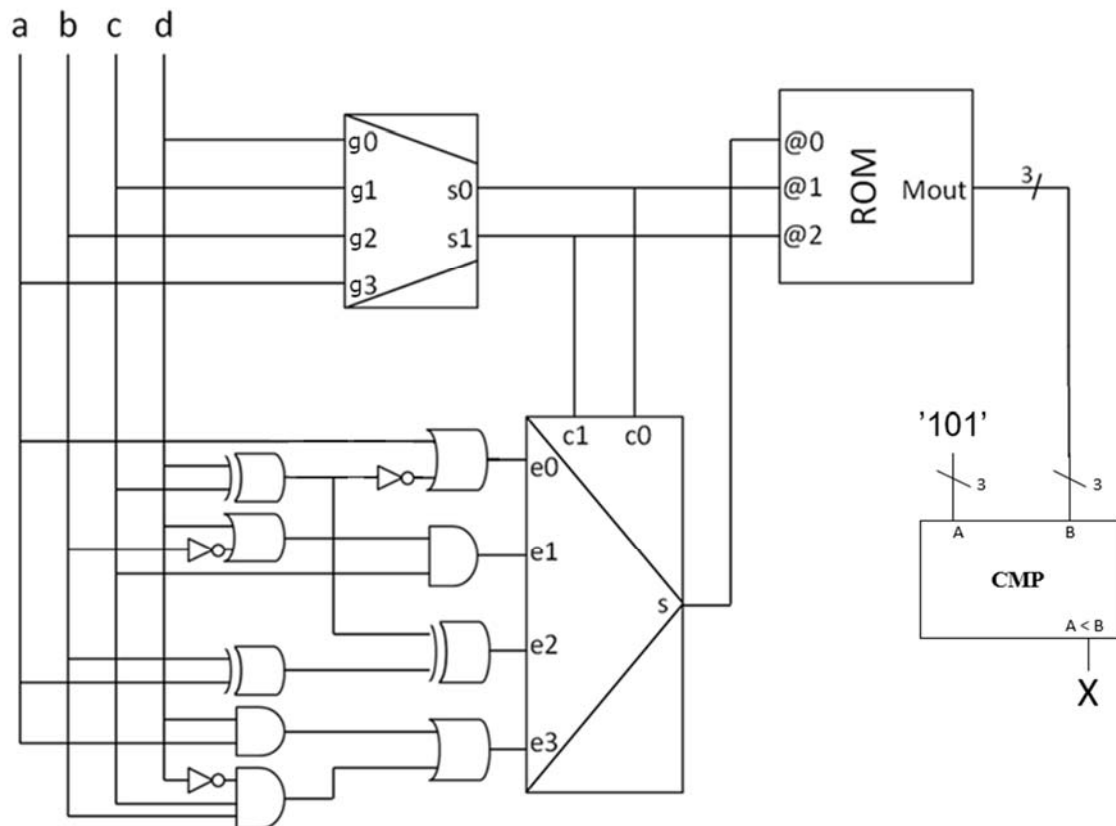
- c) [10 %] Dado el siguiente cronograma, en el cual a , b y c son las señales de entrada de una ROM (en este orden) y o_1 y o_0 son sus salidas, obtened la tabla de verdad de la ROM expresando los valores en decimal.



@	M [@]
0	
1	
2	
3	
4	
5	
6	
7	

**Ejercicio 3 [30 %]**

Dado el circuito lógico combinacional siguiente:



Donde la memoria ROM tiene el contenido siguiente:

@	M[@]
0	101
1	011
2	111
3	000
4	001
5	010
6	101
7	110

Se pide:



- a) **[20 %]** Rellenad la tabla de verdad de la función $X(a, b, c, d)$, incluyendo los valores intermedios ($e_0, e_1, e_2, e_3, s_1, s_0$ y s) especificados en la tabla:

a	b	c	d	e_0	e_1	e_2	e_3	s_1	s_0	s	X
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

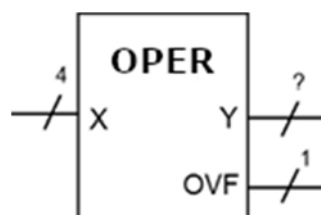
NOTA: Tenéis disponible el ejercicio en VerilCHART.

- b) **[10 %]** Fijaos en la funcionalidad de este circuito y proponed otro que realice la misma tarea pero que sea claramente más eficiente (en cuanto a número de puertas lógicas y bloques combinacionales).

NOTA: Tenéis disponible el ejercicio en VerilUOC.

Ejercicio 4 [30 %]

Se quiere diseñar un circuito lógico combinacional llamado OPER, con una entrada X de 4 bits y una salida Y de dimensión desconocida junto con otro bit de salida OVF con la estructura siguiente:



Las señales X e Y corresponden a números naturales. El circuito debe realizar el cálculo $Y = 4 \cdot X - 16$. La salida OVF indica si el resultado no es representable como número natural (con un 1, de lo contrario tiene el valor 0). En este caso (de no ser representable), la salida Y tendrá valor 0.

Se pide:



- a) **[5 %]** ¿Cuál es el valor máximo que puede tener X ? ¿Cuál es el valor máximo que puede tener el producto $4 \cdot X$? Indicadlos los dos en decimal. ¿Cuál es el valor máximo que puede tener la salida Y ? ¿Cuál será, pues, la dimensión en número de bits de la salida Y ?
- b) **[5 %]** ¿Qué rango de valores de la entrada X activarán la salida OVF ?
- c) **[10 %]** Si se quisiera implementar con una memoria ROM, indicad las 10 primeras posiciones. No hay que hacer el circuito, solo indicar las 10 primeras posiciones de la ROM.
- d) **[10 %]** Implementad el circuito ahora sin usar ninguna memoria ROM. Podéis usar los bloques y las puertas lógicas que consideréis necesarias. Indicad claramente la dimensiones de los buses del circuito.

NOTA: Tenéis disponible el ejercicio en VerilCIRC sin límite en el número de comprobaciones.