



PEC3 - Tercera prueba de evaluación continua

Presentación

Esta PEC se focaliza en los circuitos secuenciales. Los circuitos combinacionales nos permiten describir funcionalidades de un circuito pero no nos permiten guardar información. Mediante biestables y registros podemos guardar información en memoria y hacer circuitos más complejos. En esta PEC practicaremos con este tipo de circuitos.

Competencias

- Entender el funcionamiento de los circuitos lógicos secuenciales y conocer y saber aplicar técnicas de diseño de sistemas secuenciales.

Objetivos

- Saber discernir, a partir de la funcionalidad que se quiere que tenga un circuito lógico, si el circuito tiene que ser de tipo secuencial o combinacional.
- Conocer el funcionamiento del biestable D y de todas las entradas de control que puede tener.
- Saber analizar un circuito secuencial.
- Saber realizar un cronograma a partir de un circuito digital secuencial.
- Saber analizar un grafo de estados.
- Saber diseñar un circuito cualquiera a partir de la descripción de su funcionalidad mediante el modelo de Moore.

Recursos

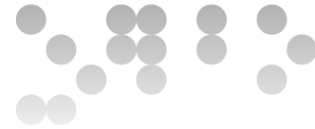
Los recursos que se recomienda usar para esta PEC son los siguientes:

Básicos: El módulo 4 de los materiales.

Complementarios: VerilCIRC, VerilCHART y el Wiki de la asignatura.

Criterios de valoración

- Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.
- La valoración está indicada en cada uno de los subapartados.



Uso de herramientas de IA

En esta actividad no está permitido el uso de herramientas de inteligencia artificial. En el plan docente y en la [web sobre integridad académica y plagio](#) de la UOC encontraréis información sobre que se considera conducta irregular en la evaluación y las consecuencias que puede tener.

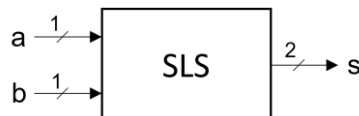
Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado, dirigíos al consultor responsable de vuestra aula.
- Hay que entregar la solución en un fichero PDF usando una de las plantillas proporcionadas junto con este enunciado.
- Se tiene que entregar a través de la aplicación de **Entrega de la Actividad** correspondiente del apartado **Contenidos** de vuestra aula.
- La fecha límite de entrega es el **8 de mayo** (a las 24 horas).

Descripción de la PEC a realizar

Ejercicio 1 [25%]

Se quiere diseñar el grafo de estados de un circuito lógico secuencial llamado SLS. El circuito tiene dos entradas de un bit cada una, denominadas a y b , y una salida de dos bits, denominada s , según la estructura siguiente:



El circuito SLS detecta si la entrada a es igual que la entrada b durante 3 ciclos consecutivos, o bien si la entrada a es diferente de la entrada b durante dos ciclos consecutivos. Cuando el circuito detecta que $a = b$ durante 3 ciclos, en el ciclo siguiente pone el valor 01 en la salida s durante un ciclo. Similarmente, cuando el circuito detecta que $a \neq b$ durante 2 ciclos, en el ciclo siguiente pone el valor 10 en la salida s durante un ciclo. Al empezar a funcionar el circuito, la salida s vale 00.

Si $a = b$ durante más de 3 ciclos, la salida s se mantendrá a 01 mientras a y b sean iguales. Similarmente, si $a \neq b$ durante más de 2 ciclos, la salida se mantendrá a 10. En cualquier otro caso la salida valdrá 00.

Ejemplo de funcionamiento del circuito:

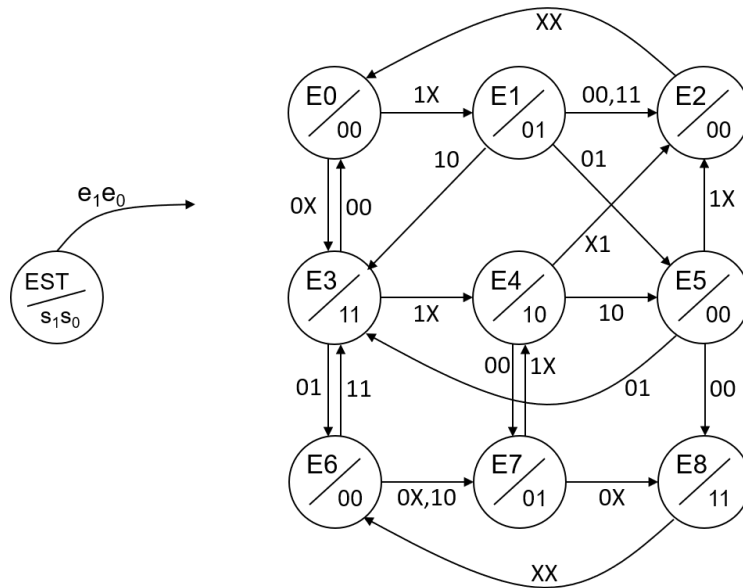
Entrada a	0	1	1	0	1	1	0	1	0	1	1	...
Entrada b	1	1	1	0	1	0	0	0	1	1	0	...
Salida s	00	00	00	00	01	01	00	00	00	10	00	...

Se pide que diseñéis el grafo de estados del circuito SLS, especificando claramente su leyenda y su estado inicial.



Ejercicio 2 [25%]

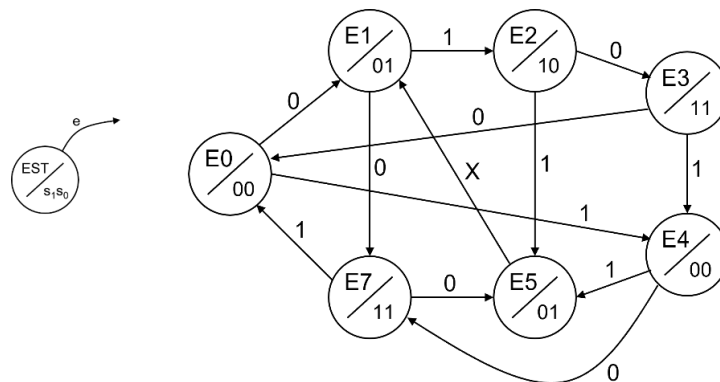
Dado el grafo de estados siguiente:



Se pide:

- a) [5%] ¿Cuántos bits de entrada tiene el circuito que implementa este grafo? ¿Cuántos bits de salida? ¿Cuál será el número mínimo de biestables para implementarlo? Si lo implementamos utilizando una memoria ROM, ¿cuántos bits de direcciones y cuántos bits de datos necesitará esta memoria?

Dado el grafo de estados siguiente:



Se pide:

- b) [10%] Escribid la tabla de transiciones y la tabla de salidas del sistema representado por el grafo, codificando los estados según su índice asociado. Al escribir la tabla de transiciones, poned en primer lugar las variables que codifican el estado y a continuación las variables de entrada.

Nota: Tenéis disponible el ejercicio en VerilCHART. Para poder probar este ejercicio en VerilCHART tenéis que sustituir, si fuera el caso, los bits *don't care* por valores 0.

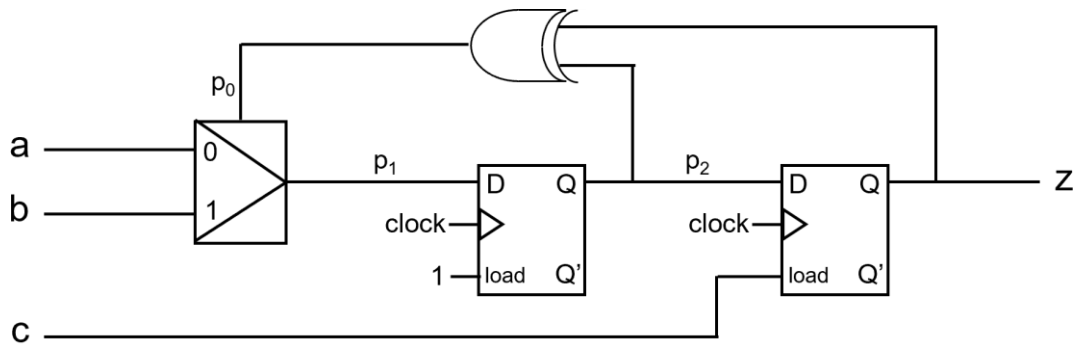


- c) **[10%]** Diseñad el circuito que implementa el sistema representado por el grafo de estados utilizando una memoria ROM. Mostrad el contenido completo de la memoria ROM en hexadecimal.

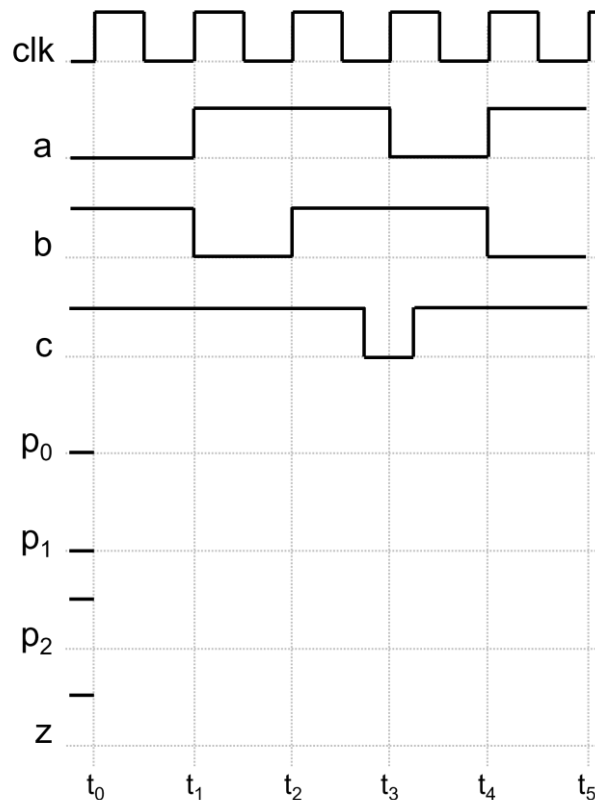
Nota: Tenéis disponible el ejercicio en VerilCIRC. Para poder probar este ejercicio en VerilCIRC tenéis que sustituir, si fuera el caso, los bits *don't care* por valores 0.

Ejercicio 3 [25%]

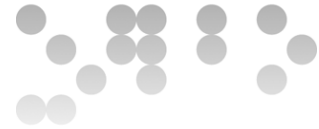
Dado el circuito siguiente:



Completad este cronograma:

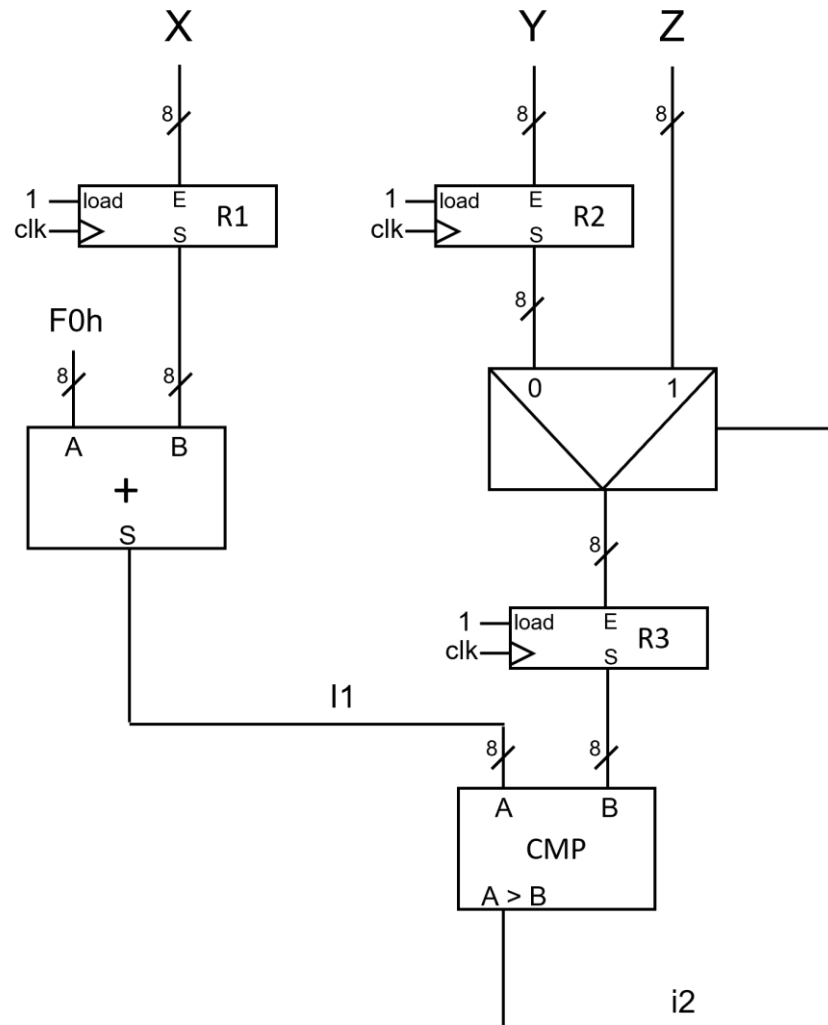


Nota: Tenéis disponible este ejercicio en VerilCHART.

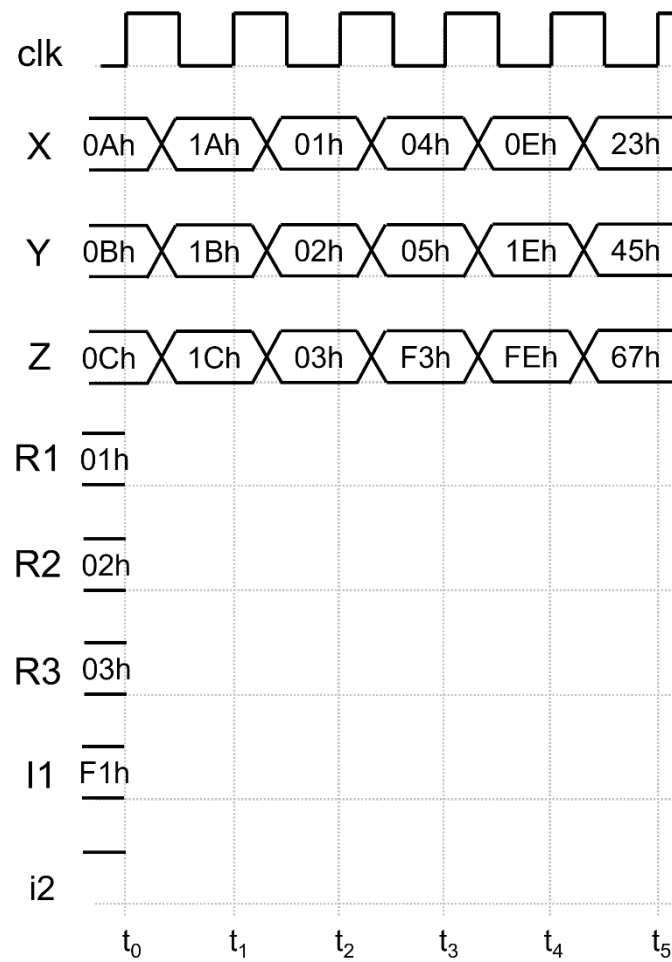


Ejercicio 4 [25%]

Dado el circuito siguiente:



Completad el cronograma siguiente, escribiendo los valores en hexadecimal (excepto la señal $i2$).



Nota: Tenéis disponible este ejercicio en VerilCHART.