

# PAC3 - Tercera prueba de evaluación continuada

### Presentación

Esta PEC se focaliza en los circuitos secuenciales. Los circuitos combinacionales nos permiten describir funcionalidades de un circuito pero no nos permite guardar información. Mediante biestables y registros podemos guardar información en memoria y hacer circuito más complejos. En este PEC practicaremos con este tipo de circuitos.

### Competencias

- Entender el funcionamiento de los circuitos lógicos secuenciales y conocer y saber aplicar técnicas de diseño de sistemas secuenciales.

### **Objetivos**

- Saber discernir, a partir de la funcionalidad que se quiere que tenga un circuito lógico, si el circuito tiene que ser de tipo secuencial o combinacional.
- Conocer el funcionamiento del biestable D y de todas las entradas de control que puede tener.
- Saber analizar un circuito secuencial.
- Saber realizar un cronograma a partir de un circuito digital secuencial.
- Saber analizar un grafo de estados.
- Saber diseñar un circuito cualquiera a partir de la descripción de su funcionalidad mediante el modelo de Moore.

#### Recursos

Los recursos que se recomienda usar por esta PEC son los siguientes:

Básicos: El módulo 4 de los materiales.

Complementarios: VerilCIRC, VerilCHART y el Wiki de la asignatura.

### Criterios de valoración

- Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.
- La valoración está indicada en cada uno de los subapartados.

## Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado, dirigíos al consultor responsable de vuestra aula.
- Hay que entregar la solución en un fichero PDF usando una de las plantillas libradas conjuntamente con este enunciado.



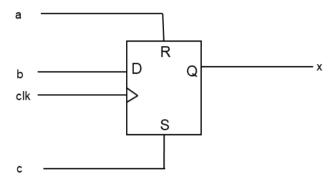


- Se tiene que entregar a través de **Entrega de la Actividad** correspondiente de **Contenidos** de vuestra aula.
- La fecha tope de entrega es lo **29 de noviembre** (a las 24 horas).

### Enunciado de la PEC

### **Ejercicio 1** (15 %)

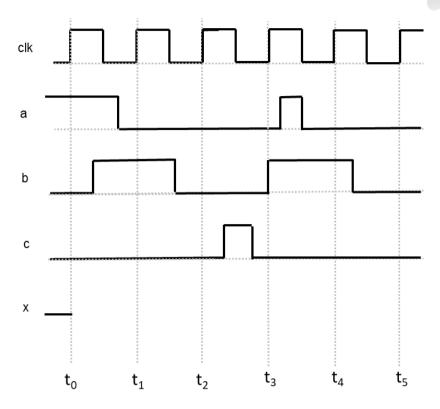
Dado el circuito que se muestra a continuación:



Completa el siguiente cronograma indicando **razonadamente** el valor que toma la señal x desde  $t_0$  hasta  $t_5$ .



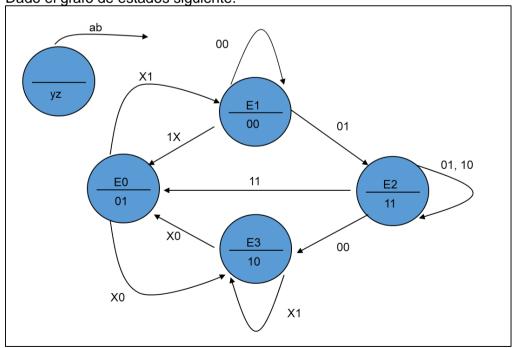




Nota: Tenéis disponible este ejercicio en VerilCHART.

# **Ejercicio 2** (35 %)

Dado el grafo de estados siguiente:







a) [10 %] Escribid la tabla de transiciones y la tabla de salidas del sistema representado por el grafo.

Nota: Tenéis disponible el ejercicio en VerilCHART. Fijaos que la tabla de transiciones y la de salidas se han unificado en una única tabla de excitaciones.

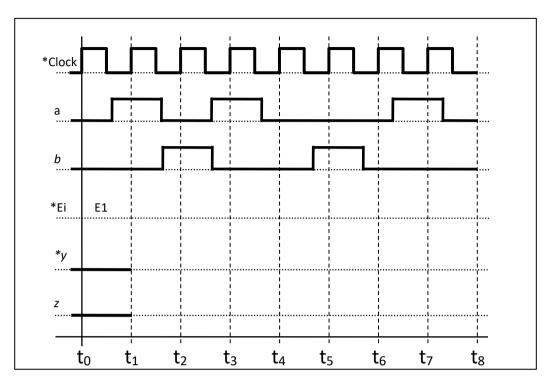
Estado	а	b	Estado+
E0	0	0	
E0	0	0 1 0	
E0	1	0	
E0	1	1	
E1	0	0	
E1	0	1 0	
E1	1		
E1	1	1	
E2	0	0	
E2	0	1	
E2	1	1 0	
E2	1	1	
E3	0	0	
E3	0	1 0	
E3	1	0	
E3	1	1	

Estado	уz
E0	
E1	
E2	
E3	

b) [10 %] Completad el cronograma siguiente con el valor que toman las señales y y z, y el nombre del estado en cada ciclo.







Nota: Tenéis disponible este ejercicio en VerilChart.

c) [15 %] Implementad el circuito representado por el grafo utilizando una memoria ROM y biestables D.

Para codificar cada estado usad el índice *y* que tiene asociado. Indicad el orden de las señales tanto de dirección como de datos de la memoria ROM y el contenido de la memoria ROM.

Nota: Tenéis disponible el ejercicio en VerilCIRC. Se ha añadido una salida adicional *Ei* que indica el valor de la salida de los flip-flops o registro para facilitaros la comprobación de la corrección del circuito.

### **Ejercicio 3** (20 %)

Diseñad el grafo de estados de un circuito SLS de dos entradas de un bit cada una y un bit de salida que se comporte de la manera que se describe a continuación:







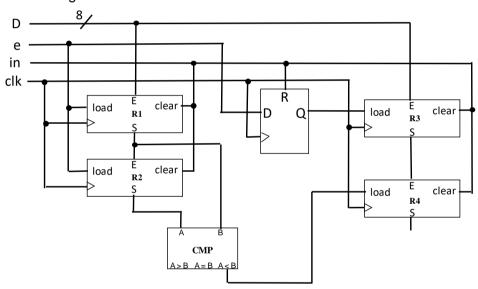
El funcionamiento del circuito es cíclico, repitiéndose cada dos ciclos. Al primer ciclo llegan dos bits por las entradas *a* y *b*. La salida en este ciclo siempre es 0. Al ciclo siguiente se trata de determinar si los dos bits que hay en la entrada en este ciclo indican la suma aritmética de los dos bits que han llegado en el ciclo anterior (*a* indica el bit de más peso de la suma y *b* el de menos peso). En caso de que la suma sea correcta la salida *x* valdrá 1, de lo contrario valdrá 0. Inicialmente la salida vale 0.

#### Ejemplo:

- Secuencia de entrada a: 10011100...
- Secuencia de entrada *b*: 01011011...
- Secuencia de salida *x*: 001000101...

### **Ejercicio 4** (30 %)

Dado el circuito siguiente:

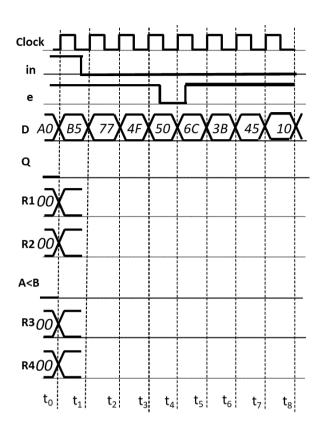


en el cual por la señal de entrada *D* llegan datos de 8 bits y por las entradas *e* y *in* datos de 1 bit.

Completad el cronograma siguiente. Todos los valores están en hexadecimal. Indicad textualmente el proceso para encontrar los valores de la salida *A*<*B* del comparador, de los registros y del biestable para todos los ciclos que consideréis relevantes.







Nota: Tenéis disponible este ejercicio en VerilCHART, donde la señal A < B se ha renombrado como A-LT-B.

