



PAC2 - Segunda prueba de evaluación continuada

Presentación

Después de conocer los sistemas de representación de información, esta PEC se focaliza en los circuitos lógicos combinacionales. Las funciones lógicas nos permiten describir la funcionalidad de un circuito y mediante las puertas lógicas y los bloques combinacionales podemos implementarlas en un circuito. Todo esto, no se podría hacer sin saber mecanismos de minimización, como mapas de Karnaugh, que nos permiten reducir las dimensiones del circuito que se ha de implementar.

Competencias

- Conocer y saber aplicar el álgebra de Boole para la manipulación de funciones lógicas.
- Tener nociones tecnológicas de los circuitos digitales y entender la relación entre los circuitos digitales y las funciones lógicas.
- Conocer y saber utilizar las puertas lógicas y los módulos combinacionales en el diseño de circuitos lógicos.

Objetivos

- Saber aplicar las operaciones básicas y los axiomas del álgebra de Boole.
- Saber representar las funciones lógicas mediante Tablas de verdad.
- Saber representar las funciones lógicas mediante expresiones algebraicas.
- Saber analizar un circuito combinacional.
- Saber realizar un cronograma a partir de un circuito digital combinacional.
- Saber sintetizar una función a dos niveles.
- Saber diseñar un circuito combinacional sencillo a partir de los bloques combinacionales de los materiales.

Recursos

Los recursos que se recomienda usar por esta PEC son los siguientes:

Básicos: El módulo 3 de los materiales.

Complementarios: KeMap, VerilCIRC, VerilChart y el Wiki de la asignatura.

Criterios de valoración

- **Razona la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.**
- **La valoración esta indicada en cada uno de los subapartados.**



Uso de herramientas de IA

En esta actividad no está permitido el uso de herramientas de inteligencia artificial. En el plan docente y en la [web sobre integridad académica y plagio](#) de la UOC encontraréis información sobre que se considera conducta irregular en la evaluación y las consecuencias que puede tener.

Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado, dirigíos al consultor responsable de vuestra aula.
- Hay que entregar la solución en un fichero PDF usando una de las plantillas publicadas conjuntamente con este enunciado.
- Se tiene que entregar a través de la aplicación de **Entrega de la Actividad** correspondiente del apartado **Contenidos** de vuestra aula.
- La fecha tope de entrega es el **17 de abril** (a las 24 horas).

Solución de la PEC

Ejercicio 1 [5 %]

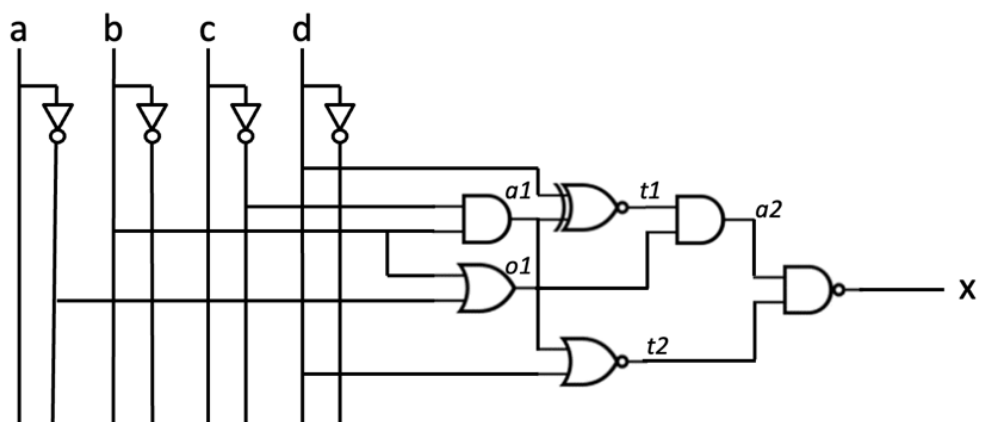
Simplificad la función

$$f(a,b) = (a' + b')' + a \cdot b'$$

usando las propiedades y las leyes del álgebra de Boole.

Ejercicio 2 [15 %]

Dado el circuito siguiente



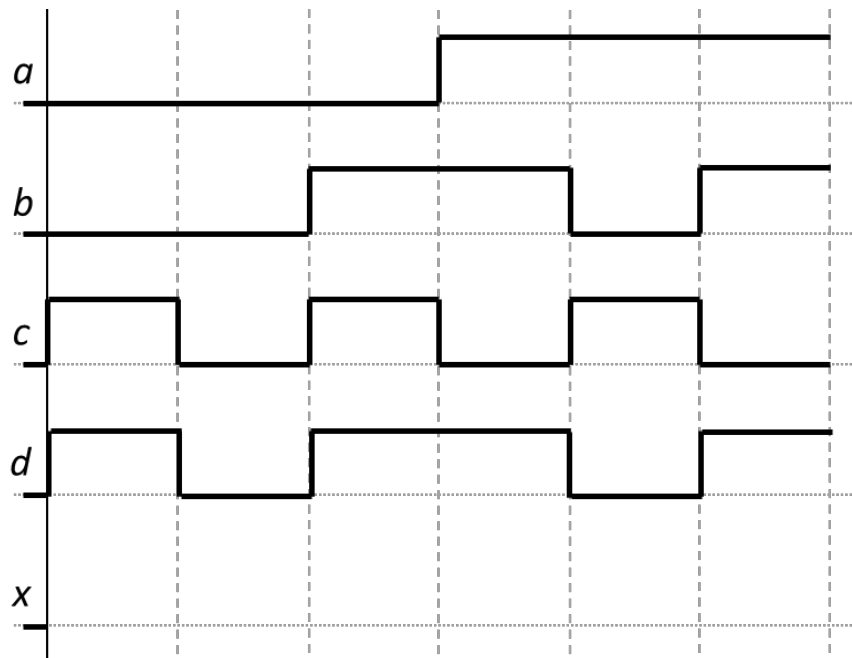


Se pide:

- a) [10 %] Completad la tabla de verdad de la función x , así como también de los valores intermedios $a1$, $t1$, $t2$, $o1$ y $a2$.

a	b	c	d	$a1$	$t1$	$t2$	$o1$	$a2$	x
0	0	0	0						
0	0	0	1						
0	0	1	0						
0	0	1	1						
0	1	0	0						
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0						
1	0	0	1						
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

- b) [5 %] Completad el siguiente cronograma.



NOTA: Tenéis disponible los ejercicios en VerilCHART para verificarlo. No hay limitación en el número de intentos.



Ejercicio 3 [25 %]

Dada la tabla de verdad siguiente:

a	b	c	d	f	g
0	0	0	0	1	X
0	0	0	1	1	X
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	0	X
0	1	0	1	1	X
0	1	1	0	0	0
0	1	1	1	1	X
1	0	0	0	1	X
1	0	0	1	0	X
1	0	1	0	1	X
1	0	1	1	0	X
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	0

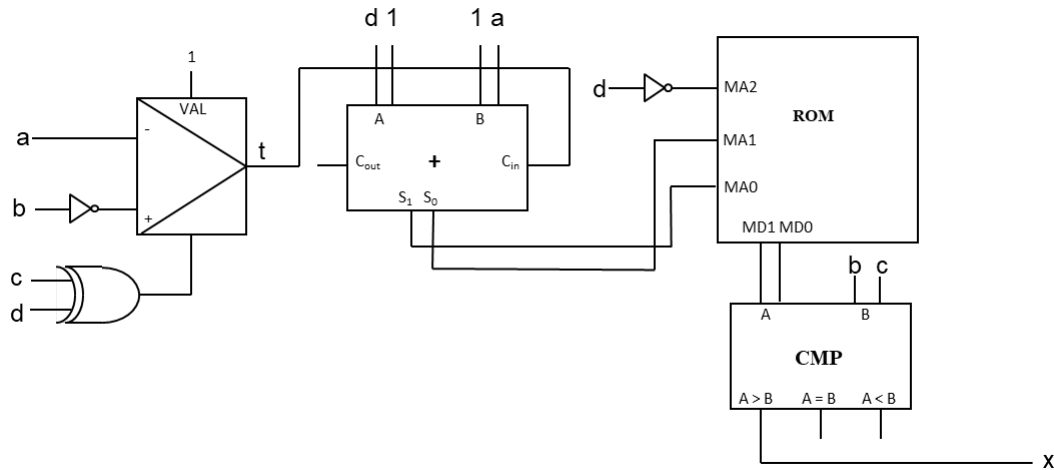
- [10 %] Sintetizad de manera mínima en dos niveles la función f mediante el método de Karnaugh, e implementad el resultado con puertas lógicas en dos niveles:
- [10 %] Minimizad a dos niveles la función g mediante el método de Karnaugh, expresando el resultado en forma algebraica. NO hace falta implementar el resultado con puertas lógicas.
- [5 %] Sintetizad la función f con un multiplexor de 3 variables de control.

NOTA: Tenéis disponible el ejercicio en VerilCIRC y en KeMAP para verificarlo. Respecto a KeMAP (para los dos primeros apartados del ejercicio), para evitar un mal uso de la herramienta, en caso de que se realicen más de 5 intentos la nota del ejercicio se reducirá al 50 %. Os recomendamos hacer pruebas con KeMAP con otros ejercicios antes de hacer los de la PEC. En el caso de VerilCIRC (para el tercer apartado del ejercicio) no hay limitación en el número de intentos.



Ejercicio 4 [25 %]

Dado el circuito siguiente



donde el contenido de la memoria ROM es:

$M@$	MD
0	2
1	1
2	0
3	3
4	1
5	3
6	0
7	2

Se pide que completéis la tabla de verdad siguiente, que especifica la salida x en función de las entradas, calculando previamente los valores intermedios indicados en la tabla, dónde t corresponde a la salida del multiplexor, la señal S es la salida del sumador y $M@$ y MD son las señales de direccionamiento y de salida de datos de la memoria ROM.

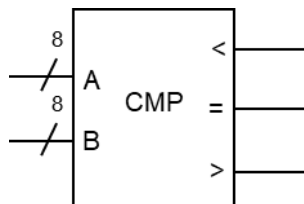
NOTA: Tenéis disponible el ejercicio en VerilCHART. No hay límite en el número de intentos que utilicéis para comprobar vuestra solución.



a	b	c	d	t	s1	s0	M@2	M@1	M@0	MD1	MD0	x
0	0	0	0									
0	0	0	1									
0	0	1	0									
0	0	1	1									
0	1	0	0									
0	1	0	1									
0	1	1	0									
0	1	1	1									
1	0	0	0									
1	0	0	1									
1	0	1	0									
1	0	1	1									
1	1	0	0									
1	1	0	1									
1	1	1	0									
1	1	1	1									

Ejercicio 5 [30 %]

Se desea diseñar un comparador de 2 números de 8 bits que corresponda a la siguiente estructura:



- [10 %] Diseñad el comparador interpretando los números de entrada como naturales, a partir de bloques comparadores de números de 4 bits y las puertas que consideréis necesarias. Indicad como nombre de las salidas del circuito como L , E y G para $A < B$, $A = B$ y $A > B$, respectivamente.
- [10 %] Diseñad el comparador interpretando los números de entrada como enteros representados en exceso a 127. Podéis utilizar los bloques y puertas adecuados sin ninguna restricción tanto por la medida de los bloques como por el número de puertas. Indicad como nombre de las salidas del circuito como L , E y G para $A < B$, $A = B$ y $A > B$, respectivamente.
- [10 %] Diseñad el comparador considerando que los números de entrada son enteros representados en Ca2 . Podéis utilizar los bloques y las puertas adecuados sin ninguna restricción. Indicad como nombre de las salidas del circuito como L , E y G para $A < B$, $A = B$ y $A > B$, respectivamente.

NOTA: Tenéis disponible el ejercicio en VerilCIRC. No hay límite en el número de intentos que hagáis para comprobar vuestra solución.