



Ing. Víctor Hugo Bastidas A.
Ing. Jhon James Granada T.
Ing. Andrés Felipe Moreno P.

7 de Septiembre de 2011

Práctica 3: Contador con visualización en 7 segmentos (3 Semanas)

Objetivos

- Familiarizarse con el diseño estructurado usando lenguajes de descripción de Hardware (HDL).
- Controlar el *display* de 7 segmentos para visualizar información.
- Introducir el diseño de lógica secuencial en HDL

Equipo Necesario

- Tarjeta de desarrollo basada en FPGA o CPLD con un *display* de 7 segmentos que permita, como mínimo, visualizar 4 dígitos. (Si su tarjeta no lo tiene, investigue y diseñe un circuito externo para implementar el display).

Decodificador Hexadecimal a 7 Segmentos con Multiplexación(Primera Semana)

1. Cálculos y Simulaciones:

- Investigue en la bibliografía y en la hoja de datos de su tarjeta de desarrollo, acerca del funcionamiento de un *display* de 7 segmentos.
- Diseñe un circuito combinacional que permita obtener las salidas presentadas en la Figura 1 a partir de 4 entradas binarias desde 0000_b hasta 1111_b y realice una simulación para verificar su funcionamiento.
- Diseñe un circuito combinacional que permita, a partir de dos bits de entrada, habilitar uno de los 4 dígitos del display a la vez como se muestra en la Figura 2. Realice una simulación.
- Integre los diseños en un módulo de jerarquía superior creando instancias a los módulos anteriores (figura 3). Realice una simulación de su funcionamiento conjunto.

2. Pruebas y Resultados:

- Asigne las entradas y salidas de la FPGA y cargue el diseño.
- Verifique el funcionamiento de su circuito.

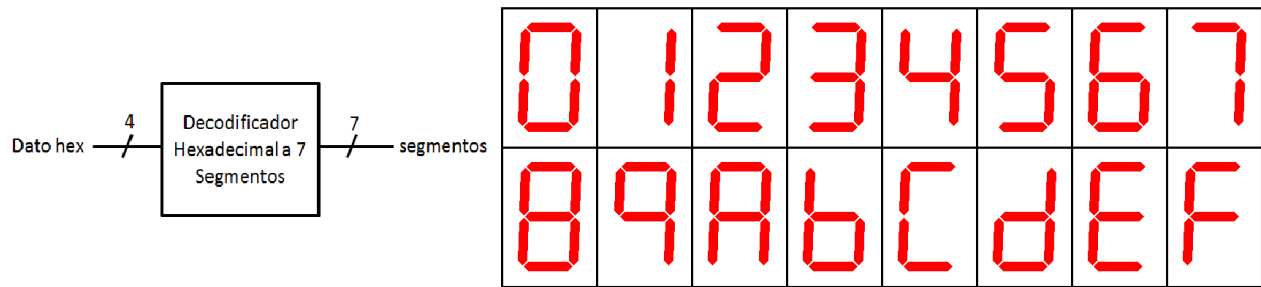


Figura 1: Decodificador hexadecimal a 7 segmentos

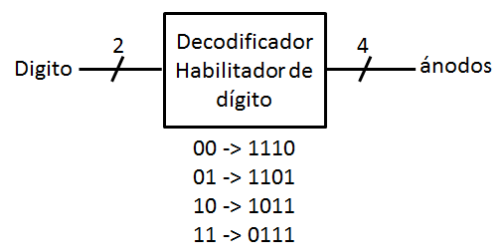


Figura 2: Bloque selector de dígito

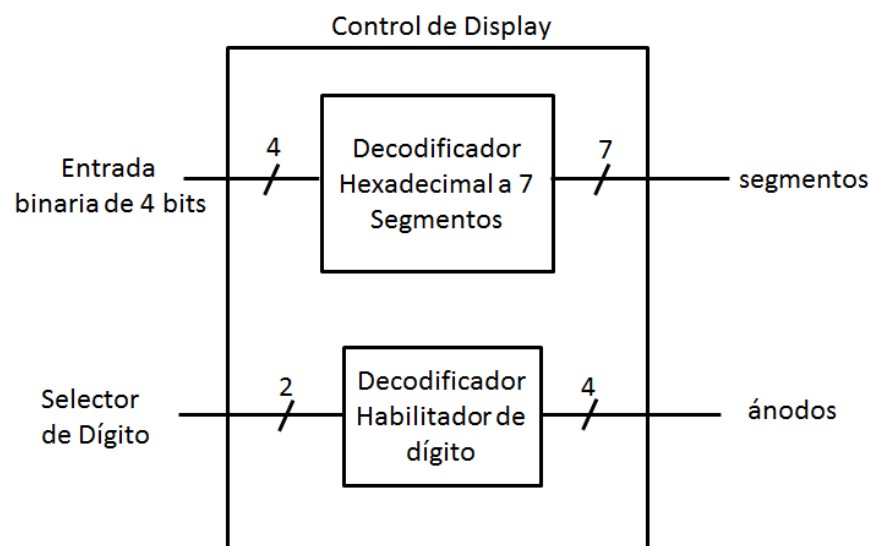


Figura 3: Módulo principal primera semana

Contador Hexadecimal (Segunda semana)

Montaje General

La Figura 4 muestra un esquema general de conexiones de los bloques que en conjunto con los de la primera semana, se deben poner en funcionamiento.

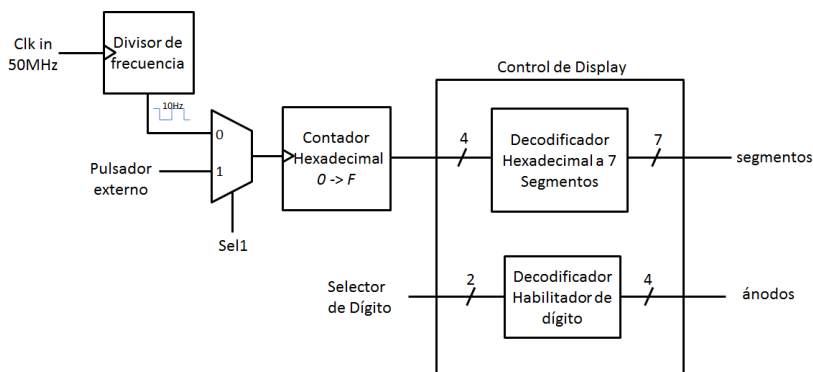


Figura 4: Visualización con contador

Divisor de Frecuencia

1. Cálculos y Simulaciones:

- Diseñe un circuito que permita obtener una señal con una frecuencia deseada, a partir de una señal de reloj proveniente del oscilador interno de la tarjeta de desarrollo.

Contador y multiplexor

1. Cálculos y Simulaciones:

- Diseñe un circuito que permita realizar un conteo de 0_h hasta F_h y que incluya una etapa de visualización conectada al *display* de 7 segmentos, usando el circuito de la primera semana.
- El contador incrementa su conteo con un flanco de reloj proveniente de un multiplexor de 2 a 1 con un selector *Sel1* que permite escoger la procedencia de dicho flanco: si *Sel1* está en bajo, el reloj provendrá del divisor de frecuencia a 10Hz; si está en alto, lo hará de la señal de un pulsador, con la cual generar los flancos. **Importante:** El pulsador externo debe ser completamente independiente del reloj interno de la tarjeta de desarrollo.

Esquema completo

1. Cálculos y Simulaciones:

- Diseñe los componentes necesarios e implemente el circuito de la Figura 4.

2. Pruebas y Resultados:

- Asigne las entradas y salidas del FPGA y cargue el diseño.
- Verifique el funcionamiento de su circuito.

Contador BCD de 4 dígitos(Tercera Semana)

Montaje General

La Figura 5 se muestra un esquema general de conexiones de los bloques que conforman el circuito final de la práctica 3. Este utiliza los bloques diseñados en las anteriores dos semanas y crea un sistema completo de visualización dinámica en el display de 7 segmentos.

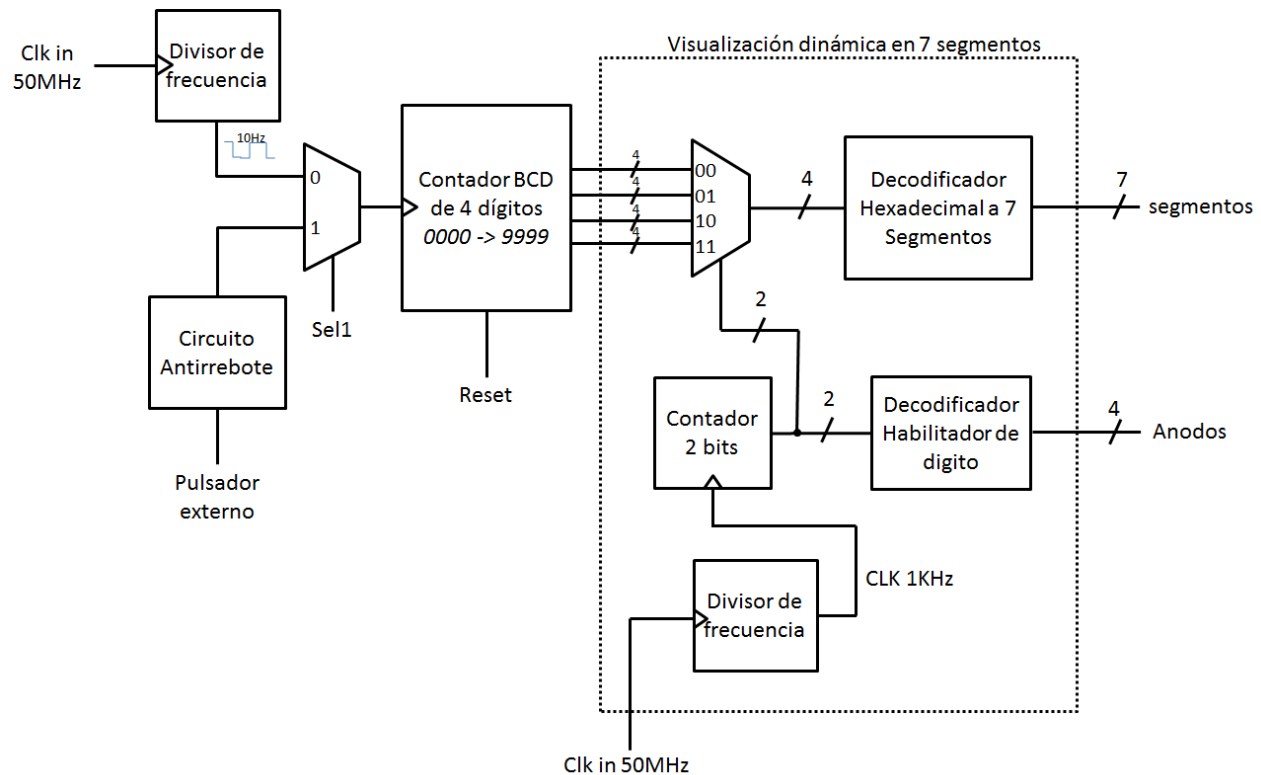


Figura 5: Esquema completo tercera semana

Contador BCD

1. Cálculos y Simulaciones:

- Diseñe un contador BCD de 0 a 9999 cuyas entradas sean una señal de reloj y una señal de *reset*, y sus salidas, cuatro buses de 4 bits cada uno. Cada bus debe corresponder a un dígito del conteo (unidades, decenas, centenas y unidades de mil). Realice una simulación que permita comprobar el conteo completo.

Visualización dinámica

1. Cálculos y Simulaciones:



- Implemente un circuito que permita visualizar cuatro números decimales en un *display* de 7 segmentos simultáneamente. La figura 5 muestra una construcción típica de este circuito encerrada en línea punteada llamada **Visualización dinámica en 7 segmentos**. Analice este circuito, descríballo de manera estructurada y simúlelo.

Circuito Anti-rebote

1. Cálculos y Simulaciones:

- Diseñe un circuito que permita evitar el *efecto de rebote* de cada pulsador que está usando.

Esquema Completo

1. Cálculos y Simulaciones:

- Diseñe los componentes necesarios e implemente el circuito de la figura 5.

2. Pruebas y Resultados:

- Asigne las entradas y salidas del FPGA o CPLD y cargue el diseño.
- Verifique el funcionamiento de su circuito.

Bibliografía

- Digital Design Principles and Practices. Wakerly, John.
- Fundamentos de Sistemas Digitales. Floyd, Thomas.
- Hoja de datos FPGA o CPLD.
- Hoja de datos Tarjeta de Desarrollo.