



**ES8388**

## **Low Power Stereo Audio CODEC With Headphone Amplifier**

---

### **GENERAL DESCRIPTION**

ES8388 is a high performance, low power and low cost audio CODEC. It consists of 2-ch ADC, 2-ch DAC, microphone amplifier, headphone amplifier, digital sound effects, and analog mixing and gain functions.

The device uses advanced multi-bit delta-sigma modulation technique to convert data between digital and analog. The multi-bit delta-sigma modulators make the device with low sensitivity to clock jitter and low out of band noise.

### **FEATURES**

#### *ADC*

- 24-bit, 8 kHz to 96 kHz sampling frequency
- 95 dB dynamic range, 95 dB signal to noise ratio, -85 dB THD+N
- Stereo or mono microphone interface with microphone amplifier
- Auto level control and noise gate
- 2-to-1 analog input selection
- Various analog input mixing and gains

#### *DAC*

- 24-bit, 8 kHz to 96 kHz sampling frequency
- 96 dB dynamic range, 96 dB signal to noise ratio, -83 dB THD+N
- 40 mW headphone amplifier, pop noise free
- Headphone capless mode
- Stereo enhancement
- Bass and Treble
- Various analog output mixing and gains

#### *Low Power*

- 1.8V to 3.3V operation
- 7 mW playback; 16 mW playback and record

#### *System*

- I<sup>2</sup>C or SPI uC interface
- 256Fs, 384Fs, USB 12 MHz or 24 MHz
- Master or slave serial port
- I<sup>2</sup>S, Left Justified, DSP/PCM Mode

### **APPLICATIONS**

- MID
- MP3, MP4, PMP
- Wireless audio
- Digital camera, camcorder
- GPS
- Bluetooth
- Portable audio devices

### **ORDERING INFORMATION**

ES8388 -40°C ~ +85°C  
QFN-28



## 低功耗立体声音频编解码器 集成耳机放大器

### 概述

ES8388是一款高性能、低功耗且成本效益高的音频编解码器。集成了2通道ADC、2通道DAC、麦克风放大器、耳机放大器、数字音效处理以及模拟混音和增益功能。

该器件采用先进的多位 $\Delta$ - $\Sigma$ 调制技术，实现数字信号与模拟信号之间的高精度转换。多位 $\Delta$ - $\Sigma$ 调制器使器件对时钟抖动的敏感度极低，同时有效抑制带外噪声。

### 主要特性

#### ADC

- 24位分辨率，采样频率范围8 kHz至96 kHz
- 95 dB动态范围，95 dB信噪比，-85 dB总谐波失真加噪声（THD+N）
- 支持立体声或单声道麦克风接口，内置麦克风放大器
- 具备自动电平控制和噪声门功能
- 支持2路模拟输入切换
- 多种模拟输入混音及增益调节

#### 数模转换器（DAC）

- 24位分辨率，采样频率范围8 kHz至96 kHz
- 96 dB动态范围，96 dB信噪比，-83 dB总谐波失真加噪声（THD+N）
- 40 mW耳机放大器，消除爆音
- 耳机无电容模式
- 立体声增强
- 低音与高音调节
- 多路模拟输出混合与增益

#### 低功耗设计

- 1.8 V至3.3 V工作电压
- 7 mW播放功耗；16 mW播放及录音功耗

#### 系统

- I<sup>2</sup>C或SPI微控制器接口
- 256Fs, 384Fs, USB 12 MHz或24 MHz时钟
- 主模式或从模式串行接口
- I<sup>2</sup>S接口，左对齐，DSP/PCM模式

### 应用领域

- MID
- MP3, MP4, PMP
- 无线音频
- 数码相机与摄像机
- GPS
- 蓝牙
- 便携式音频设备

### 订购信息

ES8388 -40°C ~ +85°C  
QFN-28

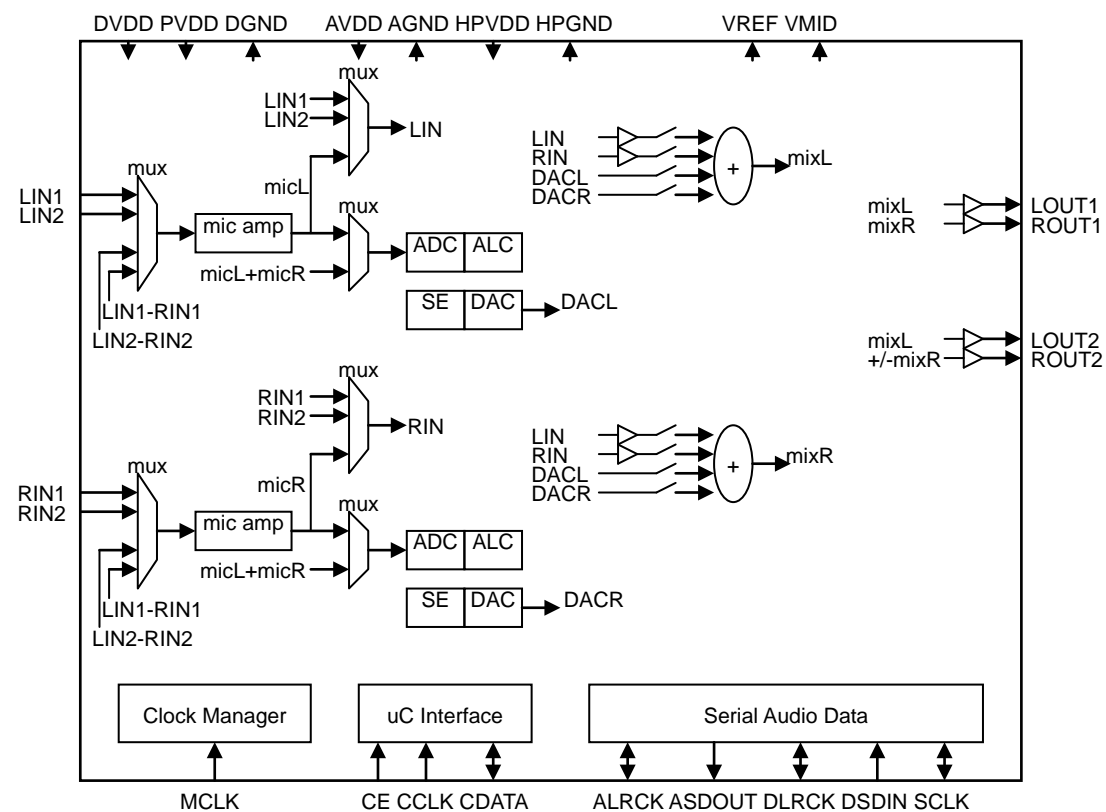
1	BLOCK DIAGRAM.....	4
2	28-PIN QFN AND PIN DESCRIPTIONS.....	5
3	TYPICAL APPLICATION CIRCUIT .....	7
4	CLOCK MODES AND SAMPLING FREQUENCIES.....	7
5	MICRO-CONTROLLER CONFIGURATION INTERFACE .....	9
5.1	SPI .....	9
5.2	2-wire .....	10
6	CONFIGURATION REGISTER DEFINITION .....	11
6.1	Chip Control and Power Management .....	13
6.1.1	Register 0 – Chip Control 1, Default 0000 0110 .....	13
6.1.2	Register 1 – Chip Control 2, Default 0101 1100 .....	13
6.1.3	Register 2 – Chip Power Management, Default 1100 0011 .....	14
6.1.4	Register 3 – ADC Power Management, Default 1111 1100 .....	14
6.1.5	Register 4 – DAC Power Management, Default 1100 0000 .....	15
6.1.6	Register 5 – Chip Low Power 1, Default 0000 0000.....	15
6.1.7	Register 6 – Chip Low Power 2, Default 0000 0000.....	15
6.1.8	Register 7 – Analog Voltage Management, Default 0111 1100....	15
6.1.9	Register 8 – Master Mode Control, Default 1000 0000 .....	16
6.2	ADC Control .....	16
6.2.1	Register 9 – ADC Control 1, Default 0000 0000.....	16
6.2.2	Register 10 – ADC Control 2, Default 0000 0000 .....	17
6.2.3	Register 11 – ADC Control 3, Default 0000 0010 .....	17
6.2.4	Register 12 – ADC Control 4, Default 0000 0000 .....	18
6.2.5	Register 13 – ADC Control 5, Default 0000 0110 .....	18
6.2.6	Register 14 – ADC Control 6, Default 0011 0000 .....	19
6.2.7	Register 15 – ADC Control 7, Default 0010 0000 .....	19
6.2.8	Register 16 – ADC Control 8, Default 1100 0000 .....	19
6.2.9	Register 17 – ADC Control 9, Default 1100 0000 .....	20
6.2.10	Register 18 – ADC Control 10, Default 0011 1000 .....	20
6.2.11	Register 19 – ADC Control 11, Default 1011 0000 .....	20
6.2.12	Register 20 – ADC Control 12, Default 0011 0010 .....	21
6.2.13	Register 21 – ADC Control 13, Default 0000 0110 .....	22
6.2.14	Register 22 – ADC Control 14, Default 0000 0000.....	22
6.3	DAC Control .....	22
6.3.1	Register 23 – DAC Control 1, Default 0000 0000.....	22
6.3.2	Register 24 – DAC Control 2, Default 0000 0110 .....	23
6.3.3	Register 25 – DAC Control 3, Default 0010 0010.....	23
6.3.4	Register 26 – DAC Control 4, Default 1100 0000 .....	24
6.3.5	Register 27 – DAC Control 5, Default 1100 0000 .....	24
6.3.6	Register 28 – DAC Control 6, Default 0000 1000.....	24
6.3.7	Register 29 – DAC Control 7, Default 0000 0000.....	24
6.3.8	Register 30 – DAC Control 8, Default 0001 1111 .....	25
6.3.9	Register 31 – DAC Control 9, Default 1111 0111 .....	25

1	框图.....	4
2	28引脚QFN封装及引脚说明.....	5
3	典型应用电路.....	7
4	时钟模式与采样频率.....	7
5	微控制器配置接口.....	9
5.1	SPI .....	9
5.2	2线制.....	10
6	配置寄存器定义.....	11
6.1	芯片控制与电源管理.....	13
6.1.1	寄存器0 – 芯片控制1, 默认值0000 0110 .....	13
6.1.2	寄存器1 – 芯片控制2, 默认值0101 1100 .....	13
6.1.3	寄存器2 – 芯片电源管理, 默认值1100 0011.....	14
6.1.4	寄存器3 – ADC电源管理, 默认值1111 1100 .....	14
6.1.5	寄存器4 – DAC电源管理, 默认值1100 0000 .....	15
6.1.6	寄存器5 – 芯片低功耗1, 默认值0000 0000.....	15
6.1.7	寄存器6 – 芯片低功耗2, 默认值0000 0000.....	15
6.1.8	寄存器7 – 模拟电压管理, 默认值0111 1100....	15
6.1.9	寄存器8 – 主模式控制, 默认值1000 0000 .....	16
6.2	ADC控制.....	16
6.2.1	寄存器9 – ADC控制1, 默认值0000 0000.....	16
6.2.2	寄存器10 – ADC控制2, 默认值0000 0000.....	17
6.2.3	寄存器11 – ADC控制3, 默认值0000 0010 .....	17
6.2.4	寄存器12 – ADC控制4, 默认值0000 0000.....	18
6.2.5	寄存器13 – ADC控制5, 默认值0000 0110 .....	18
6.2.6	寄存器14 – ADC控制6, 默认值0011 0000 .....	19
6.2.7	寄存器15 – ADC控制7, 默认值0010 0000.....	19
6.2.8	寄存器16 – ADC控制8, 默认值1100 0000 .....	19
6.2.9	寄存器17 – ADC控制9, 默认值1100 0000 .....	20
6.2.10	寄存器18 – ADC控制10, 默认值 0011 1000 .....	20
6.2.11	寄存器19 – ADC控制11, 默认值 1011 0000 .....	20
6.2.12	寄存器20 – ADC控制12, 默认值 0011 0010 .....	21
6.2.13	寄存器21 – ADC控制13, 默认值 0000 0110 .....	22
6.2.14	寄存器22 – ADC控制14, 默认值 0000 0000.....	22
6.3	DAC控制.....	22
6.3.1	寄存器23 – DAC控制1, 默认值 0000 0000.....	22
6.3.2	寄存器24 – DAC控制2, 默认值 0000 0110.....	23
6.3.3	寄存器25 – DAC控制3, 默认值 0010 0010.....	23
6.3.4	寄存器26 – DAC控制4, 默认值 1100 0000.....	24
6.3.5	寄存器27 – DAC控制5, 默认值 1100 0000.....	24
6.3.6	寄存器28 – DAC控制6, 默认值 0000 1000.....	24
6.3.7	寄存器29 – DAC控制7, 默认值 0000 0000.....	24
6.3.8	寄存器30 – DAC控制8, 默认值 0001 1111 .....	25
6.3.9	寄存器31 – DAC控制9, 默认值 1111 0111 .....	25

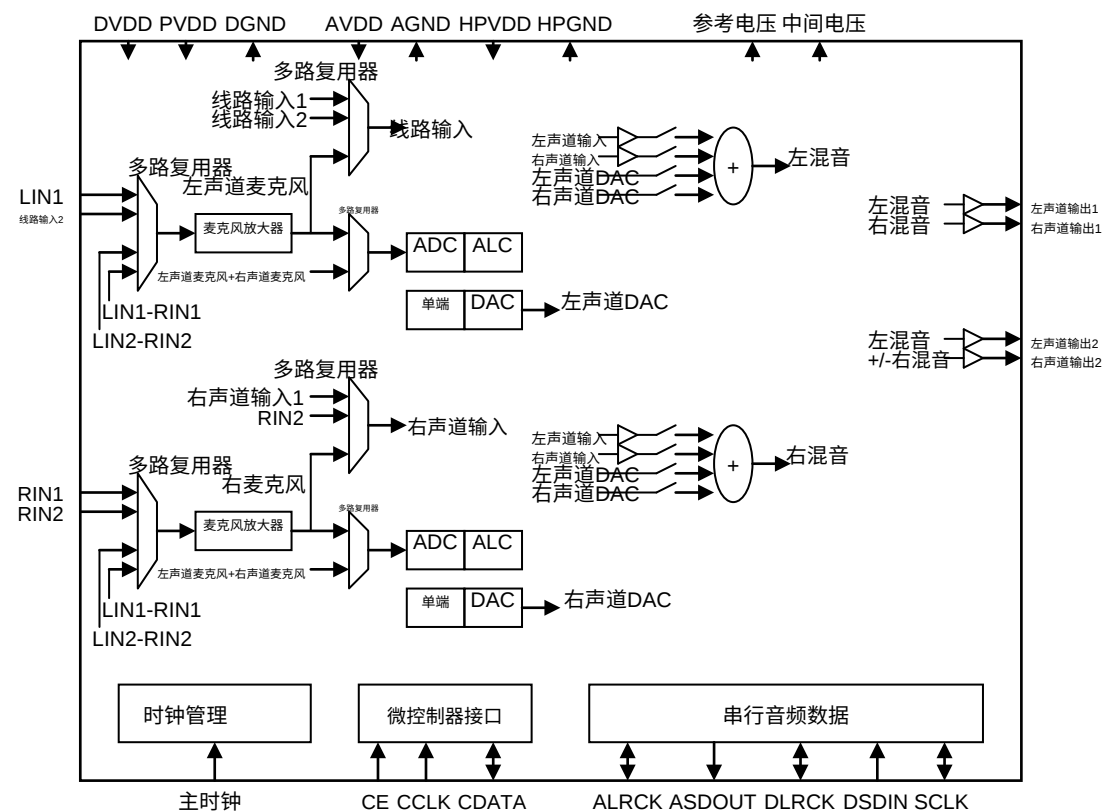
6.3.10	Register 32 – DAC Control 10, Default 1111 1101 .....	25
6.3.11	Register 33 – DAC Control 11, Default 1111 1111 .....	25
6.3.12	Register 34 – DAC Control 12, Default 0001 1111 .....	25
6.3.13	Register 35 – DAC Control 13, Default 1111 0111 .....	25
6.3.14	Register 36 – DAC Control 14, Default 1111 1101 .....	25
6.3.15	Register 37 – DAC Control 15, Default 1111 1111 .....	26
6.3.16	Register 38 – DAC Control 16, Default 0000 0000 .....	26
6.3.17	Register 39 – DAC Control 17, Default 0011 1000 .....	26
6.3.18	Register 40 – DAC Control 18, Default 0010 1000 .....	26
6.3.19	Register 41 – DAC Control 19, Default 0010 1000 .....	26
6.3.20	Register 42 – DAC Control 20, Default 0011 1000 .....	26
6.3.21	Register 43 – DAC Control 21, Default 0000 0000 .....	27
6.3.22	Register 44 – DAC Control 22, Default 0000 0000 .....	27
6.3.23	Register 45 – DAC Control 23, Default 0000 0000 .....	27
6.3.24	Register 46 – DAC Control 24, Default 0000 0000 .....	27
6.3.25	Register 47 – DAC Control 25, Default 0000 0000 .....	28
6.3.26	Register 48 – DAC Control 26, Default 0000 0000 .....	28
6.3.27	Register 49 – DAC Control 27, Default 0000 0000 .....	28
6.3.28	Register 50 – DAC Control 28, Default 0000 0000 .....	29
6.3.29	Register 51 – DAC Control 29, Default 1010 1010 .....	29
6.3.30	Register 52 – DAC Control 30, Default 1010 1010 .....	29
7	Digital Audio Interface .....	29
8	ELECTRICAL CHARACTERISTICS .....	30
8.1	Absolute Maximum Ratings .....	30
8.2	Recommended Operating Conditions .....	31
8.3	ADC Analog and Filter Characteristics and Specifications .....	31
8.4	DAC Analog and Filter Characteristics and Specifications .....	31
8.5	Power Consumption Characteristics .....	32
8.6	Serial Audio Port Switching Specifications .....	32
8.7	Serial Control Port Switching Specifications .....	34
9	PACKAGE INFORMATION .....	35
10	CORPOARATION INFORMATION .....	36

6.3.10	寄存器32 – DAC控制10, 默认值 1111 1101.....	25
6.3.11	寄存器33 – DAC控制11, 默认值 1111 1111 .....	25
6.3.12	寄存器34 – DAC控制12, 默认值 0001 1111 .....	25
6.3.13	寄存器35 – DAC控制13, 默认值 1111 0111 .....	25
6.3.14	寄存器36 – DAC控制14, 默认值 1111 1101.....	25
6.3.15	寄存器37 – DAC控制15, 默认值 1111 1111 .....	26
6.3.16	寄存器38 – DAC控制16, 默认值 0000 0000.....	26
6.3.17	寄存器39 – DAC控制17, 默认值 0011 1000.....	26
6.3.18	寄存器40 – DAC控制18, 默认值 0010 1000.....	26
6.3.19	寄存器41 – DAC控制19, 默认值 0010 1000.....	26
6.3.20	寄存器 42 – DAC控制 20, 默认值 0011 1000.....	26
6.3.21	寄存器 43 – DAC控制 21, 默认值 0000 0000.....	27
6.3.22	寄存器 44 – DAC控制 22, 默认值 0000 0000.....	27
6.3.23	寄存器 45 – DAC控制 23, 默认值 0000 0000.....	27
6.3.24	寄存器 46 – DAC控制 24, 默认值 0000 0000.....	27
6.3.25	寄存器 47 – DAC控制 25, 默认值 0000 0000.....	28
6.3.26	寄存器 48 – DAC控制 26, 默认值 0000 0000.....	28
6.3.27	寄存器 49 – DAC控制 27, 默认值 0000 0000.....	28
6.3.28	寄存器 50 – DAC控制 28, 默认值 0000 0000.....	29
6.3.29	寄存器 51 – DAC控制 29, 默认值 1010 1010.....	29
6.3.30	寄存器 52 – DAC控制 30, 默认值 1010 1010.....	29
7	数字音频接口.....	29
8	电气特性.....	30
8.1	绝对最大额定值.....	30
8.2	推荐工作条件.....	31
8.3	ADC模拟及滤波器特性与规格.....	31
8.4	DAC模拟及滤波器特性与规格.....	31
8.5	功耗特性.....	32
8.6	串行音频接口切换规格.....	32
8.7	串行控制接口切换规格.....	34
9	封装信息.....	35
10	公司信息.....	36

## 1 BLOCK DIAGRAM



## 1 方框图

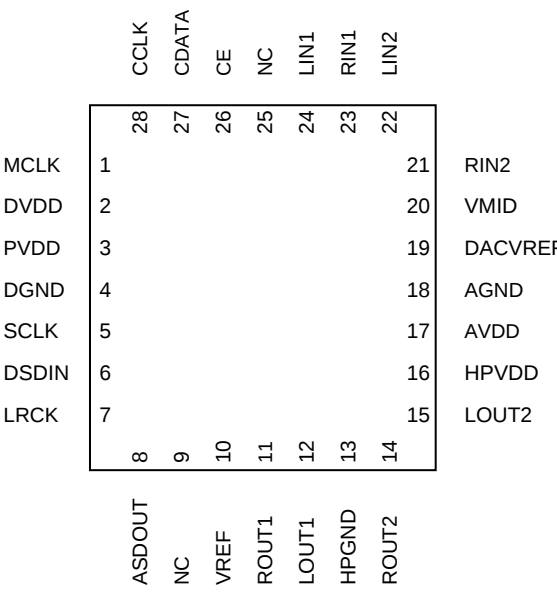




## 2 28-PIN QFN AND PIN DESCRIPTIONS

		CCLK	CDATA	CE	NC	LIN1	RIN1	LIN2		
		28	27	26	25	24	23	22		
MCLK	1								21	RIN2
DVDD	2								20	VMID
PVDD	3								19	DACVREF
DGND	4								18	AGND
SCLK	5								17	AVDD
DSDIN	6								16	HPVDD
LRCK	7								15	LOUT2
	8								14	
		ASDOUT	NC	VREF	ROUT1	LOUT1	HPGND	ROUT2		

2 28引脚QFN封装及引脚功能说明



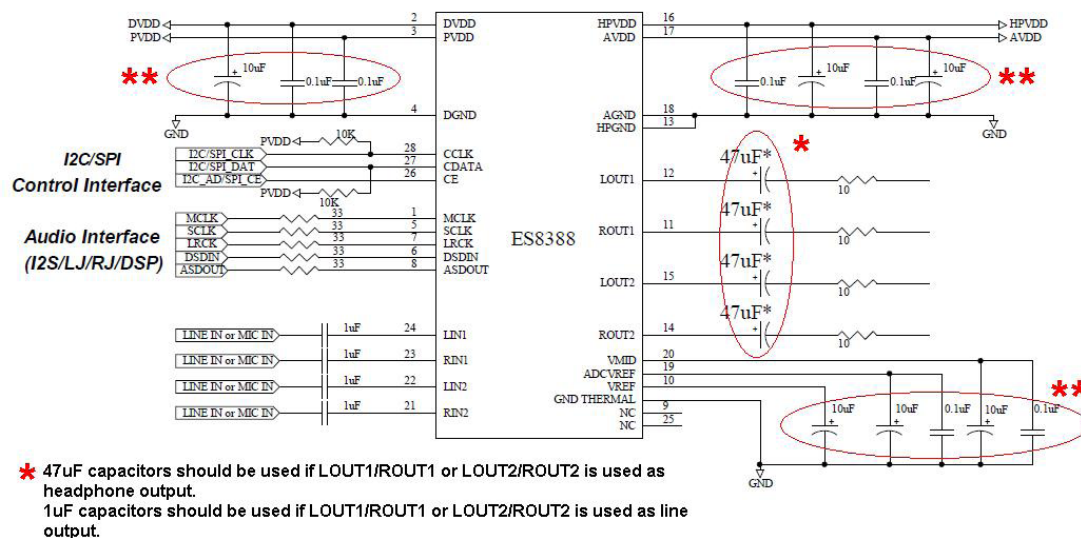
ES8388 is pin and size compatible to WM8988.

PIN	NAME	I/O	DESCRIPTION
1	MCLK	I	Master clock
2	DVDD	Supply	Digital core supply
3	PVDD	Supply	Digital IO supply
4	DGND	Supply	Digital ground (return path for both DVDD and PVDD)
5	SCLK	I/O	Audio data bit clock
6	DSDIN	I	DAC audio data
7	LRCK	I/O	Audio data left and right clock
8	ASDOUT	O	ADC audio data
9	NC		No connect
10	VREF	O	Decoupling capacitor
11	ROUT1	O	Right output 1 (line or speaker/headphone)
12	LOUT1	O	Left output 1 (line or speaker/headphone)
13	HPGND	Supply	Ground for analog output drivers (LOUT1/2, ROUT1/2)
14	ROUT2	O	Right output 2 (line or speaker/headphone)
15	LOUT2	O	Left output 2 (line or speaker/headphone)
16	HPVDD	Supply	Supply for analog output drivers (LOUT1/2, ROUT1/2)
17	AVDD	Supply	Analog supply
18	AGND	Supply	Analog ground
19	ADCVREF	O	Decoupling capacitor
20	VMID	O	Decoupling capacitor
21	RIN2	AI	Right channel input 2
22	LIN2	I	Left channel input 2
23	RIN1	I	Right channel input 1
24	LIN1	I	Left channel input 1
25	NC		No connect
26	CE	I	Control select or device address selection
27	CDATA	I/O	Control data input or output
28	CCLK	I	Control clock input

ES8388与WM8988在引脚和尺寸上兼容。

引脚	名称	输入/输出端口	产品描述
1	主时钟	I	主时钟信号
2	DVDD	电源	数字核心电源
3	PVDD	电源	数字IO电源
4	DGND	电源	数字地（DVDD和PVDD的公共回流路径）
5	SCLK	输入/输出端口	音频数据位时钟信号
6	DSDIN	I	DAC音频数据
7	LRCK	输入/输出端口	音频数据左右声道时钟信号
8	ASDOUT	O	ADC音频数据
9	NC		无连接
10	参考电压	O	去耦电容
11	右声道输出1	O	右声道输出1（线路或扬声器/耳机）
12	左声道输出1	O	左声道输出1（线路或扬声器/耳机）
13	耳机地	电源	模拟输出驱动地（LOUT1/2, ROUT1/2）
14	右声道输出2	O	右声道输出2（线路或扬声器/耳机）
15	左声道输出2	O	左声道输出2（线路或扬声器/耳机）
16	耳机电源	电源	模拟输出驱动电源（LOUT1/2, ROUT1/2）
17	模拟电源	电源	模拟电源
18	模拟地	电源	模拟地
19	ADCVREF	O	去耦电容
20	VMID	O	去耦电容
21	RIN2	AI	右声道输入2
22	线路输入2	I	左声道输入2
23	RIN1	I	右声道输入1
24	LIN1	I	左声道输入1
25	NC		无连接
26	CE	I	控制选择或设备地址选择
27	CDATA	输入/输出端口	控制数据输入或输出
28	CCLK	I	控制时钟输入

### 3 TYPICAL APPLICATION CIRCUIT



**\*\*** For best performance, the decoupling and filter capacitors should be located as close to the device package as possible.

### 4 CLOCK MODES AND SAMPLING FREQUENCIES

According to the input serial audio data sampling frequency, the device can work in two speed modes: single speed or double speed. The ranges of the sampling frequency in these two modes are listed in Table 1. The device can work either in master clock mode or slave clock mode.

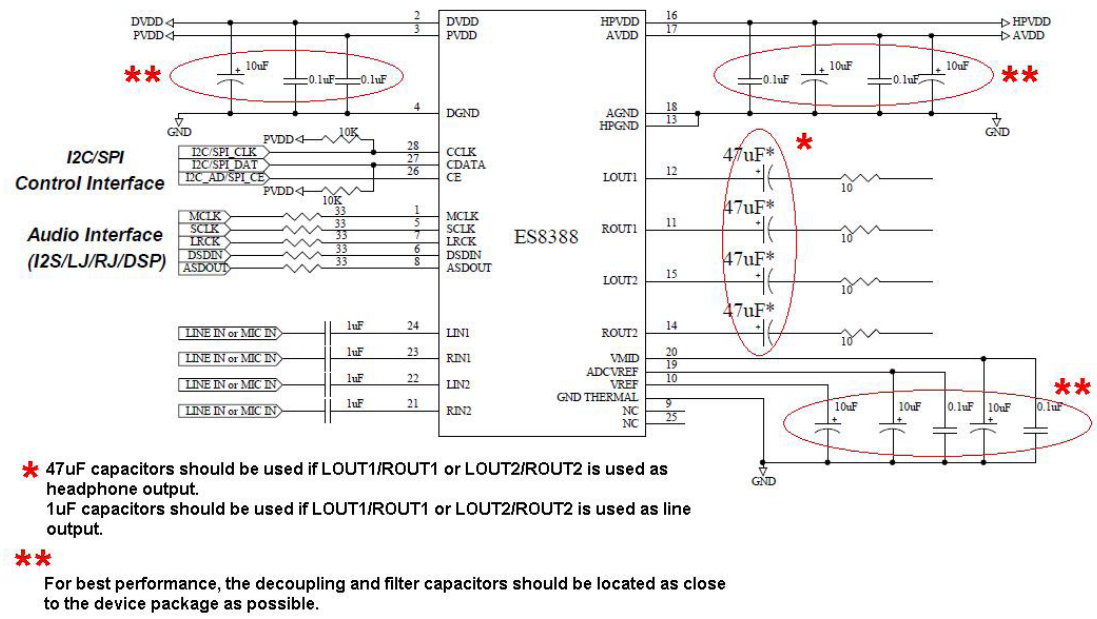
In slave mode, LRCK and SCLK are supplied externally. LRCK and SCLK must be synchronously derived from the system clock with specific rates. The device can auto detect MCLK/LRCK ratio according to Table 1. The device only supports the MCLK/LRCK ratios listed in Table 1. The LRCK/SCLK ratio is normally 64.

Table 1 Slave Mode Sampling Frequencies and MCLK/LRCK Ratio

Speed Mode	Sampling Frequency	MCLK/LRCK Ratio
Single Speed	8kHz – 50kHz	256, 384, 512, 768, 1024
Double Speed	50kHz – 100kHz	128, 192, 256, 384, 512

In master mode, LRCK and SCLK are derived internally from MCLK. The available MCLK/LRCK ratios and SCLK/LRCK ratios are listed in Table 2.

3 典型应用电路



4 时钟模式与采样频率 根据输入串行音频数据的采样频率，器件

可在单速或双速两种速率模式下工作。这两种模式下的采样频率范围列于表1。器件可工作于主时钟模式或从时钟模式。

在从模式下，LRCK和SCLK由外部提供。LRCK 和 SCLK 必须从具有特定频率的系统时钟同步派生。器件可根据表 1 自动检测 MCLK/LRCK 比率。器件仅支持表 1 中列出的 MCLK/LRCK 比率。LRCK 与 SCLK 的比率通常为 64。

表 1 从模式采样频率及 MCLK/LRCK 比率

速率模式	采样频率	MCLK/LRCK 比率
单速率	8kHz – 50kHz	256, 384, 512, 768, 1024
双速率	50kHz – 100kHz	128, 192, 256, 384, 512

在主模式下，LRCK 和 SCLK 由 MCLK 内部派生。可用的 MCLK/LRCK 比率及 SCLK/LRCK 比率列于表 2。

Table 2 Master Mode Sampling Frequencies and MCLK/LRCK Ratio

MCLK CLKDIV2=0	MCLK CLKDIV2=1	ADC Sample Rate (ALRCK)	ADCFsRatio [4:0]	DAC Sample Rate (DLRCK)	DACFsRatio [4:0]	SCLK Ratio
Normal Mode						
12.288 MHz	24.576MHz	8 kHz (MCLK/1536)	01010	8 kHz (MCLK/1536)	01010	MCLK/6
		8 kHz (MCLK/1536)	01010	48 kHz (MCLK/256)	00010	MCLK/4
		12 kHz (MCLK/1024)	00111	12 kHz (MCLK/1024)	00111	MCLK/4
		16 kHz (MCLK/768)	00110	16 kHz (MCLK/768)	00110	MCLK/6
		24 kHz (MCLK/512)	00100	24 kHz (MCLK/512)	00100	MCLK/4
		32 kHz (MCLK/384)	00011	32 kHz (MCLK/384)	00011	MCLK/6
		48 kHz (MCLK/256)	00010	8 kHz (MCLK/1536)	01010	MCLK/4
		48 kHz (MCLK/256)	00010	48 kHz (MCLK/256)	00010	MCLK/4
		96 kHz (MCLK/128)	00000	96 kHz (MCLK/128)	00000	MCLK/2
11.2896 MHz	22.5792MHz	8.0182 kHz (MCLK/1408)	01001	8.0182 kHz (MCLK/1408)	01001	MCLK/4
		8.0182 kHz (MCLK/1408)	01001	44.1 kHz (MCLK/256)	00010	MCLK/4
		11.025 kHz (MCLK/1024)	00111	11.025 kHz (MCLK/1024)	00111	MCLK/4
		22.05 kHz (MCLK/512)	00100	22.05 kHz (MCLK/512)	00100	MCLK/4
		44.1 kHz (MCLK/256)	00010	8.0182 kHz (MCLK/1408)	01001	MCLK/4
		44.1 kHz (MCLK/256)	00010	44.1 kHz (MCLK/256)	00010	MCLK/4
		88.2 kHz (MCLK/128)	00000	88.2 kHz (MCLK/128)	00000	MCLK/2
18.432 MHz	36.864MHz	8 kHz (MCLK/2304)	01100	8 kHz (MCLK/2304)	01100	MCLK/6
		8 kHz (MCLK/2304)	01100	48 kHz (MCLK/384)	00011	MCLK/6
		12 kHz (MCLK/1536)	01010	12 kHz (MCLK/1536)	01010	MCLK/6
		16 kHz (MCLK/1152)	01000	16 kHz (MCLK/1152)	01000	MCLK/6
		24 kHz (MCLK/768)	00110	24 kHz (MCLK/768)	00110	MCLK/6
		32 kHz (MCLK/576)	00101	32 kHz (MCLK/576)	00101	MCLK/6
		48 kHz (MCLK/384)	00011	8 kHz (MCLK/2304)	01100	MCLK/6
		48 kHz (MCLK/384)	00011	48 kHz (MCLK/384)	00011	MCLK/6
		96 kHz (MCLK/192)	00001	96 kHz (MCLK/192)	00001	MCLK/3
16.9344 MHz	33.8688MHz	8.0182 kHz (MCLK/2112)	01011	8.0182 kHz (MCLK/2112)	01011	MCLK/6
		8.0182 kHz (MCLK/2112)	01011	44.1 kHz (MCLK/384)	00011	MCLK/6
		11.025 kHz (MCLK/1536)	01010	11.025 kHz (MCLK/1536)	01010	MCLK/6
		22.05 kHz (MCLK/768)	00110	22.05 kHz (MCLK/768)	00110	MCLK/6
		44.1 kHz (MCLK/384)	00011	8.0182 kHz (MCLK/2112)	01011	MCLK/6
		44.1 kHz (MCLK/384)	00011	44.1 kHz (MCLK/384)	00011	MCLK/6
		88.2 kHz (MCLK/192)	00001	88.2 kHz (MCLK/192)	00001	MCLK/3
USB Mode						
12 MHz	24MHz	8 kHz (MCLK/1500)	11011	8 kHz (MCLK/1500)	11011	MCLK
		8 kHz (MCLK/1500)	11011	48 kHz (MCLK/250)	10010	MCLK
		8.0214 kHz (MCLK/1496)	11010	8.0214 kHz (MCLK/1496)	11010	MCLK
		8.0214 kHz (MCLK/1496)	11010	44.118 kHz (MCLK/272)	10011	MCLK

表 2 主模式采样频率及 MCLK/LRCK 比率

MCLK CLKDIV2=0	MCLK CLKDIV2=1	ADC 采样率 (ALRCK)	ADCFsRatio [4:0]	DAC采样率 (DLRCK)	DAC采样频率比 [4:0]	SCLK 比率
正常模式						
12.288 MHz	24.576MHz	8 kHz (MCLK/1536)	01010	8 kHz (MCLK/1536)	01010	MCLK/6
		8 kHz (MCLK/1536)	01010	48 kHz (MCLK/256)	00010	MCLK/4
		12 kHz (MCLK/1024)	00111	12 kHz (MCLK/1024)	00111	MCLK/4
		16 kHz (MCLK/768)	00110	16 kHz (MCLK/768)	00110	MCLK/6
		24 kHz (MCLK/512)	00100	24 kHz (MCLK/512)	00100	MCLK/4
		32 kHz (MCLK/384)	00011	32 kHz (MCLK/384)	00011	MCLK/6
		48 kHz (MCLK/256)	00010	8 kHz (MCLK/1536)	01010	MCLK/4
		48 kHz (MCLK/256)	00010	48 kHz (MCLK/256)	00010	MCLK/4
		96 kHz (MCLK/128)	00000	96 kHz (MCLK/128)	00000	MCLK/2
11.2896 MHz	22.5792MHz	8.0182 kHz (MCLK ÷ 1408)	01001	8.0182 kHz (MCLK ÷ 1408)	01001	MCLK/4
		8.0182 kHz (MCLK ÷ 1408)	01001	44.1 kHz (MCLK ÷ 256)	00010	MCLK/4
		11.025 kHz (MCLK ÷ 1024)	00111	11.025 kHz (MCLK ÷ 1024)	00111	MCLK/4
		22.05 kHz (MCLK ÷ 512)	00100	22.05 kHz (MCLK ÷ 512)	00100	MCLK/4
		44.1 kHz (MCLK ÷ 256)	00010	8.0182 kHz (MCLK ÷ 1408)	01001	MCLK/4
		44.1 kHz (MCLK ÷ 256)	00010	44.1 kHz (MCLK ÷ 256)	00010	MCLK/4
		88.2 kHz (MCLK ÷ 128)	00000	88.2 kHz (MCLK ÷ 128)	00000	MCLK/2
18.432 MHz	36.864MHz	8 kHz (MCLK ÷ 2304)	01100	8 kHz (MCLK ÷ 2304)	01100	MCLK/6
		8 kHz (MCLK ÷ 2304)	01100	48 kHz (MCLK ÷ 384)	00011	MCLK/6
		12 kHz (MCLK ÷ 1536)	01010	12 kHz (MCLK ÷ 1536)	01010	MCLK/6
		16 kHz (MCLK ÷ 1152)	01000	16 kHz (MCLK ÷ 1152)	01000	MCLK/6
		24 kHz (MCLK ÷ 768)	00110	24 kHz (MCLK ÷ 768)	00110	MCLK/6
		32 kHz (MCLK ÷ 576)	00101	32 kHz (MCLK ÷ 576)	00101	MCLK/6
		48 kHz (MCLK ÷ 384)	00011	8 kHz (MCLK ÷ 2304)	01100	MCLK/6
		48 kHz (MCLK ÷ 384)	00011	48 kHz (MCLK ÷ 384)	00011	MCLK/6
		96 kHz (MCLK ÷ 192)	00001	96 kHz (MCLK ÷ 192)	00001	MCLK ÷ 3
16.9344 MHz	33.8688MHz	8.0182 kHz (MCLK ÷ 2112)	01011	8.0182 kHz (MCLK ÷ 2112)	01011	MCLK/6
		8.0182 kHz (MCLK ÷ 2112)	01011	44.1 kHz (MCLK/384)	00011	MCLK/6
		11.025 kHz (MCLK/1536)	01010	11.025 kHz (MCLK/1536)	01010	MCLK/6
		22.05 kHz (MCLK/768)	00110	22.05 kHz (MCLK/768)	00110	MCLK/6
		44.1 kHz (MCLK/384)	00011	8.0182 kHz (MCLK ÷ 2112)	01011	MCLK/6
		44.1 kHz (MCLK/384)	00011	44.1 kHz (MCLK/384)	00011	MCLK/6
		88.2 kHz (MCLK/192)	00001	88.2 kHz (MCLK/192)	00001	MCLK ÷ 3
USB 模式						
12 MHz	24MHz	8 kHz (MCLK/1500)	11011	8 kHz (MCLK/1500)	11011	主时钟
		8 kHz (MCLK/1500)	11011	48 kHz (MCLK/250)	10010	主时钟
		8.0214 kHz (MCLK/1496)	11010	8.0214 kHz (MCLK/1496)	11010	主时钟
		8.0214 kHz (MCLK/1496)	11010	44.118 kHz (MCLK/272)	10011	主时钟



		11.0259 kHz (MCLK/1088)	11001	11.0259 kHz (MCLK/1088)	11001	MCLK
		12 kHz (MCLK/1000)	11000	12 kHz (MCLK/1000)	11000	MCLK
		16 kHz (MCLK/750)	10111	16 kHz (MCLK/750)	10111	MCLK
		22.0588 kHz (MCLK/544)	10110	22.0588 kHz (MCLK/544)	10110	MCLK
		24 kHz (MCLK/500)	10101	24 kHz (MCLK/500)	10101	MCLK
		32 kHz (MCLK/375)	10100*	32 kHz (MCLK/375)	10100*	MCLK
		44.118 kHz (MCLK/272)	10011	8.0214 kHz (MCLK/1496)	11010	MCLK
		44.118 kHz (MCLK/272)	10011	44.118 kHz (MCLK/272)	10011	MCLK
		48 kHz (MCLK/250)	10010	8 kHz (MCLK/1500)	11011	MCLK
		48 kHz (MCLK/250)	10010	48 kHz (MCLK/250)	10010	MCLK
		88.235 kHz (MCLK/136)	10001	88.235 kHz (MCLK/136)	10001	MCLK
		96 kHz (MCLK/125)	10000	96 kHz (MCLK/125)	10000	MCLK

## 5 MICRO-CONTROLLER CONFIGURATION INTERFACE

The device supports standard SPI and 2-wire micro-controller configuration interface. External micro-controller can completely configure the device through writing to internal configuration registers. Please see section 8 for the details of configuration register definition.

The identical device pins are used to configure either SPI or 2-wire interface. In SPI mode, pin CE, CCLK and CDATA function as SPI\_CS<sub>n</sub>, SPI\_CLK and SPI\_DIN. In 2-wire mode, pin CE, CCLK and CDATA function as AD<sub>0</sub>, SCL and SDA. To select SPI mode, apply high to low transition signal to CE pin. Otherwise the device will operate in 2-wire interface mode.

### 5.1 SPI

ES8388 has a SPI (Serial Peripheral Interface) compliant synchronous serial slave controller inside the chip. It provides the ability to allow the external master SPI controller to access the internal registers, and thus control the operations of chip.

All lines on the SPI bus are unidirectional: The SPI\_CLK is generated by the master controller and is primarily used to synchronize data transfer, the SPI\_DIN line carries data from the master to the slave; SPI\_CS<sub>n</sub> is generated by the master to select ES8388.

The timing diagram of this interface is given in Figure 1. The high to low transition at SPI\_CS<sub>n</sub> pin indicates the SPI interface selected. Each write procedure contains 3 words, i.e. Chip Address plus R/W bit, internal register address and internal register data. Every word length is fixed at 8 bits. The input SPI\_DIN data are sampled at the rising edge of SPI\_CLK clock. The

	11.0259 kHz (MCLK 除以 1088)	11001	11.0259 kHz (MCLK 除以 1088)	11001	主时钟
	12 kHz (MCLK/1000)	11000	12 kHz (MCLK/1000)	11000	主时钟
	16 kHz (MCLK/750)	10111	16 kHz (MCLK/750)	10111	主时钟
	22.0588 kHz (MCLK/544)	10110	22.0588 kHz (MCLK/544)	10110	主时钟
	24 kHz (MCLK/500)	10101	24 kHz (MCLK/500)	10101	主时钟
	32 kHz (MCLK/375)	10100*	32 kHz (MCLK/375)	10100*	主时钟
	44.118 kHz (MCLK/272)	10011	8.0214 kHz (MCLK/1496)	11010	主时钟
	44.118 kHz (MCLK/272)	10011	44.118 kHz (MCLK/272)	10011	主时钟
	48 kHz (MCLK/250)	10010	8 kHz (MCLK/1500)	11011	主时钟
	48 kHz (MCLK/250)	10010	48 kHz (MCLK/250)	10010	主时钟
	88.235 kHz (MCLK/136)	10001	88.235 kHz (MCLK/136)	10001	主时钟
	96 kHz (MCLK/125)	10000	96 kHz (MCLK/125)	10000	主时钟

## 5 微控制器配置接口 本器件支持标准SPI和2线制微控制器配置接口。

外部微控制器可通过写入内部配置寄存器对器件进行完整配置。有关配置寄存器定义的详细信息，请参见第8节。

相同的器件引脚用于配置SPI或2线制接口。在SPI模式下，CE、CCLK和CDAT A引脚分别作为SPI\_CS<sub>n</sub>、SPI\_CLK和SPI\_DIN。在2线制模式下，CE、CCLK和CDATA引脚分别作为AD0、SCL和SDA。选择SPI模式时，应对CE引脚施加高到低的跳变信号，否则器件将工作于2线制接口模式。

### 5.1 SPI

ES8388内部集成了符合SPI（串行外设接口）规范的同步串行从机控制器。该控制器允许外部主SPI控制器访问内部寄存器，从而实现对芯片操作的控制。

SPI总线上的所有信号线均为单向：SPI\_CLK由主控产生，主要用于同步数据传输，SPI\_DIN线传输主控到从机的数据；SPI\_CS<sub>n</sub>由主控产生，用于选择ES8388芯片。

该接口的时序图见图1。SPI\_CS<sub>n</sub>引脚由高电平跳变至低电平表示SPI接口被选中。每次写操作包含3个字节，即芯片地址加读/写位、内部寄存器地址和内部寄存器数据。每个字节长度固定为8位。输入的SPI\_DIN数据在SPI\_CLK时钟的上升沿采样。

MSB bit in each word is transferred firstly. The transfer rate can be up to 10M bps.

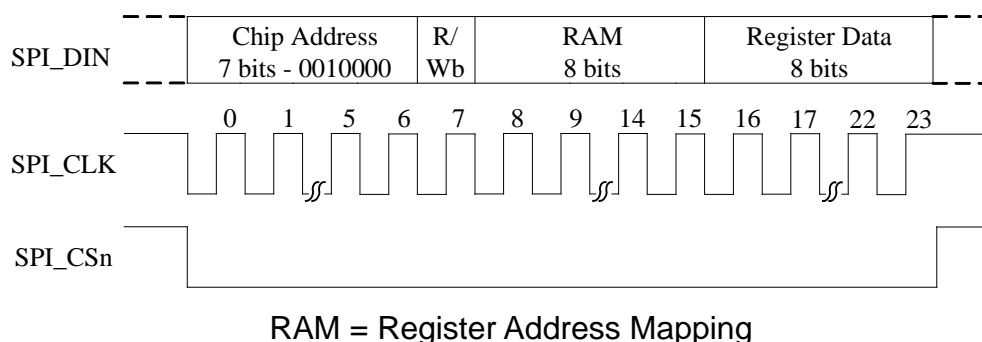


Figure 1 SPI Configuration Interface Timing Diagram

## 5.2 2-wire

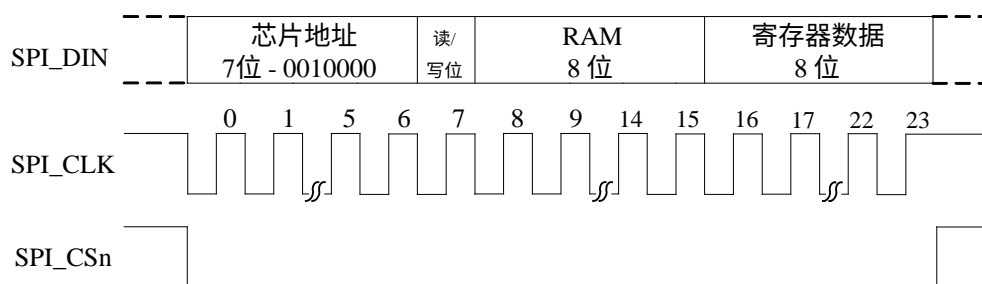
The device supports standard 2-wire micro-controller configuration interface. External micro-controller can completely configure the device through writing to internal configuration registers.

2-wire interface is a bi-directional serial bus that uses a serial data line (SDA) and a serial clock line (SCL) for data transfer. The timing diagram for data transfer of this interface is given in Figure 2a and Figure 2b. Data are transmitted synchronously to SCL clock on the SDA line on a byte-by-byte basis. Each bit in a byte is sampled during SCL high with MSB bit being transmitted firstly. Each transferred byte is followed by an acknowledge bit from receiver to pull the SDA low. The transfer rate of this interface can be up to 400 kbps.

A master controller initiates the transmission by sending a “start” signal, which is defined as a high-to-low transition at SDA while SCL is high. The first byte transferred is the slave address. It is a seven-bit chip address followed by a RW bit. The chip address must be 001000x, where x equals AD0. The RW bit indicates the slave data transfer direction. Once an acknowledge bit is received, the data transfer starts to proceed on a byte-by-byte basis in the direction specified by the RW bit. The master can terminate the communication by generating a “stop” signal, which is defined as a low-to-high transition at SDA while SCL is high.

In 2-wire interface mode, the registers can be written and read. The formats of “write” and “read” instructions are shown in Table 1 and Table 2. Please note that, to read data from a register, you must set R/W bit to 0 to access the register address and then set R/W to 1 to read data from the register.

每个字节的最高有效位（MSB）先传输。传输速率最高可达 10M bps。



RAM = 寄存器地址映射

图1 SPI配置接口时序图

## 5.2 2线制接口

该器件支持标准2线制微控制器配置接口。

外部微控制器可通过写入内部配置寄存器，完成对器件的全面配置。

2线制接口是一种双向串行总线，采用串行数据线（SDA）和串行时钟线（SCL）进行数据传输。该接口的数据传输时序图见图2a和图2b。数据在SDA线上按字节同步于SCL时钟信号传输。字节中的每个位在SCL高电平期间采样，最高有效位（MSB）先行传输。每传输完一个字节后，接收方通过拉低SDA线发送应答位。该接口的最大传输速率可达400 kbps。

主控制器通过发送“起始”信号启动传输，该信号定义为SCL高电平期间SDA线由高电平跳变至低电平。传输的第一个字节为从机地址。该地址为七位芯片地址，后接一个读写（RW）位。芯片地址必须为001000x，其中x对应AD0引脚状态。RW位指示从机数据传输的方向。一旦接收到应答位，数据传输将按照RW位指定的方向逐字节进行。主机可通过产生“停止”信号终止通信，该信号定义为SCL为高电平时，SDA由低电平跳变至高电平。

在2线制接口模式下，寄存器支持读写操作。“写入”和“读取”指令的格式详见表1和表2。请注意，读取寄存器数据时，必须先将R/W位设置为0以访问寄存器地址，然后再将R/W位设置为1以读取寄存器数据。

Table 3 Write Data to Register in 2-wire Interface Mode

	Chip Address		R/W		Register Address		Data to be written		
start	001000	AD0	0	ACK	RAM	ACK	DATA	ACK	Stop

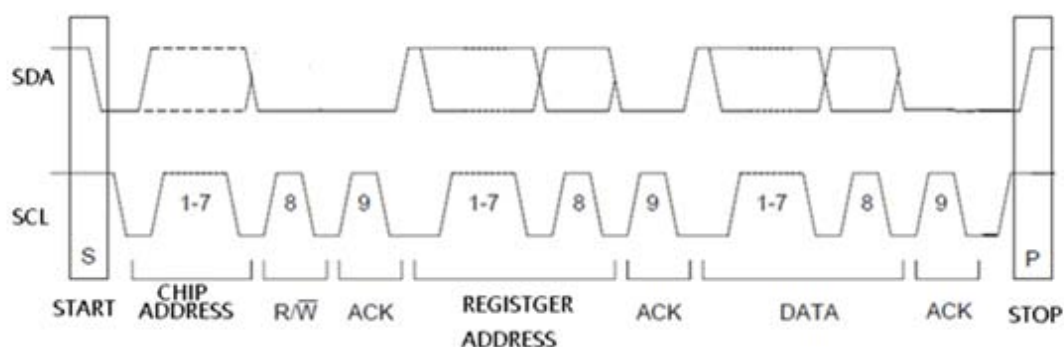


Figure 2a 2-wire Write Timing

Table 4 Read Data from Register in 2-wire Interface Mode

	Chip Address		R/W		Register Address		
Start	001000	AD0	0	ACK	RAM	ACK	
	Chip Address		R/W		Data to be read		
Start	001000	AD0	1	ACK	Data	NACK	Stop

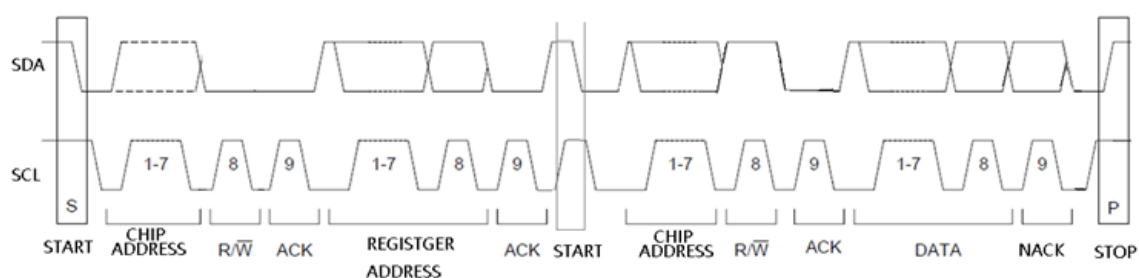


Figure 2b 2-wire Read Timing

## 6 CONFIGURATION REGISTER DEFINITION

SPI and 2-wire configuration interface share the same registers because there is only one interface active at any time. There are total of 53 user programmable 8-bit registers in this device. These registers control the operations of ADC and DAC. External master controller can access these registers by using the slave address specified in RAM (Register Address Map) register as shown in the Table 5.

Table 5 Bit Content of Register Address Map

	B7	B6	B5	B4	B3	B2	B1	B0
Reg. 00	SCPRReset	LRCM	DACMCLK	SameFs	SeqEn	EnRef	VMIDSEL	
Reg. 01			LPVcmMod	LPVrefBuf	PdnAna	PdnIbiasgen	VrefrLo	PdnVrefbuf

表3 2线制接口模式下向寄存器写入数据

	芯片地址		读/写		寄存器地址		写入数据		
起始信号	001000	AD0	0	应答信号	RAM	应答信号	数据	应答信号	停止信号

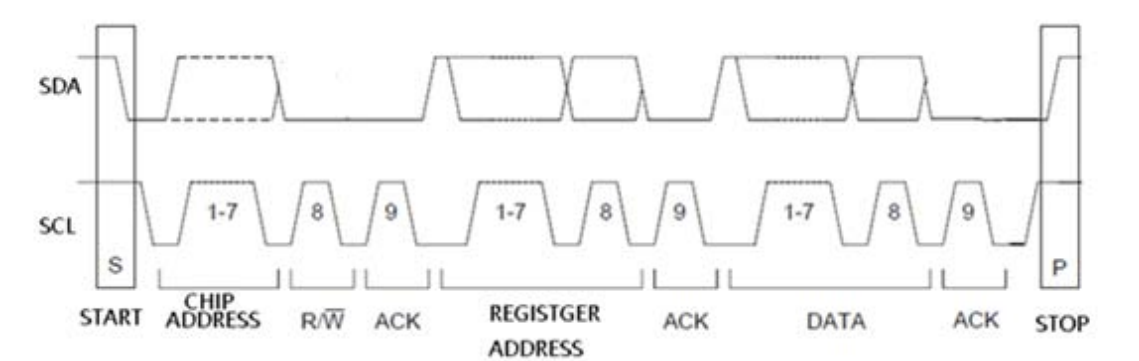


图2a 2线制写入时序图

表4 2线制接口模式下从寄存器读取数据

	芯片地址		读/写		寄存器地址		
起始信号	001000	AD0	0	应答信号	RAM	应答信号	
	芯片地址		读/写		读取数据		
起始信号	001000	AD0	1	应答信号	数据	NACK	停止信号

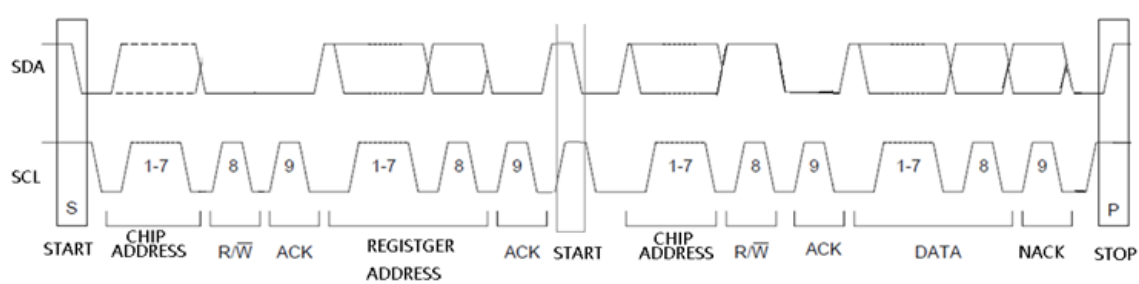


图2b 2线制读取时序图

6 配置寄存器定义

SPI和2线制配置接口共用相同寄存器，因为任一时刻仅有一个接口处于激活状态。本器件共有53个用户可编程的8位寄存器。这些寄存器用于控制ADC和DAC的操作。外部主控器可通过RAM（寄存器地址映射）寄存器中指定的从地址访问这些寄存器，详见表5。

表5 寄存器地址映射的位域内容

	B7	B6	B5	B4	B3	B2	B1	B0
寄存器00	SCP复位	LRCM	DAC时钟	相同采样率	序列使能	参考使能	中点电压选择	
寄存器01			低功耗共模调节	低功耗参考缓冲	模拟电源关闭	偏置电流生成电源关闭	低电平参考电压	参考缓冲电源关闭

Reg. 02	adc_DigPDN	dac_DigPDN	adc_stm_rst	dac_stm_rst	ADCDLL_PDN	DACDLL_PDN	adcVref_PDN	dacVref_PDN
Reg. 03	PdnAINL	PdnAINR	PdnADCL	PdnADCR	PdnMICB	PdnADCBiasgen	flashLP	int1LP
Reg. 04	PdnDACL	PdnDACR	LOUT1	ROUT1	LOUT2	ROUT2		
Reg. 05	LPDACL	LPDACR	LPLOUT1		LPLOUT2			
Reg. 06	LPPGA	LPLMIX					LPADCvrp	LPDACvrp
Reg. 07		VSEL						
Reg. 08	MSC	MCLKDIV2	BCLK_INV	BCLKDIV				
Reg. 09	MicAmpL				MicAmpR			
Reg. 10	LINSEL		RINSEL		DSSEL	DSR		
Reg. 11	DS			MONOMIX		TRI		
Reg. 12	DATSEL		ADCLRP	ADCWL			ADCFORMAT	
Reg. 13			ADCFSMode	ADCFSRatio				
Reg. 14	ADC_invL	ADC_invR	ADC_HPFL	ADC_HPFR				
Reg. 15	ADCRampRate	ADCSoftRamp		ADCLeR	ADCMute			
Reg. 16	LADCVOL							
Reg. 17	RADCVOL							
Reg. 18	ALCSEL		MAXGAIN			MINGAIN		
Reg. 19	ALCLVL				ALCHLD			
Reg. 20	ALCDCY				ALCATK			
Reg. 21	ALCMODE	ALCZC	TIME_OUT	WIN_SIZE				
Reg. 22	NGTH					NGG		NGAT
Reg. 23	DACLRSWAP	DACLRP	DACWL			DACFORMAT		
Reg. 24			DACFSMode	DACFSRatio				
Reg. 25	DACRampRate		DACSoftRamp		DACLeR	DACMute		
Reg. 26	DACVolumeL (LDACVOL)							
Reg. 27	DACVolumeR (RDACVOL)							
Reg. 28	DeemphasisMode		DAC_invL	DAC_invR	ClickFree			
Reg. 29	ZeroL	ZeroR	Mono	SE			Vpp_scale	
Reg. 30			Shelving_a[29:24]					
Reg. 31	Shelving_a[23:16]							
Reg. 32	Shelving_a[15:8]							
Reg. 33	Shelving_a[7:0]							
Reg. 34			Shelving_b[29:24]					
Reg. 35	Shelving_b[23:16]							
Reg. 36	Shelving_b[15:8]							
Reg. 37	Shelving_b[7:0]							
Reg. 38			LMIXSEL			RMIXSEL		
Reg. 39	LD2LO	LI2LO	LI2LOVOL					
Reg. 40								
Reg. 41								
Reg. 42	RD2RO	RI2RO	RI2ROVOL					

寄存器02	ADC数字电源关闭	DAC数字电源关闭	ADC状态机复位	DAC状态机复位	ADC锁相环电源关闭	DACDLL_PDN	adcVref_PDN	dacVref_PDN
寄存器03	PdnAINL	PdnAINR	PdnADCL	PdnADCR	PdnMICB	PdnADCBiasgen	flashLP	int1LP
寄存器04	PdnDACL	PdnDACR	左声道输出1	右声道输出1	左声道输出2	右声道输出2		
寄存器05	LPDACL	LPDACR	LPLOUT1		LPLOUT2			
寄存器06	LPPGA	LPLMIX					LPADCvrp	LPDACvrp
寄存器07		VSEL						
寄存器08	MSC	MCLKDIV2	BCLK反相	BCLK分频				
寄存器09	左声道麦克风放大器				右声道麦克风放大器			
寄存器10	左输入选择		右输入选择		数字选择	数字右通道		
寄存器 11	数字信号			单声道混音		三角波		
寄存器 12	数据选择		ADC 左右通道反转	ADC 位宽			ADC 数据格式	
寄存器 13			ADC 采样率模式	ADC 采样率比				
寄存器 14	ADC 左通道反相	ADC_invR	ADC_HPFL	ADC_HPFR				
寄存器15	ADCRampRate	ADCSoftRamp		ADCLeR	ADCMute			
寄存器16	LADCVOL							
寄存器17	RADCVOL							
寄存器18	ALCSEL		MAXGAIN			MINGAIN		
寄存器19	ALCLVL				ALCHLD			
寄存器20	ALCDCY				ALCATK			
寄存器21	ALCMODE	ALCZC	超时	窗口大小				
寄存器22	NGTH					NGG		NGAT
寄存器23	DACLRSWAP	DACLRP	DACWL			DAC格式		
寄存器24			DAC Fs模式	DAC Fs比率				
寄存器25	DAC斜坡速率		DAC软斜坡		DAC左声道	DAC静音		
寄存器26	DAC左音量 (LDACVOL)							
寄存器27	DAC右音量 (RDACVOL)							
寄存器28	预加重模式		DAC左声道反相	DAC右声道反相	无点击噪声			
寄存器29	ZeroL	ZeroR	单声道	单端			Vpp_scale	
寄存器30			Shelving_a[29:24]					
寄存器31	Shelving_a[23:16]							
寄存器32	Shelving_a[15:8]							
寄存器33	Shelving_a[7:0]							
寄存器34			Shelving_b[29:24]					
寄存器35	Shelving_b[23:16]							
寄存器36	Shelving_b[15:8]							
寄存器37	Shelving_b[7:0]							
寄存器38			LMIXSEL			RMIXSEL		
寄存器39	LD2LO	LI2LO	LI2LOVOL					
寄存器40								
寄存器41								
寄存器42	RD2RO	RI2RO	RI2ROVOL					



Reg. 43	slrck	Lrck_sel	offset_dis,	mclk_dis	Adc_dll_pwd	Dac_dll_pwd		
Reg. 44	offset							
Reg. 45				VROI				
Reg. 46		LOUT1VOL						
Reg. 47		ROUT1VOL						
Reg. 48		LOUT2VOL						
Reg. 49		ROUT2VOL						
Reg. 50								
Reg. 51	hpLout1_ref1	hpLout1_ref2						
Reg. 52	spkLout2_ref1	spkLout2_ref2			mixer_ref1	mixer_ref2	MREF1	MREF2

## 6.1 Chip Control and Power Management

### 6.1.1 Register 0 – Chip Control 1, Default 0000 0110

Bit Name	Bit	Description
SCPRreset	7	0 – normal (default) 1 – reset control port register to default
LRCM	6	0 – ALRCK disabled when both ADC disabled; DLRCK disabled when both DAC disabled (default) 1 – ALRCK and DLRCK disabled when all ADC and DAC disabled
DACMCLK	5	0 – when SameFs=1, ADCMCLK is the chip master clock source (default) 1 – when SameFs=1, DACMCLK is the chip master clock source
SameFs	4	0 – ADC Fs differs from DAC Fs (default) 1 – ADC Fs is the same as DAC Fs
SeqEn	3	0 – internal power up/down sequence disable (default) 1 – internal power up/down sequence enable
EnRef	2	0 – disable reference 1 – enable reference (default)
VMIDSEL	1:0	00 – Vmid disabled 01 – 50 kΩ divider enabled 10 – 500 kΩ divider enabled (default) 11 – 5 kΩ divider enabled

### 6.1.2 Register 1 – Chip Control 2, Default 0101 1100

Bit Name	Bit	Description
LPVcmMod	5	0 – normal (default) 1 – low power
LPVrefBuf	4	0 – normal 1 – low power (default)
PdnAna	3	0 – normal 1 – entire analog power down (default)
PdnIbiasgen	2	0 – normal

寄存器43	slrck	Lrck_sel	偏移_dis,	主时钟_dis	ADC_DLL_省电模式	DAC_DLL_省电模式		
寄存器44	偏移							
寄存器45				VROI				
寄存器46								左声道输出1音量
寄存器47								右声道输出1音量
寄存器48								左声道输出2音量
寄存器49								右声道输出2音量
寄存器50								
寄存器51	hpLout1_ref1	hpLout1_ref2						
寄存器 52	spkLout2_ref1	spkLout2_ref2			mixer_ref1	mixer_ref2	MREF1	MREF2

## 6.1 芯片控制与电源管理

### 6.1.1 寄存器 0 – 芯片控制 1，默认值 0000 0110

位名称	位	描述
SCP复位	7	0 – 正常（默认） 1 – 将控制端口寄存器复位为默认值
LRCM	6	0 – 当两个 ADC 均禁用时，ALRCK 禁用；当两个 DAC 均禁用时，DLRCK 禁用（默认） 1 – 当所有ADC和DAC均禁用时，ALRCK和DLRCK被禁用
DAC时钟	5	0 – 当SameFs=1时，ADCMCLK作为芯片主时钟源（默认） 1 – 当SameFs=1时，DACMCLK作为芯片主时钟源
相同采样率	4	0 – ADC采样率与DAC采样率不同（默认） 1 – ADC采样率与DAC采样率相同
序列使能	3	0 – 禁用内部电源上/下电序列（默认） 1 – 启用内部电源上/下电序列
参考使能	2	0 – 禁用参考电压 1 – 启用参考电压（默认）
中点电压选择	1:0	00 – 禁用Vmid 01 – 启用50 kΩ分压器 10 – 启用500 kΩ分压器（默认） 11 – 启用5 kΩ分压器

### 6.1.2 寄存器1 – 芯片控制2，默认值0101 1100

位名称	位	描述
低功耗共模调节	5	0 – 正常（默认） 1 – 低功耗模式
低功耗参考缓冲	4	0 – 正常模式 1 – 低功耗模式（默认）
模拟电源关闭	3	0 – 正常模式 1 – 整个模拟电路断电（默认）
偏置电流生成电源关闭	2	0 – 正常模式

		1 – ibiasgen power down (default)
VrefLo	1	0 – normal (default) 1 – low power
PdnVrefbuf	0	0 – normal (default) 1 – power down

### 6.1.3 Register 2 – Chip Power Management, Default 1100 0011

Bit Name	Bit	Description
adc_DigPDN	7	0 – normal 1 – resets ADC DEM, filter and serial data port (default)
dac_DigPDN	6	0 – normal 1 – resets DAC DSM, DEM, filter and serial data port (default)
adc_stm_rst	5	0 – normal (default) 1 – reset ADC state machine to power down state
dac_stm_rst	4	0 – normal (default) 1 – reset DAC state machine to power down state
ADCDLL_PDN	3	0 – normal (default) 1 – ADC_DLL power down, stop ADC clock
DACDLL_PDN	2	0 – normal (default) 1 – DAC DLL power down, stop DAC clock
adcVref_PDN	1	0 – ADC analog reference power up 1 – ADC analog reference power down (default)
dacVref_PDN	0	0 – DAC analog reference power up 1 – DAC analog reference power down (default)

### 6.1.4 Register 3 – ADC Power Management, Default 1111 1100

Bit Name	Bit	Description
PdnAINL	7	0 – normal 1 – left analog input power down (default)
PdnAINR	6	0 – normal 1 – right analog input power down (default)
PdnADCL	5	0 – left ADC power up 1 – left ADC power down (default)
PdnADCR	4	0 – right ADC power up 1 – right ADC power down (default)
PdnMICB	3	0 – microphone bias power on 1 – microphone bias power down (high impedance output, default)
PdnADCBiasgen	2	0 – normal 1 – power down (default)
flashLP	1	0 – normal (default) 1 – flash ADC low power
int1LP	0	0 – normal (default) 1 – int1 low power

		1 – ibiasgen 关闭电源（默认）
VrefLo	1	0 – 正常（默认） 1 – 低功耗模式
参考缓冲电源关闭	0	0 – 正常（默认） 1 – 关闭电源

### 6.1.3 寄存器 2 – 芯片电源管理，默认值 11000011

位名称	位	描述
ADC数字电源关闭	7	0 – 正常模式 1 – 复位 ADC DEM、滤波器及串行数据端口（默认）
DAC数字电源关闭	6	0 – 正常模式 1 – 复位 DAC DSM、DEM、滤波器及串行数据端口（默认）
ADC状态机复位	5	0 – 正常（默认） 1 – 复位 ADC 状态机至关闭电源状态
DAC状态机复位	4	0 – 正常（默认） 1 – 复位 DAC 状态机至关闭电源状态
ADC锁相环电源关闭	3	0 – 正常（默认） 1 – ADC_DLL 关闭电源，停止 ADC 时钟
DACDLL_PDN	2	0 – 正常（默认） 1 – DAC_DLL 关闭电源，停止 DAC 时钟
adcVref_PDN	1	0 – ADC 模拟参考电源开启 1 – ADC 模拟参考电源关闭（默认）
dacVref_PDN	0	0 – DAC 模拟参考电源开启 1 – DAC 模拟参考电源关闭（默认）

### 6.1.4 寄存器 3 – ADC 电源管理，默认值 11111100

位名称	位	描述
PdnAINL	7	0 – 正常模式 1 – 左声道模拟输入关闭电源（默认）
PdnAINR	6	0 – 正常模式 1 – 右声道模拟输入关闭电源（默认）
PdnADCL	5	0 – 左声道 ADC 开启电源 1 – 左声道ADC关闭（默认）
PdnADCR	4	0 – 右声道ADC开启 1 – 右声道ADC关闭（默认）
PdnMICB	3	0 – 麦克风偏置电源开启 1 – 麦克风偏置电源关闭（高阻抗输出，默认）
PdnADCBiasgen	2	0 – 正常模式 1 – 电源关闭（默认）
flashLP	1	0 – 正常（默认） 1 – Flash ADC低功耗模式
int1LP	0	0 – 正常（默认） 1 – int1低功耗模式

**6.1.5 Register 4 – DAC Power Management, Default 1100 0000**

Bit Name	Bit	Description
PdnDACL	7	0 – left DAC power up 1 – left DAC power down (default)
PdnDACR	6	0 – right DAC power up 1 – right DAC power down (default)
LOUT1	5	0 – LOUT1 disabled (default) 1 – LOUT1 enabled
ROUT1	4	0 – ROUT1 disabled (default) 1 – ROUT1 enabled
LOUT2	3	0 – LOUT2 disabled (default) 1 – LOUT2 enabled
ROUT2	2	0 – ROUT2 disabled (default) 1 – ROUT2 enabled

**6.1.6 Register 5 – Chip Low Power 1, Default 0000 0000**

Bit Name	Bit	Description
LPDACL	7	0 – normal (default) 1 – low power
LPDACR	6	0 – normal (default) 1 – low power
LPLOUT1	5	0 – normal (default) 1 – low power
LPLOUT2	3	0 – normal (default) 1 – low power

**6.1.7 Register 6 – Chip Low Power 2, Default 0000 0000**

Bit Name	Bit	Description
LPPGA	7	0 – normal (default) 1 – low power
LPLMIX	6	0 – normal (default) 1 – low power
LPADCvrp	1	0 – normal (default) 1 – low power
LPDACvrp	0	0 – normal (default) 1 – low power

**6.1.8 Register 7 – Analog Voltage Management, Default 0111 1100**

Bit Name	Bit	Description
VSEL	6:0	1111100 – normal (default)

**6.1.5 寄存器4 – DAC电源管理，默认值1100 0000**

位名称	位	描述
PdnDACL	7	0 – 左声道DAC开启 1 – 左声道DAC关闭（默认）
PdnDACR	6	0 – 右声道DAC开启 1 – 右声道DAC关闭（默认）
左声道输出1	5	0 – LOUT1禁用（默认） 1 – LOUT1启用
右声道输出1	4	0 – ROUT1禁用（默认） 1 – ROUT1启用
左声道输出2	3	0 – LOUT2禁用（默认） 1 – 启用 LOUT2
右声道输出2	2	0 – 禁用 ROUT2（默认） 1 – 启用 ROUT2

**6.1.6 寄存器 5 – 芯片低功耗 1，默认值 0000 0000**

位名称	位	描述
LPDACL	7	0 – 正常（默认） 1 – 低功耗模式
LPDACR	6	0 – 正常（默认） 1 – 低功耗模式
LPLOUT1	5	0 – 正常（默认） 1 – 低功耗模式
LPLOUT2	3	0 – 正常（默认） 1 – 低功耗模式

**6.1.7 寄存器 6 – 芯片低功耗 2，默认值 0000 0000**

位名称	位	描述
LPPGA	7	0 – 正常（默认） 1 – 低功耗模式
LPLMIX	6	0 – 正常（默认） 1 – 低功耗模式
LPADCvrp	1	0 – 正常（默认） 1 – 低功耗模式
LPDACvrp	0	0 – 正常（默认） 1 – 低功耗模式

**6.1.8 寄存器 7 – 模拟电压管理，默认值 0111 1100**

位名称	位	描述
VSEL	6:0	1111100 – 正常（默认）

**6.1.9 Register 8 – Master Mode Control, Default 1000 0000**

Bit Name	Bit	Description
MSC	7	0 – slave serial port mode 1 – master serial port mode (default)
MCLKDIV2	6	0 – MCLK not divide (default) 1 – MCLK divide by 2
BCLK_INV	5	0 – normal (default) 1 – BCLK inverted
BCLKDIV	4:0	00000 – master mode BCLK generated automatically based on the clock table (default) 00001 – MCLK/1 00010 – MCLK/2 00011 – MCLK/3 00100 – MCLK/4 00101 – MCLK/6 00110 – MCLK/8 00111 – MCLK/9 01000 – MCLK/11 01001 – MCLK/12 01010 – MCLK/16 01011 – MCLK/18 01100 – MCLK/22 01101 – MCLK/24 01110 – MCLK/33 01111 – MCLK/36 10000 – MCLK/44 10001 – MCLK/48 10010 – MCLK/66 10011 – MCLK/72 10100 – MCLK/5 10101 – MCLK/10 10110 – MCLK/15 10111 – MCLK/17 11000 – MCLK/20 11001 – MCLK/25 11010 – MCLK/30 11011 – MCLK/32 11100 – MCLK/34 Others – MCLK/4

**6.2 ADC Control****6.2.1 Register 9 – ADC Control 1, Default 0000 0000**

Bit Name	Bit	Description
----------	-----	-------------

## 6.1.9 寄存器 8 – 主模式控制，默认值 1000 0000

位名称	位	描述
MSC	7	0 – 从属串口模式 1 – 主串口模式（默认）
MCLKDIV2	6	0 – MCLK 不分频（默认） 1 – MCLK 分频为 2
BCLK反相	5	0 – 正常（默认） 1 – BCLK 反相
BCLK分频	4:0	00000 – 主模式下 BCLK 根据时钟表自动生成（默认） 00001 – MCLK/1 00010 – MCLK/2 00011 – MCLK/3 00100 – MCLK/4 00101 – MCLK/6 00110 – MCLK/8 00111 – MCLK/9 01000 – MCLK/11 01001 – MCLK/12 01010 – MCLK/16 01011 – MCLK/18 01100 – MCLK/22 01101 – MCLK/24 01110 – MCLK/33 01111 – MCLK/36 10000 – MCLK/44 10001 – MCLK/48 10010 – MCLK/66 10011 – MCLK/72 10100 – MCLK/5 10101 – MCLK/10 10110 – MCLK/15 10111 – MCLK/17 11000 – MCLK/20 11001 – MCLK/25 11010 – MCLK/30 11011 – MCLK/32 11100 – MCLK/34 其他 – MCLK/4

## 6.2 ADC控制

## 6.2.1 寄存器9 – ADC控制1，默认值 0000 0000

位名称	位	描述
-----	---	----



MicAmpL	7:4	Left channel PGA gain 0000 – 0 dB (default) 0001 – +3 dB 0010 – +6 dB 0011 – +9 dB 0100 – +12 dB 0101 – +15 dB 0110 – +18 dB 0111 – +21 dB 1000 – +24 dB
MicAmpR	3:0	Right channel PGA gain 0000 – 0dB (default) 0001 – +3 dB 0010 – +6 dB 0011 – +9 dB 0100 – +12 dB 0101 – +15 dB 0110 – +18 dB 0111 – +21 dB 1000 – +24 dB

### 6.2.2 Register 10 – ADC Control 2, Default 0000 0000

Bit Name	Bit	Description
LINSEL	7:6	Left channel input select 00 – LINPUT1 (default) 01 – LINPUT2 10 – reserved 11 – L-R differential (either LINPUT1-RINPUT1 or LINPUT2-RINPUT2, selected by DS)
RINSEL	5:4	Right channel input select 00 – RINPUT1 (default) 01 – RINPUT2 10 – reserved 11 – L-R differential (either LINPUT1-RINPUT1 or LINPUT2-RINPUT2, selected by DS)
DSSEL	3	0 – use one DS Reg11[7] (default) 1 – DSL=Reg11[7], DSR=Reg10[2]
DSR	2	Differential input select 0 – LINPUT1-RINPUT1 (default) 1 – LINPUT2-RINPUT2

### 6.2.3 Register 11 – ADC Control 3, Default 0000 0010

Bit Name	Bit	Description
DS	7	Differential input select 0 – LINPUT1-RINPUT1 (default)

左声道麦克风放大器	7:4	左声道PGA增益 0000 – 0 dB (默认) 0001 – +3 dB 0010 – +6 dB 0011 – +9 dB 0100 – +12 dB 0101 – +15 dB 0110 – +18 dB 0111 – +21 dB 1000 – +24 dB
右声道麦克风放大器	3:0	右声道PGA增益 0000 – 0 dB (默认) 0001 – +3 dB 0010 – +6 dB 0011 – +9 dB 0100 – +12 dB 0101 – +15 dB 0110 – +18 dB 0111 – +21 dB 1000 – +24 dB

### 6.2.2 寄存器10 – ADC控制2, 默认值 0000 0000

位名称	位	描述
左输入选择	7:6	左声道输入选择 00 – LINPUT1 (默认) 01 – LINPUT2 10 – 保留 11 – 左右差分输入 (LINPUT1-RINPUT1 或 LINPUT2-RINPUT2, 由 DS 选择)
右输入选择	5:4	右声道输入选择 00 – RINPUT1 (默认) 01 – RINPUT2 10 – 保留 11 – 左右差分输入 (LINPUT1-RINPUT1 或 LINPUT2-RINPUT2, 由 DS 选择)
数字选择	3	0 – 使用单一 DS Reg11[7] (默认) 1 – DSL=Reg11[7], DSR=Reg10[2]
数字右通道	2	差分输入选择 0 – LINPUT1-RINPUT1 (默认) 1 – LINPUT2-RINPUT2

### 6.2.3 寄存器11 – ADC控制3, 默认值 0000 0010

位名称	位	描述
数字信号	7	差分输入选择 0 – LINPUT1-RINPUT1 (默认)

		1 – LINPUT2-RINPUT2
MONOMIX	4:3	00 – stereo (default) 01 – analog mono mix to left ADC 10 – analog mono mix to right ADC 11 – reserved
TRI	2	0 – ASDOUT is ADC normal output (default) 1 – ASDOUT tri-stated, ALRCK, DLRCK and SCLK are inputs

#### 6.2.4 Register 12 – ADC Control 4, Default 0000 0000

Bit Name	Bit	Description
DATSEL	7:6	00 – left data = left ADC, right data = right ADC 01 – left data = left ADC, right data = left ADC 10 – left data = right ADC, right data = right ADC 11 – left data = right ADC, right data = left ADC
ADCLRP	5	I2S, left justified or right justified mode: 0 – left and right normal polarity 1 – left and right inverted polarity DSP/PCM mode: 0 – MSB is available on 2nd BCLK rising edge after ALRCK rising edge 1 – MSB is available on 1st BCLK rising edge after ALRCK rising edge
ADCWL	4:2	000 – 24-bit serial audio data word length 001 – 20-bit serial audio data word length 010 – 18-bit serial audio data word length 011 – 16-bit serial audio data word length 100 – 32-bit serial audio data word length
ADCFORMAT	1:0	00 – I2S serial audio data format 01 – left justify serial audio data format 10 – right justify serial audio data format 11 – DSP/PCM mode serial audio data format

#### 6.2.5 Register 13 – ADC Control 5, Default 0000 0110

Bit Name	Bit	Description
ADCFsMode	5	0 – single speed mode (default) 1 – double speed mode
ADCFsRatio	4:0	Master mode ADC MCLK to sampling frequency ratio

		1 – LINPUT2-RINPUT2
单声道混音	4:3	00 – 立体声（默认） 01 – 模拟单声道混合至左ADC 10 – 模拟单声道混合至右ADC 11 – 保留
三角波	2	0 – ASDOUT 为 ADC 正常输出（默认） 1 – ASDOUT 三态，ALRCK、DLRCK 和 SCLK 设为输入

#### 6.2.4 寄存器12 – ADC控制4，默认值 0000 0000

位名称	位	描述
数据选择	7:6	00 – 左声道数据 = 左ADC，右声道数据 = 右ADC 01 – 左声道数据 = 左ADC，右声道数据 = 左ADC 10 – 左声道数据 = 右ADC，右声道数据 = 右ADC 11 – 左声道数据 = 右ADC，右声道数据 = 左ADC
ADC 左右通道反转	5	I2S接口，左对齐或右对齐模式： 0 – 左右声道极性正常 1 – 左右声道极性反转 DSP/PCM模式： 0 – MSB在ALRCK上升沿后第2个BCLK上升沿有效 1 – MSB在ALRCK上升沿后第1个BCLK上升沿有效
ADC 位宽	4:2	000 – 24位串行音频数据字长 001 – 20位串行音频数据字长 010 – 18位串行音频数据字长 011 – 16位串行音频数据字长 100 – 32位串行音频数据字长
ADC 数据格式	1:0	00 – I2S串行音频数据格式 01 – 左对齐串行音频数据格式 10 – 右对齐串行音频数据格式 11 – DSP/PCM模式串行音频数据格式

#### 6.2.5 寄存器13 – ADC控制5，默认值 0000 0110

位名称	位	描述
ADC 采样率模式	5	0 – 单速模式（默认） 1 – 双速模式
ADC 采样率比	4:0	主模式下ADC MCLK与采样频率的比率

	00000 – 128	10000 – 125
	00001 – 192	10001 – 136
	00010 – 256	10010 – 250
	00011 – 384	10011 – 272
	00100 – 512	10100 – 375
	00101 – 576	10101 – 500
	00110 – 768 (default)	10110 – 544
	00111 – 1024	10111 – 750
	01000 – 1152	11000 – 1000
	01001 – 1408	11001 – 1088
	01010 – 1536	11010 – 1496
	01011 – 2112	11011 – 1500
	01100 – 2304	
	Other – reserved	

### 6.2.6 Register 14 – ADC Control 6, Default 0011 0000

Bit Name	Bit	Description
ADC_invL	7	0 – normal (default) 1 – left channel polarity inverted
ADC_invR	6	0 – normal (default) 1 – right channel polarity inverted
ADC_HPF_L	5	0 – disable ADC left channel high pass filter 1 – enable ADC left channel high pass filter (default)
ADC_HPF_R	4	0 – disable ADC right channel high pass filter 1 – enable ADC right channel high pass filter (default)

### 6.2.7 Register 15 – ADC Control 7, Default 0010 0000

Bit Name	Bit	Description
ADCRampRate	7:6	00 – 0.5 dB per 4 LRCK digital volume control ramp rate (default) 01 – 0.5 dB per 8 LRCK digital volume control ramp rate 10 – 0.5 dB per 16 LRCK digital volume control ramp rate 11 – 0.5 dB per 32 LRCK digital volume control ramp rate
ADCSoftRamp	5	0 – disabled digital volume control soft ramp 1 – enabled digital volume control soft ramp (default)
ADCLeR	3	0 – normal (default) 1 – both channel gain control is set by ADC left gain control register
ADCMute	2	0 – normal (default) 1 – mute ADC digital output

### 6.2.8 Register 16 – ADC Control 8, Default 1100 0000

Bit Name	Bit	Description
LADCVOL	7:0	Digital volume control attenuates the signal in 0.5 dB incremental from 0 to –96 dB. 00000000 – 0 dB

	00000 – 128	10000 – 125
	00001 – 192	10001 – 136
	00010 – 256	10010 – 250
	00011 – 384	10011 – 272
	00100 – 512	10100 – 375
	00101 – 576	10101 – 500
	00110 – 768 (默认)	10110 – 544
	00111 – 1024	10111 – 750
	01000 – 1152	11000 – 1000
	01001 – 1408	11001 – 1088
	01010 – 1536	11010 – 1496
	01011 – 2112	11011 – 1500
	01100 – 2304	
	其他 – 保留	

### 6.2.6 寄存器14 – ADC控制6，默认值 0011 0000

位名称	位	描述
ADC 左通道反相	7	0 – 正常 (默认) 1 – 左声道极性反转
ADC_invR	6	0 – 正常 (默认) 1 – 右声道极性反转
ADC_HPF_L	5	0 – 禁用ADC左声道高通滤波器 1 – 启用ADC左声道高通滤波器 (默认)
ADC_HPF_R	4	0 – 禁用ADC右声道高通滤波器 1 – 启用ADC右声道高通滤波器 (默认)

### 6.2.7 寄存器15 – ADC控制7，默认值0010 0000

位名称	位	描述
ADCRampRate	7:6	00 – 数字音量控制斜坡速率为每4个LRCK 0.5 dB (默认) 01 – 数字音量控制斜坡速率为每8个LRCK 0.5 dB 10 – 数字音量控制斜坡速率为每16个LRCK 0.5 dB 11 – 数字音量控制斜坡速率为每32个LRCK 0.5 dB
ADCSOFTRamp	5	0 – 禁用数字音量控制软斜坡 1 – 启用数字音量控制软斜坡 (默认)
ADCLeR	3	0 – 正常 (默认) 1 – 两声道增益均由ADC左声道增益控制寄存器设置
ADCMute	2	0 – 正常 (默认) 1 – 静音ADC数字输出

### 6.2.8 寄存器16 – ADC控制8，默认值1100 0000

位名称	位	描述
LADCVOL	7:0	数字音量控制以0.5 dB步进衰减信号，范围从0 dB至-96 dB。 00000000 – 0 dB

		00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (default)
--	--	--

**6.2.9 Register 17 – ADC Control 9, Default 1100 0000**

Bit Name	Bit	Description
RADCVOL	7:0	Digital volume control attenuates the signal in 0.5 dB incremental from 0 to –96 dB. 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (default)

**6.2.10 Register 18 – ADC Control 10, Default 0011 1000**

Bit Name	Bit	Description
ALCSEL	7:6	00 – ALC off 01 – ALC right channel only 10 – ALC left channel only 11 – ALC stereo
MAXGAIN	5:3	Set maximum gain of PGA 000 – -6.5 dB 001 – -0.5 dB 010 – 5.5 dB 011 – 11.5 dB 100 – 17.5 dB 101 – 23.5 dB 110 – 29.5 dB 111 – 35.5 dB
MINGAIN	2:0	Set minimum gain of PGA 000 – -12 dB 001 – -6 dB 010 – 0 dB 011 – +6 dB 100 – +12 dB 101 – +18 dB 110 – +24 dB 111 – +30 dB

**6.2.11 Register 19 – ADC Control 11, Default 1011 0000**

Bit Name	Bit	Description
ALCLVL	7:4	ALC target 0000 – -16.5 dB

		00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (默认)
--	--	---

**6.2.9 寄存器17 – ADC控制9，默认值11000000**

位名称	位	描述
RADCVOL	7:0	数字音量控制以0.5 dB步进衰减信号，范围从0 dB至-96 dB。 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (默认)

**6.2.10 寄存器18 – ADC控制10，默认值00111000**

位名称	位	描述
ALCSEL	7:6	00 – ALC关闭 01 – 仅右声道ALC 10 – 仅左声道ALC 11 – 立体声ALC
MAXGAIN	5:3	设置PGA最大增益 000 – -6.5 dB 001 – -0.5 dB 010 – 5.5 dB 011 – 11.5 dB 100 – 17.5 dB 101 – 23.5 dB 110 – 29.5 dB 111 – 35.5 dB
MINGAIN	2:0	设置PGA最小增益 000 – -12 dB 001 – -6 dB 010 – 0 dB 011 – +6 dB 100 – +12 dB 101 – +18 dB 110 – +24 dB 111 – +30 dB

**6.2.11 寄存器19 – ADC控制11，默认值 1011 0000**

位名称	位	描述
ALCLVL	7:4	ALC目标 0000 – -16.5 dB



		0001 – -15 dB 0010 – -13.5 dB ..... 0111 – -6 dB 1000 – -4.5 dB 1001 – -3 dB 1010-1111 – -1.5 dB
ALCHLD	3:0	ALC hold time before gain is increased 0000 – 0ms 0001 – 2.67ms 0010 – 5.33ms ..... (time doubles with every step) 1001 – 0.68s 1010 or higher – 1.36s

### 6.2.12 Register 20 – ADC Control 12, Default 0011 0010

Bit Name	Bit	Description
ALCDCY	7:4	ALC decay (gain ramp up) time, ALC mode/limiter mode: 0000 – 410 us/90.8 us 0001 – 820 us/182us 0010 – 1.64 ms/363us ..... (time doubles with every step) 1001 – 210 ms/46.5 ms 1010 or higher – 420 ms/93 ms
ALCATK	3:0	ALC attack (gain ramp down) time, ALC mode/limiter mode: 0000 – 104 us/22.7 us 0001 – 208 us/45.4 us 0010 – 416 us/90.8 us ..... (time doubles with every step) 1001 – 53.2 ms/11.6 ms 1010 or higher – 106 ms/23.2 ms

		0001 – -15 dB 0010 – -13.5 dB ..... 0111 – -6 dB 1000 – -4.5 dB 1001 – -3 dB 1010至1111 – -1.5 dB
ALCHLD	3:0	ALC增益提升前的保持时间 0000 – 0ms 0001 – 2.67ms 0010 – 5.33ms .....（每步时间加倍） 1001 – 0.68s 1010及以上 – 1.36 s

### 6.2.12 寄存器20 – ADC控制12，默认值 0011 0010

位名称	位	描述
ALCDCY	7:4	ALC衰减（增益上升）时间，ALC模式/限制器模式： 0000 – 410 $\mu$ s / 90.8 $\mu$ s 0001 – 820 $\mu$ s / 182 $\mu$ s 0010 – 1.64 ms / 363 $\mu$ s .....（每步时间加倍） 1001 – 210 ms/46.5 ms 1010及以上 – 420 ms / 93 ms
ALCATK	3:0	ALC 攻击（增益下降）时间，ALC 模式/限制器模式： 0000 – 104 $\mu$ s / 22.7 $\mu$ s 0001 – 208 $\mu$ s / 45.4 $\mu$ s 0010 – 416 $\mu$ s / 90.8 $\mu$ s .....（时间每步翻倍） 1001 – 53.2 ms/11.6 ms 1010 及以上 – 106 ms / 23.2 ms

**6.2.13 Register 21 – ADC Control 13, Default 0000 0110**

Bit Name	Bit	Description
ALCMODE	7	Determines the ALC mode of operation: 0 – ALC mode (Normal Operation) 1 – Limiter mode.
ALCZC	6	ALC uses zero cross detection circuit. 0 – disable (recommended) 1 – enable
TIME_OUT	5	Zero Cross time out 0 – disable (default) 1 – enable
WIN_SIZE	4:0	Windows size for peak detector, set the window size to N*16 samples 00110 – 96 samples (default) 00111 – 102 samples ..... 11111 – 496 samples

**6.2.14 Register 22 – ADC Control 14, Default 0000 0000**

Bit Name	Bit	Description
NGTH	7:3	Noise gate threshold 00000 – -76.5 dBFS 00001 – -75 dBFS ..... 11110 – -31.5 dBFS 11111 – -30 dBFS
NGG	2:1	Noise gate type x0 – PGA gain held constant 01 – mute ADC output 11 – reserved
NGAT	0	Noise gate function enable 0 – disable 1 – enable

**6.3 DAC Control****6.3.1 Register 23 – DAC Control 1, Default 0000 0000**

Bit Name	Bit	Description
DACLRSWAP	7	0 – normal 1 – left and right channel data swap
DACLRP	6	I2S, left justified or right justified mode: 0 – left and right normal polarity 1 – left and right inverted polarity

## 6.2.13 寄存器 21 – ADC控制13，默认值 0000 0110

位名称	位	描述
ALCMODE	7	确定ALC的工作模式： 0 – ALC模式（正常工作） 1 – 限幅器模式
ALCZC	6	ALC采用零交叉检测电路。 0 – 禁用（推荐） 1 – 启用
超时	5	零交叉超时 0 – 禁用（默认） 1 – 启用
窗口大小	4:0	峰值检测器窗口大小，设置窗口大小为N×16采样点 00110 – 96采样点（默认） 00111 – 102采样点 ..... 11111 – 496采样点

## 6.2.14 寄存器 22 – ADC控制14，默认值 0000 0000

位名称	位	描述
NGTH	7:3	噪声门阈值 00000 – -76.5 dBFS 00001 – -75 dBFS ..... 11110 – -31.5 dBFS 11111 – -30 dBFS
NGG	2:1	噪声门类型 x0 – PGA 增益保持不变 01 – 静音 ADC 输出 11 – 保留
NGAT	0	噪声门功能使能 0 – 禁用 1 – 启用

## 6.3 DAC控制

## 6.3.1 寄存器23 – DAC控制1，默认值0000 0000

位名称	位	描述
DACLRSWAP	7	0 – 正常模式 1 – 左右声道数据交换
DACLRP	6	I2S接口，左对齐或右对齐模式： 0 – 左右声道极性正常 1 – 左右极性反转

		DSP/PCM mode: 0 – MSB is available on 2nd BCLK rising edge after ALRCK rising edge 1 – MSB is available on 1st BCLK rising edge after ALRCK rising edgeLRCK Polarity
DACWL	5:3	000 – 24-bit serial audio data word length 001 – 20-bit serial audio data word length 010 – 18-bit serial audio data word length 011 – 16-bit serial audio data word length 100 – 32-bit serial audio data word length
DACFORMAT	2:1	00 – I2S serial audio data format 01 – left justify serial audio data format 10 – right justify serial audio data format 11 – DSP/PCM mode serial audio data format

### 6.3.2 Register 24 – DAC Control 2, Default 0000 0110

Bit Name	Bit	Description
DACFsMode	5	0 – single speed mode (default) 1 – double speed mode
DACFsRatio	4:0	Master mode DAC MCLK to sampling frequency ratio <div> <div>00000 — 128;</div> <div>10000 — 125;</div> <div>00001 — 192;</div> <div>10001 — 136;</div> <div>00010 — 256;</div> <div>10010 — 250;</div> <div>00011 — 384;</div> <div>10011 — 272;</div> <div>00100 — 512;</div> <div>10100 — 375;</div> <div>00101 — 576;</div> <div>10101 — 500;</div> <div>00110 — 768; (default)</div> <div>10110 — 544;</div> <div>00111 — 1024;</div> <div>10111 — 750;</div> <div>01000 — 1152;</div> <div>11000 — 1000;</div> <div>01001 — 1408;</div> <div>11001 — 1088;</div> <div>01010 — 1536;</div> <div>11010 — 1496;</div> <div>01011 — 2112;</div> <div>11011 — 1500;</div> <div>01100 — 2304;</div> <div>Other — Reserved.</div> </div>

### 6.3.3 Register 25 – DAC Control 3, Default 0010 0010

Bit Name	Bit	Description
DACRampRate	7:6	00 – 0.5 dB per 4 LRCK digital volume control ramp rate (default) 01 – 0.5 dB per 32 LRCK digital volume control ramp rate 10 – 0.5 dB per 64 LRCK digital volume control ramp rate 11 – 0.5 dB per 128 LRCK digital volume control ramp rate
DACSoftRamp	5	0 – disabled digital volume control soft ramp 1 – enabled digital volume control soft ramp (default)
DACLeR	3	0 – normal (default) 1 – both channel gain control is set by DAC left gain control register

		DSP/PCM模式： 0 – MSB在ALRCK上升沿后第2个BCLK上升沿有效 1 – MSB在ALRCK上升沿后第1个BCLK上升沿有效，LRCK极性
DACWL	5:3	000 – 24位串行音频数据字长 001 – 20位串行音频数据字长 010 – 18位串行音频数据字长 011 – 16位串行音频数据字长 100 – 32位串行音频数据字长
DAC格式	2:1	00 – I2S串行音频数据格式 01 – 左对齐串行音频数据格式 10 – 右对齐串行音频数据格式 11 – DSP/PCM模式串行音频数据格式

### 6.3.2 寄存器24 – DAC控制2，默认值0000 0110

位名称	位	描述
DAC Fs模式	5	0 – 单速模式（默认） 1 – 双速模式
DAC Fs比率	4:0	主模式下DAC MCLK与采样频率的比值  00000 — 128;                               10000 — 125; 00001 — 192;                               10001 — 136; 00010 — 256;                               10010 — 250; 00011 — 384;                               10011 — 272; 00100 — 512;                               10100 — 375; 00101 — 576;                               10101 — 500; 00110 — 768; （默认）                     10110 — 544; 00111 — 1024;                              10111 — 750; 01000 — 1152;                              11000 — 1000; 01001 — 1408;                              11001 — 1088; 01010 — 1536;                              11010 — 1496; 01011 — 2112;                              11011 — 1500; 01100 — 2304; 其他 — 保留。

### 6.3.3 寄存器25 – DAC控制3，默认值 0010 0010

位名称	位	描述
DAC斜坡速率	7:6	00 – 数字音量控制斜坡速率为每4个LRCK 0.5 dB（默认） 01 – 数字音量控制斜坡速率为每32个LRCK 0.5 dB 10 – 数字音量控制斜坡速率为每64个LRCK 0.5 dB 11 – 数字音量控制斜坡速率为每128个LRCK 0.5 dB
DAC软斜坡	5	0 – 禁用数字音量控制软斜坡 1 – 启用数字音量控制软斜坡（默认）
DAC左声道	3	0 – 正常（默认） 1 – 两声道增益控制由DAC左声道增益控制寄存器统一设置

DACMute	2	0 – normal (default) 1 – mute analog outputs for both channels
---------	---	---

#### 6.3.4 Register 26 – DAC Control 4, Default 1100 0000

Bit Name	Bit	Description
LDACVOL	7:0	Digital volume control attenuates the signal in 0.5 dB incremental from 0 to –96 dB. 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (default)

#### 6.3.5 Register 27 – DAC Control 5, Default 1100 0000

Bit Name	Bit	Description
RDACVOL	7:0	Digital volume control attenuates the signal in 0.5 dB incremental from 0 to –96 dB. 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB (default)

#### 6.3.6 Register 28 – DAC Control 6, Default 0000 1000

Bit Name	Bit	Description
DeemphasisMode (DEEMP)	7:6	00 – de-emphasis frequency disabled (default) 01 – 32 KHz de-emphasis frequency in single speed mode 10 – 44.1 KHz de-emphasis frequency in single speed mode 11 – 48 KHz de-emphasis frequency in single speed mode
DAC_invL	5	0 – normal DAC left channel analog output no phase inversion (default) 1 – normal DAC left channel analog output 180 degree phase inversion
DAC_invR	4	0 – normal DAC right channel analog output no phase inversion (default) 1 – normal DAC right analog output 180 degree phase inversion
ClickFree	3	0 – disable digital click free power up and down 1 – enable digital click free power up and down (default)

#### 6.3.7 Register 29 – DAC Control 7, Default 0000 0000

Bit Name	Bit	Description
ZeroL	7	0 – normal (default) 1 – set Left Channel DAC output all zero
ZeroR	6	0 – normal (default) 1 – set Right Channel DAC output all zero
Mono	5	0 – stereo (default) 1 – mono (L+R)/2 into DACL and DACR
SE	4:2	SE strength

DAC静音	2	0 – 正常（默认） 1 – 静音两声道模拟输出
-------	---	-----------------------------

#### 6.3.4 寄存器26 – DAC控制4，默认值 1100 0000

位名称	位	描述
LDACVOL	7:0	数字音量控制以0.5 dB步进衰减信号，范围从0 dB至-96 dB。 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB（默认）

#### 6.3.5 寄存器27 – DAC控制5，默认值 1100 0000

位名称	位	描述
RDACVOL	7:0	数字音量控制以0.5 dB步进衰减信号，范围从0 dB至-96 dB。 00000000 – 0 dB 00000001 – -0.5 dB 00000010 – -1 dB ... 11000000 – -96 dB（默认）

#### 6.3.6 寄存器28 – DAC控制6，默认值 0000 1000

位名称	位	描述
预加重模式 (DEEMP)	7:6	00 – 去加重频率禁用（默认） 01 – 单速模式下32 kHz去加重频率 10 – 单速模式下44.1 kHz去加重频率 11 – 单速模式下48 kHz去加重频率
DAC左声道反相	5	0 – 正常DAC左声道模拟输出，无相位反转（默认） 1 – 正常DAC左声道模拟输出，180度相位反转
DAC右声道反相	4	0 – 正常DAC右声道模拟输出，无相位反转（默认） 1 – 正常DAC右声道模拟输出，180度相位反转
无点击噪声	3	0 – 禁用数字无点击开关机功能 1 – 启用数字无点击开关机功能（默认）

#### 6.3.7 寄存器29 – DAC控制7，默认值0000 0000

位名称	位	描述
ZeroL	7	0 – 正常（默认） 1 – 设置左声道DAC输出全零
ZeroR	6	0 – 正常（默认） 1 – 设置右声道DAC输出全零
单声道	5	0 – 立体声（默认） 1 – 单声道模式，(L+R)/2输入至DACL和DACR
单端	4:2	单端驱动强度



		000 – 0 (default) ..... 111 – 7
Vpp_scale	1:0	00 – Vpp set at 3.5V (0.7 modulation index) (default) 01 – Vpp set at 4.0V 10 – Vpp set at 3.0V 11 – Vpp set at 2.5V

### 6.3.8 Register 30 – DAC Control 8, Default 0001 1111

Bit Name	Bit	Description
Shelving_a[29:24]	5:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.9 Register 31 – DAC Control 9, Default 1111 0111

Bit Name	Bit	Description
Shelving_a[23:16]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.10 Register 32 – DAC Control 10, Default 1111 1101

Bit Name	Bit	Description
Shelving_a[15:8]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.11 Register 33 – DAC Control 11, Default 1111 1111

Bit Name	Bit	Description
Shelving_a[7:0]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.12 Register 34 – DAC Control 12, Default 0001 1111

Bit Name	Bit	Description
Shelving_b[29:24]	5:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.13 Register 35 – DAC Control 13, Default 1111 0111

Bit Name	Bit	Description
Shelving_b[23:16]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

### 6.3.14 Register 36 – DAC Control 14, Default 1111 1101

Bit Name	Bit	Description
Shelving_b[15:8]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

		000 – 0（默认） ..... 111 – 7
Vpp_scale	1:0	00 – 峰峰值设定为3.5V（调制指数0.7）（默认） 01 – 峰峰值设定为4.0V 10 – 峰峰值设定为3.0V 11 – 峰峰值设定为2.5V

**6.3.8 寄存器30 – DAC控制8，默认值0001 1111**

位名称	位	描述
Shelving_a[29:24]	5:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.9 寄存器31 – DAC控制9，默认值1111 0111**

位名称	位	描述
Shelving_a[23:16]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.10 寄存器32 – DAC控制10，默认值1111 1101**

位名称	位	描述
Shelving_a[15:8]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.11 寄存器33 – DAC控制11，默认值1111 1111**

位名称	位	描述
Shelving_a[7:0]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.12 寄存器34 – DAC控制12，默认值 0001 1111**

位名称	位	描述
Shelving_b[29:24]	5:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.13 寄存器35 – DAC控制13，默认值 1111 0111**

位名称	位	描述
Shelving_b[23:16]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.14 寄存器36 – DAC控制14，默认值 1111 1101**

位名称	位	描述
Shelving_b[15:8]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.15 Register 37 – DAC Control 15, Default 1111 1111**

Bit Name	Bit	Description
Shelving_b[7:0]	7:0	30-bit a coefficient for shelving filter Default value is {5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.16 Register 38 – DAC Control 16, Default 0000 0000**

Bit Name	Bit	Description
LMIXSEL	5:3	Left input select for output mix 000 – LIN1 (default) 001 – LIN2 010 – reserved 011 – left ADC input (after mic amplifier)
RMIXSEL	2:0	Right input select for output mix 000 – RIN1 (default) 001 – RIN2 010 – reserved 011 – right ADC input (after mic amplifier)

**6.3.17 Register 39 – DAC Control 17, Default 0011 1000**

Bit Name	Bit	Description
LD2LO	7	0 – left DAC to left mixer disable (default) 1 – left DAC to left mixer enable
LI2LO	6	0 – LIN signal to left mixer disable (default) 1 – LIN signal to left mixer enable
LI2LOVOL	5:3	LIN signal to left mixer gain 000 – 6 dB 001 – 3 dB 010 – 0 dB 011 – -3 dB 100 – -6 dB 101 – -9 dB 110 – -12 dB 111 – -15 dB (default)

**6.3.18 Register 40 – DAC Control 18, Default 0010 1000**

Bit Name	Bit	Description
----------	-----	-------------

**6.3.19 Register 41 – DAC Control 19, Default 0010 1000**

Bit Name	Bit	Description
----------	-----	-------------

**6.3.20 Register 42 – DAC Control 20, Default 0011 1000**

Bit Name	Bit	Description
RD2RO	7	0 – right DAC to right mixer disable (default)

**6.3.15 寄存器37 – DAC控制15，默认值 1111 1111**

位名称	位	描述
Shelving_b[7:0]	7:0	搁架滤波器的30位a系数 默认值为{5'h0f, 5'h1f, 5'h0f, 5'h1f, 5'h0f, 5'h1f}

**6.3.16 寄存器38 – DAC控制16，默认值 0000 0000**

位名称	位	描述
LMIXSEL	5:3	输出混合的左输入选择 000 – LIN1（默认） 001 – LIN2 010 – 保留 011 – 左ADC输入（麦克风放大器后）
RMIXSEL	2:0	输出混合的右输入选择 000 – RIN1（默认） 001 – RIN2 010 – 保留 011 – 右ADC输入（麦克风放大器后）

**6.3.17 寄存器39 – DAC控制17，默认值 0011 1000**

位名称	位	描述
LD2LO	7	0 – 禁用左DAC至左混音器（默认） 1 – 左声道DAC至左混音器使能
LI2LO	6	0 – LIN信号至左混音器禁用（默认） 1 – LIN信号至左混音器使能
LI2LOVOL	5:3	LIN信号至左混音器增益 000 – +6 dB 001 – +3 dB 010 – 0 dB 011 – -3 dB 100 – -6 dB 101 – -9 dB 110 – -12 dB 111 – -15 dB（默认）

**6.3.18 寄存器40 – DAC控制18，默认值0010 1000**

位名称	位	描述
-----	---	----

**6.3.19 寄存器41 – DAC控制19，默认值0010 1000**

位名称	位	描述
-----	---	----

**6.3.20 寄存器42 – DAC控制20，默认值0011 1000**

位名称	位	描述
RD2RO	7	0 – 右声道DAC至右混音器禁用（默认）

		1 – right DAC to right mixer enable
RI2RO	6	0 – RIN signal to right mixer disable (default) 1 – RIN signal to right mixer enable
RI2ROVOL	5:3	RIN signal to right mixer gain 000 – 6 dB 001 – 3 dB 010 – 0 dB 011 – -3 dB 100 – -6 dB 101 – -9 dB 110 – -12 dB 111 – -15 dB (default)

### 6.3.21 Register 43 – DAC Control 21, Default 0000 0000

Bit Name	Bit	Description
slrck	7	0 – DACLRC and ADCLRC separate (default) 1 – DACLRC and ADCLRC same
lrck_sel	6	Master mode, if slrck = 1 then 0 – use DAC LRCK (default) 1 – use ADC LRCK
offset_dis	5	0 – disable offset (default) 1 – enable offset
mclk_dis	4	0 – normal (default) 1 – disable MCLK input from PAD
adc_dll_pwd	3	0 – normal (default) 1 – ADC DLL power down
dac_dll_pwd	2	0 – normal (default) 1 – DAC DLL power down

### 6.3.22 Register 44 – DAC Control 22, Default 0000 0000

Bit Name	Bit	Description
offset	7:0	DC offset

### 6.3.23 Register 45 – DAC Control 23, Default 0000 0000

Bit Name	Bit	Description
VROI	4	0 – 1.5k VREF to analog output resistance (default) 1 – 40k VREF to analog output resistance

### 6.3.24 Register 46 – DAC Control 24, Default 0000 0000

Bit Name	Bit	Description
LOUT1VOL	5:0	LOUT1 volume 000000 – -45dB (default) 000001 – -43.5dB

		1 – 右声道DAC至右混音器使能
RI2RO	6	0 – RIN信号至右混音器禁用（默认） 1 – RIN信号至右混音器使能
RI2ROVOL	5:3	RIN信号至右混音器增益 000 – +6 dB 001 – +3 dB 010 – 0 dB 011 – -3 dB 100 – -6 dB 101 – -9 dB 110 – -12 dB 111 – -15 dB（默认）

### 6.3.21 寄存器43 – DAC控制21，默认值 0000 0000

位名称	位	描述
slrck	7	0 – DACLRCK 与 ADCLRCK 分离（默认） 1 – DACLRCK 与 ADCLRCK 相同
lrck_sel	6	主模式下，若 slrck = 1，则 0 – 使用 DAC LRCK（默认） 1 – 使用 ADC LRCK
offset_dis	5	0 – 禁用偏移（默认） 1 – 启用偏移
主时钟_dis	4	0 – 正常（默认） 1 – 禁止来自 PAD 的 MCLK 输入
adc_dll_pwd	3	0 – 正常（默认） 1 – ADC DLL 关闭
dac_dll_pwd	2	0 – 正常（默认） 1 – DAC DLL 关闭

### 6.3.22 寄存器44 – DAC控制22，默认值 0000 0000

位名称	位	描述
偏移	7:0	直流偏移

### 6.3.23 寄存器45 – DAC控制23，默认值 0000 0000

位名称	位	描述
VROI	4	0 – 1.5kΩ VREF 至模拟输出电阻（默认） 1 – 40k VREF 至模拟输出电阻

### 6.3.24 寄存器46 – DAC控制24，默认值 0000 0000

位名称	位	描述
左声道输出1音量	5:0	LOUT1 音量 000000 – -45 dB（默认） 000001 – -43.5dB

		000010 – -42dB
		...
		011110 – 0dB
		011111 – 1.5dB
		...
		100001 – 4.5dB

### 6.3.25 Register 47 – DAC Control 25, Default 0000 0000

Bit Name	Bit	Description
ROUT1VOL	5:0	ROUT1 volume 000000 – -45dB (default) 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB

### 6.3.26 Register 48 – DAC Control 26, Default 0000 0000

Bit Name	Bit	Description
LOUT2VOL	5:0	LOUT2 volume 000000 – -45dB (default) 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB

### 6.3.27 Register 49 – DAC Control 27, Default 0000 0000

Bit Name	Bit	Description
ROUT2VOL	5:0	ROUT2 volume 000000 – -45dB (default) 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB

		000010 – -42dB
		...
		011110 – 0dB
		011111 – 1.5dB
		...
		100001 – 4.5dB

### 6.3.25 寄存器47 – DAC控制25，默认值 0000 0000

位名称	位	描述
右声道输出1音量	5:0	ROUT1 音量 000000 – -45 dB（默认） 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB

### 6.3.26 寄存器48 – DAC控制26，默认值 0000 0000

位名称	位	描述
左声道输出2音量	5:0	LOUT2 音量 000000 – -45 dB（默认） 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB

### 6.3.27 寄存器49 – DAC控制27，默认值 0000 0000

位名称	位	描述
右声道输出2音量	5:0	ROUT2 音量 000000 – -45 dB（默认） 000001 – -43.5dB 000010 – -42dB ... 011110 – 0dB 011111 – 1.5dB ... 100001 – 4.5dB



**6.3.28 Register 50 – DAC Control 28, Default 0000 0000**

Bit Name	Bit	Description
----------	-----	-------------

**6.3.29 Register 51 – DAC Control 29, Default 1010 1010**

Bit Name	Bit	Description
hpLout1_ref1	7	Reserved
hpLout1_ref2	6	Reserved

**6.3.30 Register 52 – DAC Control 30, Default 1010 1010**

Bit Name	Bit	Description
spkLout2_ref1	7	Reserved
spkLout2_ref2	6	Reserved
mixer_ref1	3	Reserved
mixer_ref2	2	Reserved
MREF1	1	Reserved
MREF2	0	Reserved

## 7 Digital Audio Interface

The device provides four formats of serial audio data interface to the input of the DAC or output from the ADC through LRCK, SCLK and SDIN/SDOUT pins. The four formats are I<sup>2</sup>S, left justified, right justified and DSP/PCM mode. DAC input DSDIN is sampled by ES8388 on the rising edge of DSCLK. ADC data is out on ASDOUT and changes on the falling edge of ASCLK. The relationship of SDATA (SDIN/SDOUT), SCLK and LRCK with the three formats is shown through Figure 3 to Figure 7.

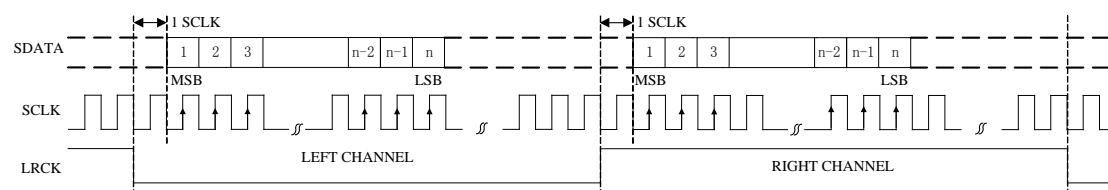


Figure 3 I<sup>2</sup>S Serial Audio Data Format Up To 24-bit

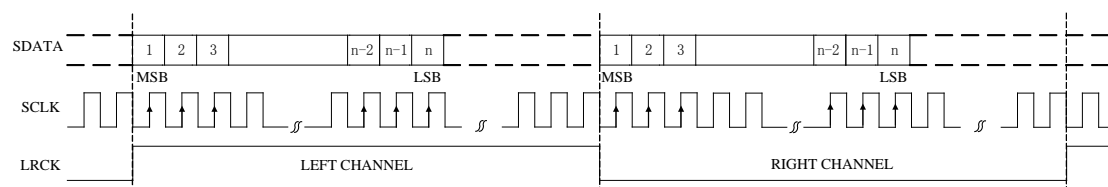


Figure 4 Left Justified Serial Audio Data Format Up To 24-bit

## 6.3.28 寄存器 50 – DAC控制 28，默认值 0000 0000

位名称	位	描述
-----	---	----

## 6.3.29 寄存器 51 – DAC控制 29，默认值 1010 1010

位名称	位	描述
hpLout1_ref1	7	保留
hpLout1_ref2	6	保留

## 6.3.30 寄存器 52 – DAC控制 30，默认值 1010 1010

位名称	位	描述
spkLout2_ref1	7	保留
spkLout2_ref2	6	保留
mixer_ref1	3	保留
mixer_ref2	2	保留
MREF1	1	保留
MREF2	0	保留

## 7 数字音频接口

该器件通过 LRCK、SCLK 及 SDIN/SDOUT 引脚，向 DAC 输入或从 ADC 输出提供四种格式的串行音频数据接口。

这四种格式为 I2S 接口、左对齐、右对齐及 DSP/PCM 模式。DAC 输入端的 DS DIN 由 ES8388 在 DSCLK 上升沿采样。ADC 数据通过 ASDOUT 输出，并在 A SCLK 下降沿发生变化。SDATA (SDIN/SDOUT)、SCLK 与 LRCK 在这三种格式中的关系如图 3 至图 7 所示。

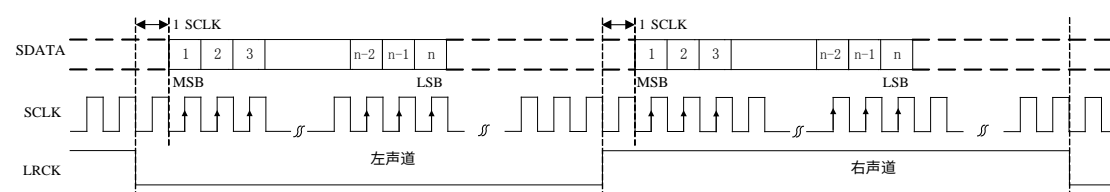
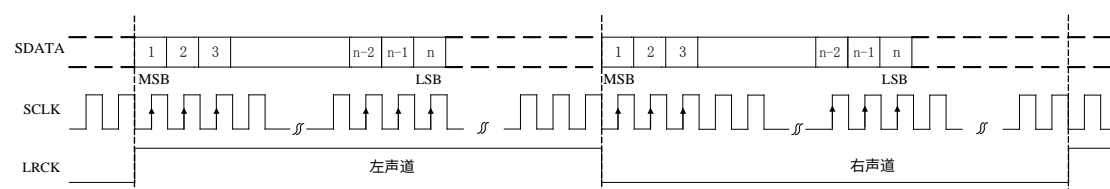
图3 I<sup>2</sup>S 串行音频数据格式，最高支持24位

图4 左对齐串行音频数据格式，最高支持24位

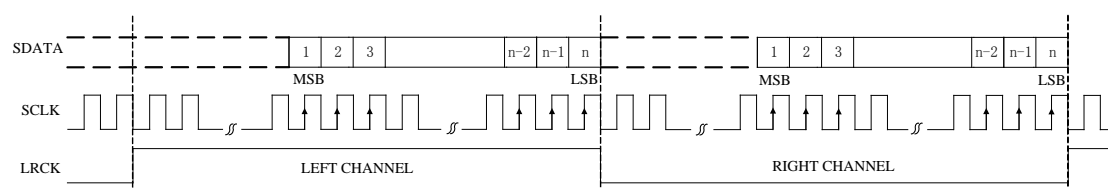


Figure 5 Right Justified Serial Audio Data Format Up To 24-bit

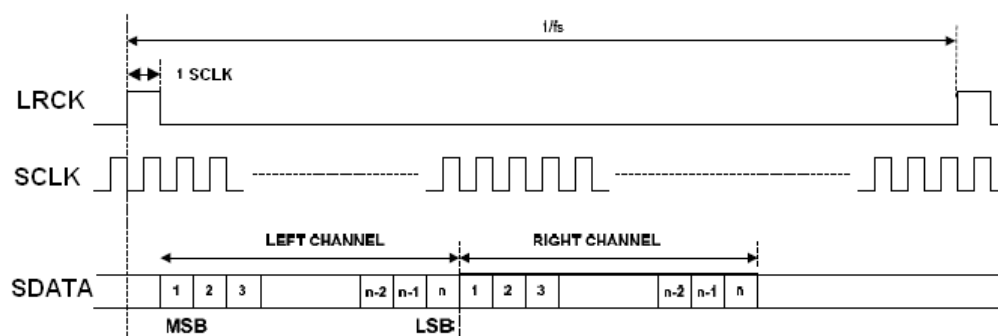


Figure 6 DSP/PCM Mode A

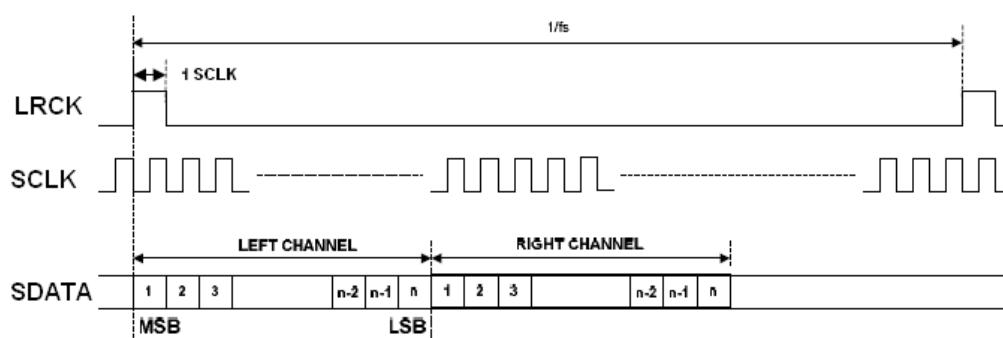


Figure 7 DSP/PCM Mode B

## 8 ELECTRICAL CHARACTERISTICS

### 8.1 Absolute Maximum Ratings

Continuous operation at or beyond these conditions may permanently damage the device.

PARAMETER	MIN	MAX
Analog Supply Voltage Level	-0.3V	+5.0V
Digital Supply Voltage Level	-0.3V	+5.0V
Input Voltage range	DGND-0.3V	DVDD+0.3V
Operating Temperature Range	-40°C	+85°C
Storage Temperature	-65°C	+150°C

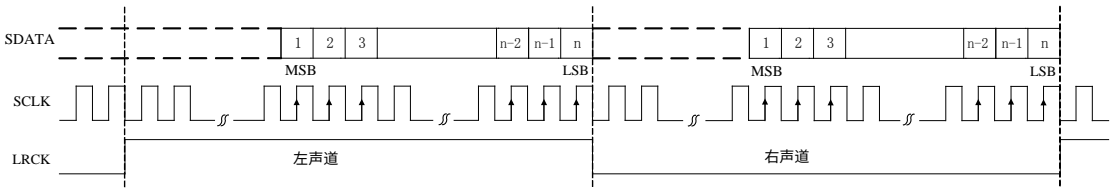


图5 右对齐串行音频数据格式，最高支持24位

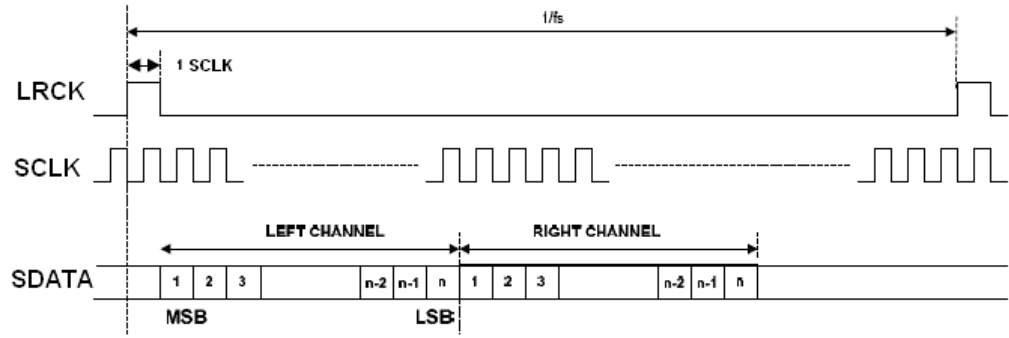


图6 DSP/PCM模式A

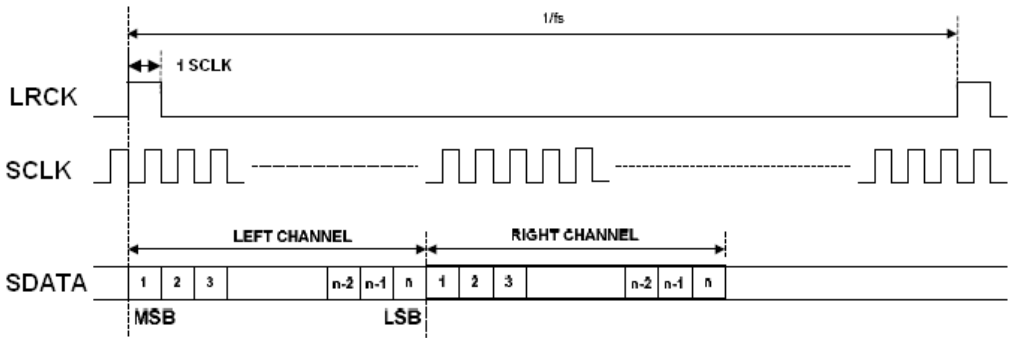


图7 DSP/PCM模式B

## 8 电气特性

### 8.1 绝对最大额定值

在这些条件下持续操作可能会永久损坏器件。

参数	最小值	最大值
模拟电源电压等级	-0.3V	+5.0V
数字电源电压等级	-0.3V	+5.0V
输入电压范围	DGND-0.3V	DVDD+0.3V
工作温度范围	-40℃	+85℃
存储温度	-65℃	+150℃

## 8.2 Recommended Operating Conditions

PARAMETER	MIN	TYP	MAX	UNIT
Analog Supply Voltage Level	1.7	3.3	3.6	V
Digital Supply Voltage Level	1.5	1.8	3.6	V

## 8.3 ADC Analog and Filter Characteristics and Specifications

Test conditions are as the following unless otherwise specify:

AVDD=+3.3V, DVDD=+1.8V, AGND=0V, DGND=0V, Ambient

temperature=+25°C, Fs=48 KHz, 96 KHz or 192 KHz, MCLK/LRCK=256.

PARAMETER	MIN	TYP	MAX	UNIT
<i>ADC Performance</i>				
Dynamic Range (Note 1)	85	95	98	dB
THD+N	-88	-85	-75	dB
Channel Separation (1KHz)	80	85	90	dB
Signal to Noise ratio	85	95	98	dB
Interchannel Gain Mismatch		0.1		dB
Gain Error			±5	%
<i>Filter Frequency Response – Single Speed</i>				
Passband	0		0.4535	Fs
Stopband	0.5465			Fs
Passband Ripple			±0.05	dB
Stopband Attenuation	50			dB
<i>Filter Frequency Response – Double Speed</i>				
Passband	0		0.4167	Fs
Stopband	0.5833			Fs
Passband Ripple			±0.005	dB
Stopband Attenuation	50			dB
<i>Analog Input</i>				
Full Scale Input Level		AVDD/3.3		Vrms
Input Impedance		20		KΩ

Note

1. The value is measured used A-weighted filter.

## 8.4 DAC Analog and Filter Characteristics and Specifications

Test conditions are as the following unless otherwise specify:

AVDD=+3.3V, DVDD=+1.8V, AGND=0V, DGND=0V, Ambient

temperature=+25°C, Fs=48 KHz, 96 KHz or 192 KHz, MCLK/LRCK=256.

PARAMETER	MIN	TYP	MAX	UNIT
<i>DAC Performance</i>				
Dynamic Range (Note 1)	83	96	98	dB
THD+N	-85	-83	-75	dB
Channel Separation (1KHz)	80	85	90	dB

## 8.2 推荐工作条件

参数	最小值	典型值	最大值	单位
模拟电源电压等级	1.7	3.3	3.6	V
数字电源电压等级	1.5	1.8	3.6	V

## 8.3 ADC模拟及滤波器特性与规格

除非另有说明，测试条件如下：

AVDD=+3.3V，DVDD=+1.8V，AGND=0V，DGND=0V，环境温度=+25°C，采样率=48 KHz、96 KHz或192 KHz，MCLK/LRCK=256。

参数	最小值	典型值	最大值	单位
ADC性能				
动态范围（注1）	85	95	98	dB
THD+N	-88	-85	-75	dB
声道分离度（1 kHz）	80	85	90	dB
信噪比	85	95	98	dB
声道增益不匹配		0.1		dB
增益误差			±5	%
滤波器频率响应——单速				
通带	0		0.4535	Fs
阻带	0.5465			Fs
通带纹波			±0.05	dB
阻带衰减	50			dB
滤波器频率响应——双速				
通带	0		0.4167	Fs
阻带	0.5833			Fs
通带纹波			±0.005	dB
阻带衰减	50			dB
模拟输入				
满量程输入电平		AVDD/3.3		Vrms
输入阻抗		20		K Ω

注意

1. 该数值采用A加权滤波器测量所得。

## 8.4 DAC模拟及滤波器特性与规格

除非另有说明，测试条件如下：

AVDD=+3.3V，DVDD=+1.8V，AGND=0V，DGND=0V，环境温度=+25°C，采样率=48 KHz、96 KHz或192 KHz，MCLK/LRCK=256。

参数	最小值	典型值	最大值	单位
DAC性能				
动态范围（注1）	83	96	98	dB
THD+N	-85	-83	-75	dB
声道分离度（1 kHz）	80	85	90	dB

Signal to Noise ratio	83	96	98	dB
Interchannel Gain Mismatch		0.05		dB
<i>Filter Frequency Response – Single Speed</i>				
Passband	0		0.4535	Fs
Stopband	0.5465			Fs
Passband Ripple			$\pm 0.05$	dB
Stopband Attenuation	40			dB
<i>Filter Frequency Response – Double Speed</i>				
Passband	0		0.4167	Fs
Stopband	0.5833			Fs
Passband Ripple			$\pm 0.005$	dB
Stopband Attenuation	40			dB
<i>De-emphasis Error at 1 KHz (Single Speed Mode Only)</i>				
Fs = 32KHz			0.002	dB
Fs = 44.1KHz			0.013	
Fs = 48KHz			0.0009	
<i>Analog Output</i>				
Full Scale Output Level		AVDD/3.3		Vrms

Note

1. The value is measured used A-weighted filter.

## 8.5 Power Consumption Characteristics

PARAMETER	MIN	TYP	MAX	UNIT
<i>Normal Operation Mode</i>				
DVDD=1.8V, PVDD=1.8V, AVDD=1.8V: Play back		7		mW
Play back and record		16		
DVDD=3.3V, PVDD=3.3V, AVDD=3.3V: Play back		31		
Play back and record		59		
<i>Power Down Mode</i>				
DVDD=1.8V, PVDD=1.8V, AVDD=1.8V		0.3		mW
DVDD=3.3V, PVDD=3.3V, AVDD=3.3V		1.9		

## 8.6 Serial Audio Port Switching Specifications

PARAMETER	Symbol	MIN	MAX	UNIT
MCLK frequency			51.2	MHz
MCLK duty cycle		40	60	%
LRCK frequency			200	KHz
LRCK duty cycle		40	60	%
SCLK frequency			26	MHz
SCLK pulse width low	T <sub>SCLKL</sub>	15		ns
SCLK Pulse width high	T <sub>SCLKH</sub>	15		ns

信噪比	83	96	98	dB
声道增益不匹配		0.05		dB
滤波器频率响应——单速				
通带	0		0.4535	Fs
阻带	0.5465			Fs
通带纹波			$\pm 0.05$	dB
阻带衰减	40			dB
滤波器频率响应——双速				
通带	0		0.4167	Fs
阻带	0.5833			Fs
通带纹波			$\pm 0.005$	dB
阻带衰减	40			dB
1 kHz去强调误差（仅限单速模式）				
采样率 = 32 kHz			0.002	dB
采样率 = 44.1 kHz			0.013	
采样率 = 48 kHz			0.0009	
模拟输出				
满量程输出电平		AVDD/3.3		Vrms

注意

1. 该数值采用A加权滤波器测量所得。

## 8.5 功耗特性

参数	最小值	典型值	最大值	单位
正常工作模式				
DVDD=1.8V, PVDD=1.8V, AVDD=1.8V: 播放		7		毫瓦
播放及录音		16		
DVDD=3.3V, PVDD=3.3V, AVDD=3.3V: 播放		31		
播放及录音		59		
掉电模式				
DVDD=1.8V, PVDD=1.8V, AVDD=1.8V		0.3		毫瓦
DVDD=3.3V, PVDD=3.3V, AVDD=3.3V		1.9		

## 8.6 串行音频接口切换规格

参数	符号	最小值	最大值	单位
MCLK 频率			51.2	MHz
MCLK 占空比		40	60	%
LRCK 频率			200	kHz
LRCK 占空比		40	60	%
SCLK 频率			26	MHz
SCLK 低电平脉冲宽度	T <sub>SCLKL</sub>	15		ns
SCLK 高电平脉冲宽度	T <sub>SCLKH</sub>	15		ns



SCLK falling to LRCK edge	$T_{SLR}$	- 10	10	ns
SCLK falling to SDOUT valid	$T_{SDO}$	0		ns
SDIN valid to SCLK rising setup time	$T_{SDIS}$	10		ns
SCLK rising to SDIN hold time	$T_{SDIH}$	10		ns

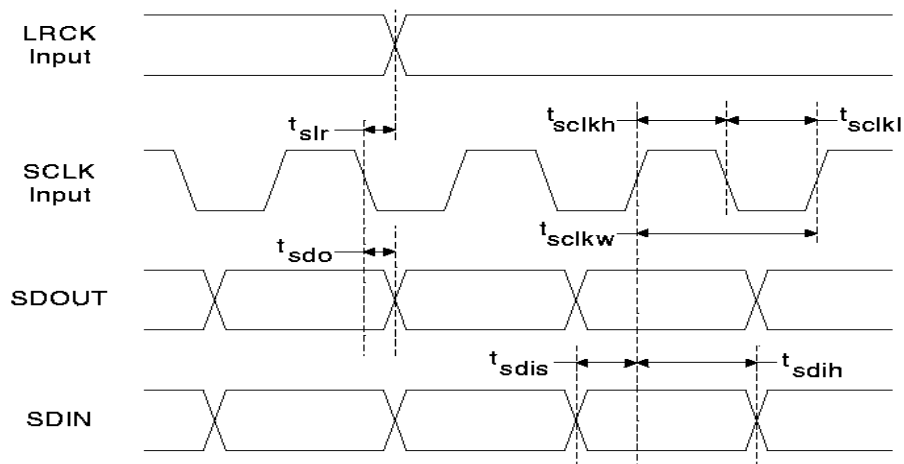


Figure 8 Serial Audio Port Timing

SCLK 下降沿至 LRCK 边沿	$T_{SLR}$	- 10	10	ns
SCLK 下降沿至 SDOUT 有效	$T_{SDO}$	0		ns
SDIN 对 SCLK 上升沿的建立时间	$T_{SDIS}$	10		ns
SCLK 上升沿到 SDIN 保持时间	$T_{SDIH}$	10		ns

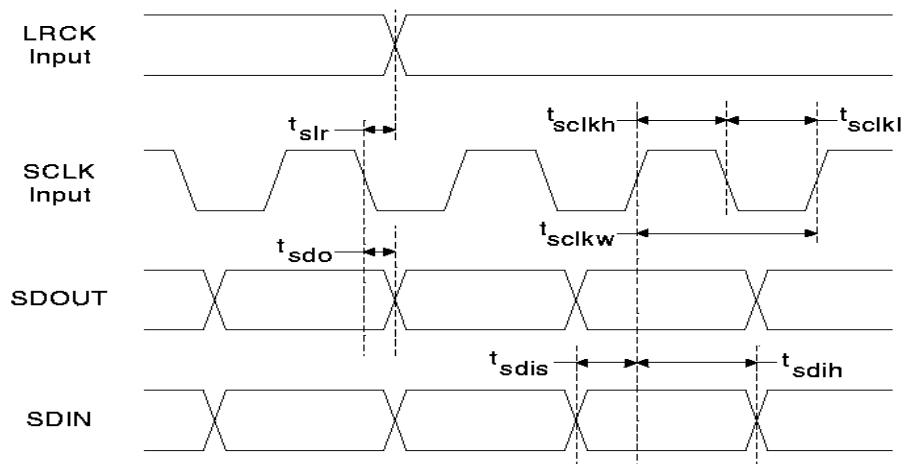


图8 串行音频接口时序图

### 8.7 Serial Control Port Switching Specifications

PARAMETER	Symbol	MIN	MAX	UNIT
<i>SPI Mode</i>				
SPI_CLK clock frequency			10	MHz
SPI_CLK edge to SPI_CSn falling	$T_{SPICS}$	5		ns
SPI_CSn High Time Between transmissions	$T_{SPISH}$	500		ns
SPI_CSn falling to SPI_CLK edge	$T_{SPISC}$	10		ns
SPI_CLK low time	$T_{SPICL}$	45		ns
SPI_CLK high time	$T_{SPICH}$	45		ns
SPI_DIN to SPI_CLK rising setup time	$T_{SPIDS}$	10		ns
SPI_CLK rising to DATA hold time	$T_{SPIDH}$	15		ns
<i>2-wire Mode</i>				
SCL Clock Frequency	$F_{SCL}$		400	KHz
Bus Free Time Between Transmissions	$T_{TWID}$	1.3		us
Start Condition Hold Time	$T_{TWSTH}$	0.6		us
Clock Low time	$T_{TWCL}$	1.3		us
Clock High Time	$T_{TWCH}$	0.4		us
Setup Time for Repeated Start Condition	$T_{TWSTS}$	0.6		us
SDA Hold Time from SCL Falling	$T_{TWDH}$		900	ns
SDA Setup time to SCL Rising	$T_{TWDS}$	100		ns
Rise Time of SCL	$T_{TWR}$		300	ns
Fall Time SCL	$T_{TWF}$		300	ns

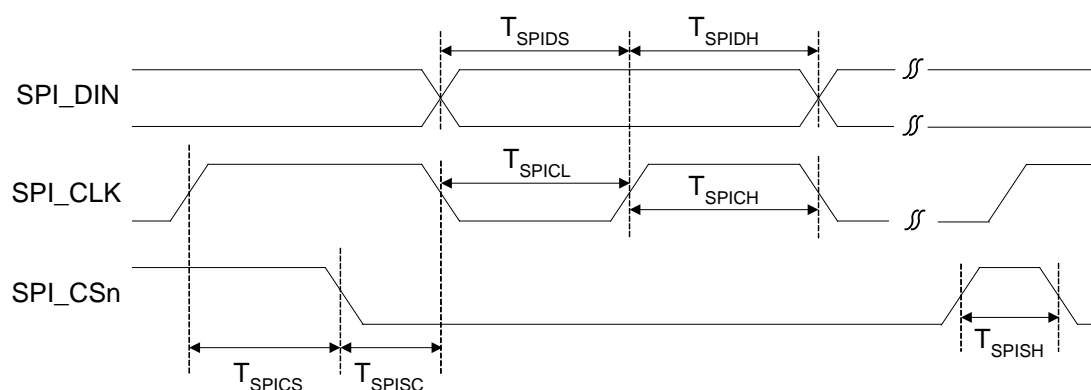
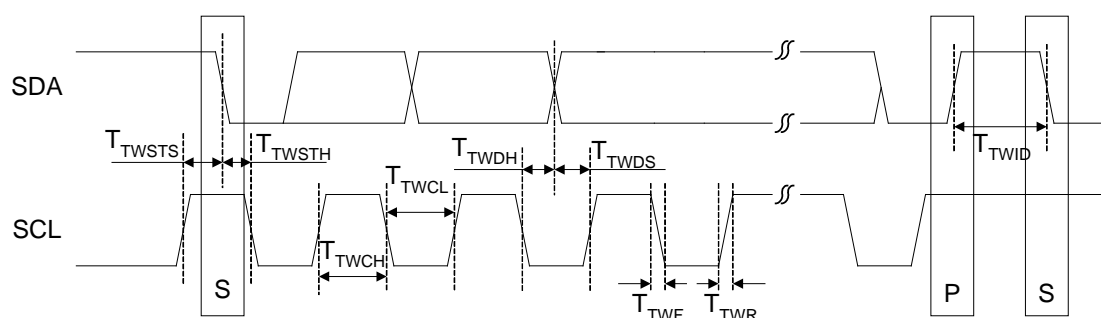


Figure 9 Serial Control Port SPI Timing



## 8.7 串行控制端口切换规格

参数	符号	最小值	最大值	单位
SPI 模式				
SPI_CLK 时钟频率			10	MHz
SPI_CLK 边沿至 SPI_CSn 下降沿时间	$T_{SPICS}$	5		ns
SPI_CSn 传输间高电平时间	$T_{SPISH}$	500		ns
SPI_CSn 下降沿至 SPI_CLK 边沿时间	$T_{SPISC}$	10		ns
SPI_CLK 低电平时间	$T_{SPICL}$	45		ns
SPI_CLK 高电平时间	$T_{SPICH}$	45		ns
SPI_DIN 至 SPI_CLK 上升沿建立时间	$T_{SPIDS}$	10		ns
SPI_CLK 上升沿至数据保持时间	$T_{SPIDH}$	15		ns
2线制模式				
SCL 时钟频率	$F_{SCL}$		400	kHz
传输间总线空闲时间	$T_{TWID}$	1.3		微秒
起始条件保持时间	$T_{TWSTH}$	0.6		微秒
时钟低电平时间	$T_{TWCL}$	1.3		微秒
时钟高电平时间	$T_{TWCH}$	0.4		微秒
重复起始条件建立时间	$T_{TWSTS}$	0.6		微秒
SCL下降沿后的SDA保持时间	$T_{TWDH}$		900	ns
SCL上升沿前的SDA建立时间	$T_{TWDS}$	100		ns
SCL上升时间	$T_{TWR}$		300	ns
SCL下降时间	$T_{TWF}$		300	ns

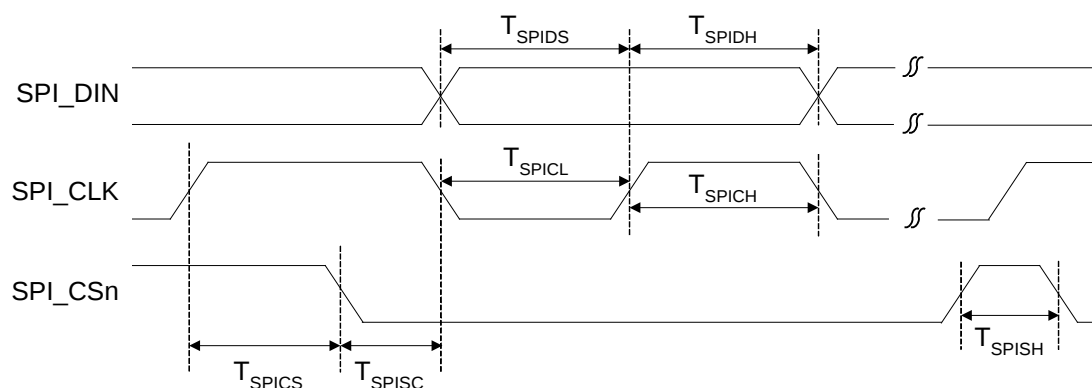


图9 串行控制端口SPI时序图

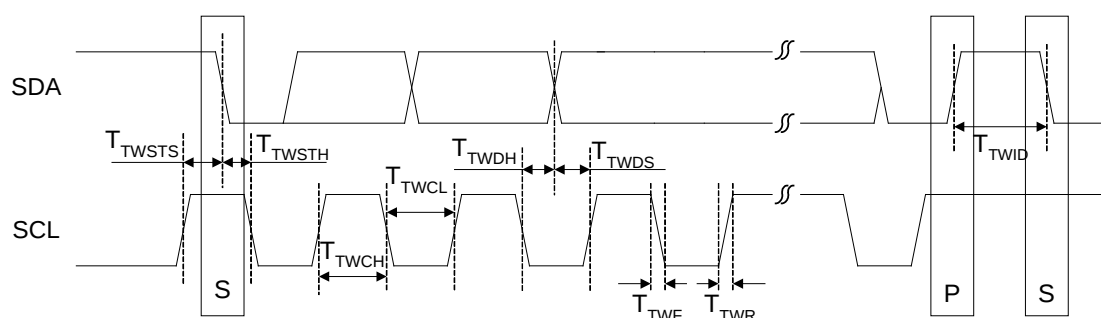
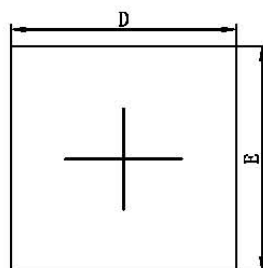


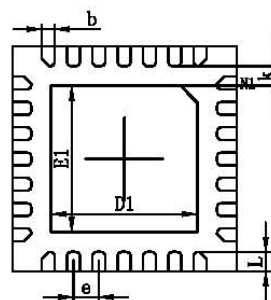
图10 串行控制端口2线制时序图

## 9 PACKAGE INFORMATION

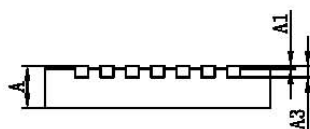
QFNWB4×4-28L-A (P0.45T0.75/0.85) PACKAGE OUTLINE DIMENSIONS



TOP VIEW



BOTTOM VIEW

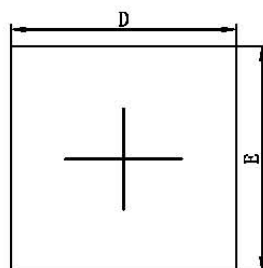


SIDE VIEW

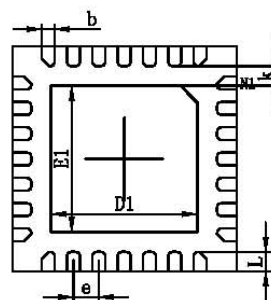
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	3.924	4.076	0.154	0.160
E	3.924	4.076	0.154	0.160
E1	2.500	2.700	0.098	0.106
D1	2.500	2.700	0.098	0.106
k	0.200MIN		0.008MIN	
b	0.180	0.280	0.007	0.011
e	0.450TYP.		0.018TYP.	
L	0.274	0.426	0.011	0.017

## 9 封装信息

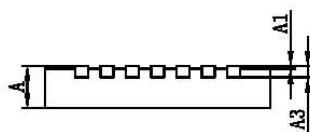
QFNWB4×4-28L-A (P0.45T0.75/0.85) PACKAGE OUTLINE DIMENSIONS



TOP VIEW



BOTTOM VIEW



SIDE VIEW

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	3.924	4.076	0.154	0.160
E	3.924	4.076	0.154	0.160
E1	2.500	2.700	0.098	0.106
D1	2.500	2.700	0.098	0.106
k	0.200MIN		0.008MIN	
b	0.180	0.280	0.007	0.011
e	0.450TYP.		0.018TYP.	
L	0.274	0.426	0.011	0.017

## 10 CORPOARATION INFORMATION

Everest Semiconductor Co., Ltd.

苏州工业园区机场路 328 号，国际科技园区科技广场 6A，邮编 215028

Email: [info@everest-semi.com](mailto:info@everest-semi.com)

## 10 公司信息

Everest Semiconductor有限公司

苏州工业园区机场路 328 号，国际科技园区科技广场 6A，邮编 215028

电子邮件：[info@everest-semi.com](mailto:info@everest-semi.com)