

論理回路の組み込み自己診断に関する提案

香川 敬祐[†] 矢野 郁也[†] 王 森レイ[†] 樋上 喜信[†] 高橋 寛[†] 大竹 哲史[‡]

[†] 愛媛大学大学院理工学研究科 〒790-8577 愛媛県松山市文京町 3 番

[‡] 大分大学 〒870-1192 大分県大分市大字旦野原 700 番地

E-mail: [†] {wang higami takahashi}@cs.ehime-u.ac.jp, [‡] ohtake@oita-u.ac.jp

あらまし 最近、自動車の機能安全の実現のために車載集積回路が果たす役割が増加している。自動車の機能安全を保証するためには、パワーオンテストのための要素技術の開発が望まれている。パワーオンテストにおいては、制限されたテストパターン数のもとで、規定された故障検出率に達することを目的とする組み込み自己テスト技術の開発が進んでいる[1]。今後、さらに、パワーオンテストにおいて故障検出だけでなく、被疑故障箇所を指摘する組み込み自己診断(Built-In Self Diagnosis: BISD)の要素技術の開発が望まれている。そこで、本稿では、組み込み自己診断において解決しなければならない課題を議論し、新しい組み込み自己診断機構を提案する。提案する機構では、被検査回路上で故障を検出するだけでなく、予め登録した故障の中から故障候補も指摘できる。そのために、提案する組み込み自己診断機構では、診断用署名生成器および診断用署名に基づく故障候補の指摘器を新たに導入する。そして最後に、予備実験を行い診断用署名・被疑故障署名の圧縮と故障診断能力の関係を評価する。

キーワード 組み込み自己診断, 診断用署名, 故障診断能力

Built-In Self Diagnosis for the Logic Circuit

Keisuke KAGAWA[†] Fumiya YANO[†] Senling WANG[†] Yoshinobu HIGAMI[†]
Hiroschi TAKAHASHI[†] and Satoshi OHTAKE[‡]

[†] Graduate School of Science and Engineering, Ehime University 3 Bunkyocho, Matsuyama, Ehime, 790-8577 Japan

[‡] Oita University 700 Dannoharu, Oita, Oita, 870-1192 Japan

E-mail: [†] {wang higami takahashi}@cs.ehime-u.ac.jp, [‡] ohtake@oita-u.ac.jp

Abstract Recently, roles of automotive LSI to realize a functional safety of vehicle are increasing. In order to guarantee the functional safety, developing the component technologies for Power On Self Test (POST) to test the vehicle system in the field is desirable. For POST, Built-In Self Test technologies that can achieve the specified/expect fault coverage with limited patterns are developing[1]. Moreover, it is believed that a Built-In Self Diagnosis (BISD) technology for POST that can not only detect faults but also locate the faults will be crucial to ensure the long-term functional safety. In this paper, we indicate the problems that have to be solved for BISD, and propose a new BIST architecture for POST. In the proposed architecture, it can not only detect faults on the CUT but also indicate fault candidates from a prestored faults index. For this purpose, we introduce a new diagnostic signature generator and the circuit to indicate the fault candidate based on the diagnostic signatures. Finally, we evaluate the relationships between the compression of diagnostic signature/suspected fault signature and fault diagnosis capability.

Keywords Built-In Self Diagnosis, diagnostic signature, fault diagnosis capability

1. まえがき

近年、自動車に車載集積回路を組み込むことによって先進自動運転を実現するための研究・開発が進んでいる。それに伴って、自動車で利用される電子制御ユニット(ECU)などの車載集積回路の数は増加している。さらに、自動車の機能安全を実現するために、車載集積回路が重要な役割を果たしている。したがって、自動車の機能安全を保証するためには、車載集積回路の

高信頼性化が必要不可欠である。

筆者らは、車載集積回路の高信頼性の要素技術としてパワーオンテストに適用可能なテスト技術を提案している[1]。提案法では、マルチサイクルテスト環境において故障検出に必要なテストパターン数を削減するために、新たに故障検出強化フリップフロップを導入し、その選択法を提案している。

故障検査においては、故障の有無を検出した後に、

その故障の箇所を推定する故障診断が必要である。そこで、車載集積回路に対する「組込み自己診断(Built-In Self Diagnosis: BISR)」の開発が望まれている[2-4]。

BISR の先行研究としては、文献[4]がある。

BISR を実現するためには、次の課題を解決する必要がある。

課題 1) テストパターン系列に対する被検査回路のパス/フェイル情報を生成するための仕組みが必要である。診断容易化設計としてテストパターンに対する期待値署名を記憶するためにはサイズの大きなメモリが必要である。

課題 2) 被検査回路のパス/フェイル情報に基づいて診断用署名を生成するための仕組みが必要である。

課題 3) フィールドにおいて組込み自己診断を実行するためには、被検査回路から得られた診断用署名と予め格納された被疑故障署名を比較して、被疑故障を推定する仕組みが必要である。

課題 4) 診断用署名のサイズと故障診断分解能の精度の関係を解明しなければならない。

そこで、本稿では、新しい組込み自己診断機構を提案する。まず BISR の先行研究について説明する。次に、我々が提案する BISR 機構、BISR のシミュレーションモデル、および BISR の診断能力をそれぞれ説明する。さらに、提案する機構において新たに導入する診断用署名生成器および診断用署名に基づく故障候補の指摘器を説明する。最後に、予備実験を行い診断用署名・被疑故障署名の圧縮と故障診断分解能の関係を評価する。

2. 先行研究

ここでは、文献 [4] で提案されている決定的パターンと BISR 機構を拡張した BISR 機構を解説する。

図 1 は BISR を拡張した BISR 機構を示しており、その中の影がかかっていない部分は疑似ランダムパターン利用した BISR 機構を示している。BISR の動作では、パターン生成回路において連続した疑似ランダムパターンが生成され、それらが被検査回路に印加される。出力側では、テストパターンに対応するテスト応答は署名解析器で圧縮される。

BISR において高い故障検出率を得るために、追加の決定的パターンを生成する方法がある。この場合、テストパターンを保持するメモリはオンチップ上に実装される必要がある(図 1 の横線ブロック)。

図 2 は、文献[4]で提案された BISR 機構を示している。既存の手法では、すべての縮退故障 f と全てのテストパターン $p \in T$ に対して、参照署名 $s_{ref}(f, p)$ を作成し、更に故障 f に対する参照署名となる $S_{ref}(f) =$

$U_{p \in T}\{s_{ref}(f, p)\}$ を作成する。

被検査回路から取得できる故障箇所の影響を受けた署名をそれぞれのテストパターンについて XP-SISR によって空間圧縮して、応答署名 S_{obs} を得る。

故障診断では、 $S_{ref}(f)$ と S_{obs} に基づいて以下の評価値を求める。

- $\sigma^f: S_{ref}(f)$ で不良で S_{obs} でも不良なビットの個数
- $\iota^f: S_{ref}(f)$ では不良だが S_{obs} では正常なビットの個数
- $\tau^f: S_{ref}(f)$ では正常だが S_{obs} では不良なビットの個数

これらの評価値を組み合わせ、以下のように被疑故障の順位を並べ替える。

$$r(f) > r(f') \Leftrightarrow \begin{cases} \sigma^f > \sigma^{f'} \text{ or} \\ \sigma^f = \sigma^{f'} \wedge \iota^f > \iota^{f'} \text{ or} \\ \sigma^f = \sigma^{f'} \wedge \iota^f = \iota^{f'} \wedge \tau^f > \tau^{f'} \end{cases}$$

しかしながら、既存法には以下のような制約がある。

制約 1) 決定的テストパターンをオンチップで格納するメモリ (Pattern Memory) が必要となる。

制約 2) パス/フェイル情報を生成するために、正常回路の期待値を格納するメモリ (Response Memory) が必要となる。

制約 3) 誤り情報用メモリ (Fail Memory) に格納されたパス/フェイル情報を外部テスト等を利用して解析する必要がある。

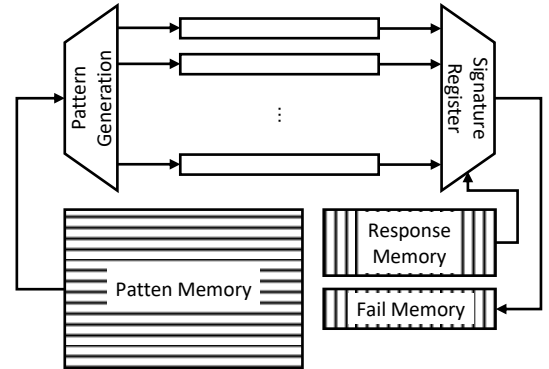


図 1 BISR を拡張した BISR 機構

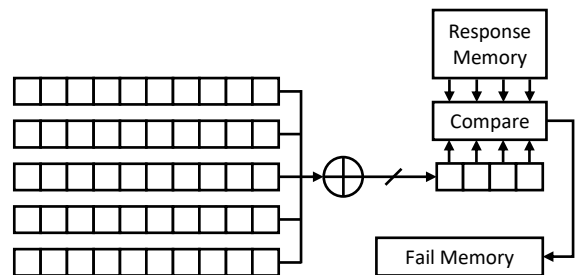


図 2 文献[4]で提案された BISR 機構

3. 提案する BISD 機構

本章では、提案する BISD 機構について述べる。

3.1. BISD 機構

ここでは、組込み自己テスト機構を拡張した BISD 機構を提案する。

図 3 エラー! 参照元が見つかりません。に提案する BISD 機構を示す。提案する BISD 機構は、以下の要素から構成される。

要素 1) ランダムパターン系列を生成するテスト生成回路および故障診断能力を向上させるためのリシード機構

要素 2) テストパターンごとに被検査回路(CUD)の故障検出情報であるパス/フェイル情報を生成する回路

要素 3) テストパターンごとのパス/フェイル情報を圧縮してテストパターン系列に対する診断用署名を生成する回路

要素 4) 被疑故障ごとの被疑故障署名を格納するメモリ

要素 5) 診断用署名と被疑故障署名を比較し、故障箇所を指摘する回路

課題 1)を解決するために、新たにテストパターンごとに被診断回路(CUD)のパス/フェイル情報を生成する回路を提案する。BISD においては、テストパターン毎に被診断回路の個々の出力側フリップフロップの誤りの非検出または検出の情報(パス/フェイル情報)を利用することができない。そのため、テストパターンに対する被診断回路の出力側フリップフロップの応答を圧縮した応答署名を生成する。各テストパターンに対する応答署名と正常回路の期待値署名を比較することで各テストパターンのパス/フェイル情報を求めることができる。しかしながら、一般にテストパターン毎の期待値署名を格納するためのメモリを準備することは容易ではない。そこで、本研究では、メモリにテストパターン毎の期待値署名を格納しないで、各テストパターンのパス/フェイル情報を求める回路を開発した。ただし、この回路の詳細は特許申請中のため、詳細な説明は行わない。

課題 2)を解決するために、本稿では、診断用署名生成回路を提案する。この詳細は 4 章で述べる。

課題 3)を解決するために、本稿では、診断用署名に基づく故障候補の指摘器を提案する。この詳細は 5 章で述べる。

次に、提案する BISD 機構の基本動作を説明する。

提案する BISD 機構の基本動作

ステップ 1: テスト生成回路およびリシード機構を用いて遷移故障診断能力の高いテストパターンを生成す

る。

ステップ 2: テストパターンに対して被診断回路のパス/フェイル情報を生成する。

ステップ 3: 診断用署名生成回路を用いて、被診断回路のパス/フェイル情報を圧縮する。

ステップ 4: 所定のテストパターン数に対して、ステップ 1 から 3 を繰り返し実行して、被診断回路に対する診断用署名を生成する。

ステップ 5: 故障候補の指摘器を利用して、診断用署名と被疑故障署名を比較することで、情報が一致したアドレス情報から被疑故障を指摘する。

図 4 は、診断用署名の生成、および診断用署名と被疑故障署名の比較の概念を示している。

筆者らは、これまでに、文献[5]において、テスト生成回路およびリシード機構に関する提案や故障診断能力の評価を行った。また、文献[6]において、診断容易化設計のハードウェア制約を緩和するために、診断用署名および被疑故障署名を生成するために用いるフリップフロップの数を制限して、各署名を格納するメモリ量を削減する方法を提案した。そこで本稿では、上記 BISD の要素のうち 3), 4), 5)を取り上げ、被疑故障の指摘回路を提案し、その故障診断能力を評価する。

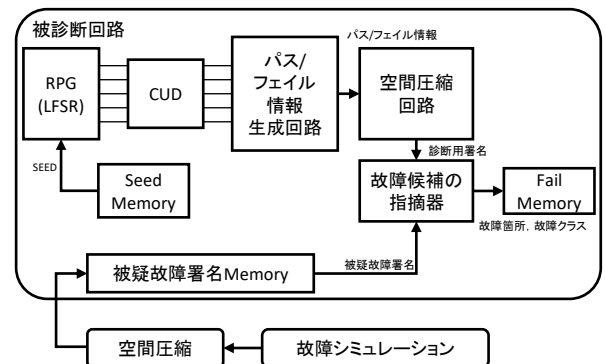


図 3 提案する BISD 機構

図 4 診断用署名の生成・被疑故障署名との比較

3.2. BISD のシミュレーションモデル[5]

ここでは、BISD 機構の振る舞いをシミュレーションするために、以下のシミュレーションモデルを考える。BISD 機構のシミュレーションモデルを図 5 に示す。

BISD 機構を用いて遷移故障診断を行うために、次の 3 つの情報が与えられる。

情報 1) I 個のテストパターンからなるテストパターン系列 $t_1, \dots, t_i, \dots, t_I$,

情報 2) 回路テーブル,

情報 3) J 個の仮定故障からなる故障リスト

そして、仮定故障 f_j に対応する被疑故障署名 S_{fj} を求めるために、診断用故障シミュレーションを実行する。診断用故障シミュレーションによってテストパターン t_i における故障 f_j をもつ回路のパス/フェイル情報 $pf_{ji} = PF(f_j, t_i)$ を求める。 t_i が遷移故障 f_j を検出するなら $pf_{ji} = 1$ 、検出しないなら $pf_{ji} = 0$ とする。

次に、 I 個のテストパターンからなるテストパターン系列に対して求めたパス/フェイル情報から、被疑故障署名 $S_{fj} = SA(pf_{j1}, \dots, pf_{ji}, \dots, pf_{jI})$ を求める。これらの同様の処理を繰り返して、 J 個の仮定故障に対して J 個の被疑故障署名 $S_{f1}, \dots, S_{fj}, \dots, S_{fJ}$ を求める。なお、求められた J 個の被疑故障署名 $S_{f1}, \dots, S_{fj}, \dots, S_{fJ}$ はメモリに格納されているとする。

テストパターン毎の被診断回路のパス/フェイル情報 $pf_i = PF(CUD, t_i)$ を求める。 t_i が被診断回路の故障を検出するならば $pf_i = 1$ 、検出しないならば $pf_i = 0$ とする。 I 個のテストパターン系列のパス/フェイル情報から診断用署名 $S_{CUD} = SA(pf_1, \dots, pf_i, \dots, pf_I)$ を生成する。

故障候補を指摘するために、 S_{CUD} と $S_{f1}, \dots, S_{fj}, \dots, S_{fJ}$ を順次比較する。もし、 $S_{CUD} = S_{fj}$ ならば、被診断回路に遷移故障 f_j が存在すると推定する。

それぞれ J 個の被疑故障署名が与えられるとする。このとき、ある故障 f_j に対する被疑故障署名 S_{fj} がその他 $J-1$ 個の被疑故障署名と相異なるならば、テストパターン系列によって f_j は診断可能である。一方で S_{fj} と同じ被疑故障署名がその他 $J-1$ 個の被疑故障署名にあるならば、 f_j は区別できない故障としてクラスにまとめる。

BISD 機構の故障診断能力は、「診断可能な故障数」、「クラス数」、および「クラスの要素数」によって評価する。診断可能な故障数が多いほど、故障診断能力が高いと評価する。また、クラスに含まれる被疑故障は、含まれるクラスの要素数が少ないものであるほど診断可能な故障と同様の故障診断が可能になる。要素数が少ないクラスが多いほど、故障診断能力が高いと評価する。

4. 診断用署名生成回路

ここでは、パス/フェイル情報を圧縮するための空間圧縮器として、以下の 3 つのアルゴリズムから構成される回路を提案する。

- 1) XOR ゲートを用いたアルゴリズムを実装する回路
- 2) ハッシュ関数を用いたアルゴリズムを実装する回路
- 3) 上記 1)、2) の回路を組み合わせた回路

4.1. XOR ゲートを利用したアルゴリズム

ここでは、空間圧縮器として XOR-Tree を利用するアルゴリズムを考える。

そこで、XOR ゲートの配置が異なる 2 種類のアルゴリズム XOR_1、および XOR_2 をそれぞれ提案する。以下の図 6 に XOR_1、図 7 に XOR_2 を利用した機構をそれぞれ示す。

図 6 が示す XOR_1 は、16bit のパス/フェイル情報を 4bit に圧縮する機構を示している。本機構では、隣接する 2 つの値の排他的論理和を XOR ゲートによって算出する。この操作を、目標となる圧縮ビット数まで繰り返す。

図 7 が示す XOR_2 は、図 6 と同様に 16bit のパス/フェイル情報を 4bit に圧縮する機構を示している。本機構では、目標となる圧縮ビット数の任意の初期値を初めに与え、その後パス/フェイル情報の先頭から目標となる圧縮ビット数ごとの排他的論理和を XOR ゲートによって算出する。

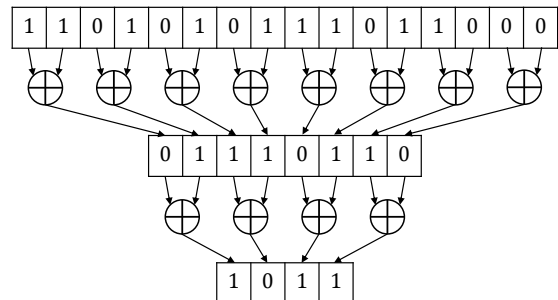


図 5 BISD 機構のシミュレーションモデル

3.3. BISD 機構の故障診断能力

ここでは、故障診断能力に関して議論する。

被疑故障に J 個の故障を仮定し、それらに対してそれ

図 6 空間圧縮器(XOR_1)の構造

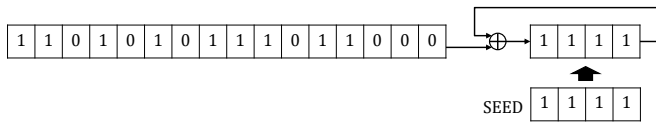


図 7 空間圧縮器(XOR_2)の構造

4.2. ハッシュ関数を利用したアルゴリズム

ここでは、署名を圧縮するためにハッシュ関数を利用したアルゴリズムを提案する。

ハッシュ関数は任意の入力(メッセージ)に対してハッシュ値を出力する関数で、ソフトウェアの改ざんの確認などに利用される[7]。ハッシュ関数の以下の機能が、空間圧縮器の機能として有効であると考えられる。

機能 1)任意長のメッセージから固定長のハッシュ値を計算できる

機能 2)ハッシュ値を高速に計算できる

機能 3)メッセージが異なればハッシュ値も異なる

特に機能 2)に関しては、オンチップで空間圧縮を行い被疑故障箇所を指摘する必要があるため、高速に計算(圧縮)できることは重要な要素となる。機能 3)に関しては、圧縮による情報のエイリアシングを防ぐために、高い衝突耐性をもつハッシュ関数が高い性能をもつ空間圧縮器として利用できる。

一般に、ハッシュ関数を新たにチップ上に導入するためには、診断容易化設計用の回路オーバーヘッドが問題となる。しかしながら、BISD が実装されるチップには、セキュリティ関連のシステムを実現するために、ハッシュ関数が実装されていることが想定される。そこで、現在主流となっているハッシュ関数である SHA-256、および SHA-512 のそれぞれの機構を利用することを提案する。

なお、SHA-256 および SHA-512 は、NIST(National Institute of Standards and Technology)で生成されたハッシュ関数である 256 ビット(32 ビット×8)のハッシュ値および 512 ビット(64 ビット×8)のハッシュ値をそれぞれもつ[7]。

4.3. ハッシュ関数とXORゲートを組合わせたアルゴリズム

ここでは、ハッシュ関数を利用して圧縮をした後に、XOR ゲートを利用してさらに圧縮を行うアルゴリズムを提案する。

4.2 で提案したハッシュ関数を利用したアルゴリズムでは、ハッシュ値のビット数が 256 ビット/512 ビットと固定されており圧縮できる大きさに制限がある。そこで、XOR ゲートを利用したアルゴリズムを併用することによって圧縮の効果を高める。

5. 診断用署名に基づく故障候補の指摘器

ここでは、診断用署名に基づく故障候補の指摘器を提案する。

BISD 機構における故障候補の指摘器に必要な機能を以下に整理する。

入力情報)被検査回路から得られた診断用署名

出力情報)診断用署名と一致した被疑故障署名のアドレス

機能 1)被疑故障の識別番号をアドレスとして、その被疑故障の被疑故障署名を格納

機能 2)被検査回路から得られた診断用署名と一致する被疑故障署名の探索

故障候補の指摘器による故障診断では、故障候補の指摘器から出力情報として得られたアドレスに対応する識別番号をもつ被疑故障を被検査回路に存在する故障候補として指摘する。

本稿では、上記の故障候補の指摘器を実現するために、連想メモリ(Content Addressable Memory : CAM)[8]を利用することを提案する。図 8 は、故障候補の指摘器の概念を示している。

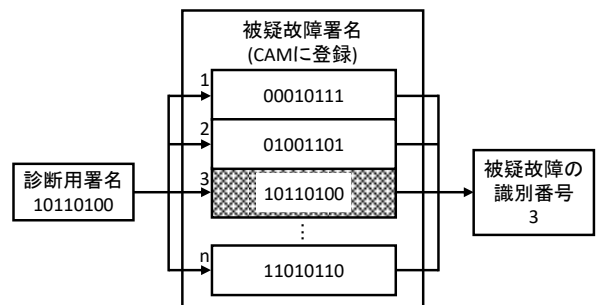


図 8 故障候補の指摘器の概念

6. 予備実験結果

ここでは、BISD 機構におけるパス/フェイル情報の圧縮と故障診断能力の精度の関係を評価する。

なお、本診断の対象故障は遷移故障である。表 1 は、故障診断能力の評価に利用した回路の諸元を示している。

各圧縮器による圧縮後の故障診断能力の評価実験結果を表 2 から表 7 にそれぞれ示す。圧縮ビット幅の列には、パス/フェイル情報を圧縮するビット幅を示す。診断可能故障数の列には、7,756 個のランダムパターンに対する故障診断用の圧縮済みの診断用署名によって区別が可能な故障数を示す。クラス数の列には、診断ができなかった故障のクラス数を示す。クラス内の最大故障数の列には、クラスを構成する最大故障数を示す。

評価実験結果から、以下のことが明らかになった。
 1)XOR ゲートを利用した圧縮の場合は、圧縮なしの場合に得られた診断可能な故障数に対して、圧縮ビットの幅を短縮すると診断可能な故障数が減少する傾向にある。
 2)ハッシュ関数を利用した圧縮の場合は、圧縮なしの場合に得られた故障診断能力と同じ故障診断能力を得ることができた。
 3)ハッシュ関数を利用した圧縮と XOR ゲートを利用した圧縮を組み合わせた場合は、XOR ゲートのみを使用した圧縮の場合より高く、ハッシュ関数のみを使用した圧縮の場合とほぼ同等の故障診断能力を得ることができた。

表 1 診断能力の評価に利用した回路の諸元

回路名	対象故障数	テストパターン系列数	診断可能な故障数	クラス数	クラス内の最大故障数
cs9234	7,756	2,048	659	1,443	45

表 2 圧縮後の故障診断能力(XOR_1)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
256	629(95.45%)	1,243	48
128	627(95.14%)	1,240	48
64	624(94.69%)	1,232	48
32	608(92.26%)	1,222	48
16	571(86.65%)	1,182	72

表 3 圧縮後の故障診断能力(XOR_2)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
256	640(97.12%)	1,246	48
128	635(96.36%)	1,245	48
64	630(95.60%)	1,243	48
32	624(94.69%)	1,231	48
16	583(88.47%)	1,195	52

表 4 圧縮後の故障診断能力(SHA-256)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
256	659(100%)	1,443	45

表 5 圧縮後の故障診断能力(SHA-512)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
-------------	----------	------	------------

512	659(100%)	1,443	45
-----	-----------	-------	----

表 6 圧縮後の故障診断能力(SHA-256&XOR_1)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
128	659(100%)	1,443	45
64	659(100%)	1,443	45
32	659(100%)	1,443	45
16	640(97.12%)	1,224	45

表 7 圧縮後の故障診断能力(SHA-512&XOR_1)

圧縮ビット幅[bit]	診断可能な故障数	クラス数	クラス内の最大故障数
128	659(100%)	1,443	45
64	659(100%)	1,443	45
32	659(100%)	1,443	45
16	644(97.72%)	1,436	45

7. まとめ

本稿では、まず、組込み自己診断(BISD)機構を実現するために解決しなければならない課題を整理した。次に、新しい組込み自己診断(BISD)機構を提案した。さらに、BISD における診断用署名生成器および診断用署名に基づく被疑故障の指摘器を提案した。最後に、予備実験において、BISD 機構におけるパス/フェイル情報の圧縮と故障診断能力の精度の関係を評価した。

謝辞

本研究は一部科研費 (16K00074)の援助を受けている。

文 献

- [1] S.Wang, H. T. Al-Awadhi, S. Hamada, Y. Higami, H. Takahashi, H. Iwata and J. Matsushima, "Structure-Based Methods for Selecting Fault-Detection-Strengthened FF under Multi-Cycle Test with Sequential Observation," Proc. ATS, 2016, pp.209-214.
- [2] A. Cook et.al., "Advanced diagnosis: SBST and BIST integration in automotive E/E architectures," Proc. DAC, 2014, pp.1-6, DOI:10.1145/2593069.2602971.
- [3] A. Cook, M. Elm, H. Wunderlich, and U. Abelein, "Structural in-field diagnosis for random logic circuits," Proc. ETS, 2011, pp.111-116, DOI:10.1109/ETS.2011.25.
- [4] M.Elm, H.Wunderlich, "BISD:Scan-Based Built-In Self-Diagnosis," Proc. DATE, 2010, PP. 1243 – 1248.
- [5] 宮本夏規, 村上陽紀, 王シンレイ, 樋上喜信, 高橋寛, 大竹哲史, "組込み自己診断におけるテストパターン系列の診断能力に関して," 情報科学技術フォーラム, pp.273-274, 2015.
- [6] 矢野郁也, 王シンレイ, 樋上喜信, 高橋寛, "組込み自己診断におけるハードウェア制約の改善法," 情報処理学会四国支部 支部大会, 2016.
- [7] 結城浩, "暗号技術入門 第3版," pp.170-204, SBクリエイティブ株式会社, 2015.
- [8] 柴山潔, "改訂新版 コンピュータアーキテクチャ

の基礎,”pp.243, 近代科学社, 2004.