

修士論文

題目

組込み自己診断の高効率化法と高精度化法に関する研究

指導教官

高橋寛 教授

王森レイ 助教

報告者

矢野郁也

平成 29 年 2 月 13 日提出

愛媛大学大学院 理工学研究科 電子情報工学専攻 情報工学コース

内容梗概

半導体製造技術が進化し集積回路の高速化・高集積化が実現されている。その結果、大規模集積回路（LSI）が生活の中で幅広く使用されるようになり、現在の社会を支える先進自動運転やインダストリ 4.0 の実現のための要素技術として欠かせないものとなった。

LSI の高速化・高集積化に伴って、様々な故障が顕在化している。そのために、様々な故障に対する高信頼化手法が研究されている。LSI の出荷テストは出荷時に良品と不良品を判別するテストであるため、出荷後の市場における LSI の経年劣化に対応できない。出荷後のフィールドテストにおいては「組込み自己テスト (Built-In Self Test)」が提案されている。BIST においては、テストの結果として故障の有無しかわからない。そこで、高信頼化を支える技術として、LSI 単体で故障診断可能な「組込み自己診断 (Built-In Self Diagnosis)」の実現が望まれている。

これまでに、一般的な組込み自己テスト機構を拡張し、故障診断回路を組込んだ「組込み自己診断 (Built-In Self Diagnosis)」について提案を行っている。しかしながら、現在の組込み自己診断においては、被検査回路に診断用回路を組込む必要があるため、ハードウェア制約が大きいという問題点がある。

そこで、本研究では、故障診断能力を低下させることなく、ハードウェア制約の改善を図ることを目的とした手法を提案する。

組込み自己診断機構におけるハードウェア制約の改善を実現するために、観測するフリップフロップの数を制限することで、組込み自己診断の高効率化手法を提案する。提案法は、フリップフロップに対してランク付けを行い、ランクの高いものから優先的に観測フリップフロップとして使用することで故障診断精度を低下させることなく、ハードウェア制約の改善をはかる。

組込み自己診断の診断結果は，故障箇所を唯一に推定できる被疑故障と，同じ診断用署名をもつ被疑故障がまとめられたクラスに大別される．本研究では，クラス内の被疑故障を分離するために故障診断の高精度化法として，後方追跡による故障診断法を提案する．

目次

内容梗概	i
第 1 章 序論	1
第 2 章 準備	3
2.1 節 諸定義	3
2.1.1. 故障モデル	3
2.1.2. テストパターン	3
2.1.3. 故障診断	4
2.1.4. スキャンテスト	4
2.1.5. 組込み自己テスト (Built In Self Test)	4
2.1.6. 後方追跡	5
2.1.7. 活性化経路	5
2.2 節 故障モデル	5
2.2.1. 縮退故障	6
2.2.2. 遷移故障	6
第 3 章 組込み自己診断機構	8
3.1 節 組込み自己診断 (Built-In Self Diagnosis) 機構	8
3.2 節 署名の生成・比較	10
第 4 章 組込み自己診断機構における高効率化法	12
4.1 節 組込み自己診断における高効率化法	12

4.2 節 フリップフロップ選択法	13
4.3 節 シミュレーションモデル	14
4.4 節 評価指標	15
第 5 章 後方追跡による高精度化法	16
5.1 節 正常回路のタイミングシミュレーション情報に基づく後方追跡	16
5.2 節 評価指標	18
第 6 章 実験結果	19
6.1 節 組込み自己診断における高効率化法	19
6.2 節 タイミングシミュレーションを利用した高精度化法	23
第 7 章 結論	30
謝辞	32
参考文献	33
発表論文リスト	35

図 目 次

2.1	スキャンテストの LoC モデル	5
2.2	遷移故障	7
3.1	組込み自己診断モデル	9
3.2	署名	11
4.1	高効率化された組込み自己診断機構	13
4.2	フリップフロップランク付けシミュレーションモデル	14
5.1	バックトレースシミュレーションモデル	17
6.1	クラス内の故障数 (s9234)	24
6.2	クラス内の故障数 (s13207)	25
6.3	クラス内の故障数 (s15850)	26
6.4	クラス内の故障数 (s35932)	27
6.5	クラス内の故障数 (s38417)	28
6.6	クラス内の故障数 (s38584)	29

表 目 次

6.1	実験に用いた計算機の仕様	19
6.2	BISD 機構における高効率化法の評価結果 (s9234)	20
6.3	BISD 機構における高効率化法の評価結果 (s13207)	21
6.4	BISD 機構における高効率化法の評価結果 (s15850)	21
6.5	BISD 機構における高効率化法の評価結果 (s35932)	21
6.6	BISD 機構における高効率化法の評価結果 (s38417)	22
6.7	BISD 機構における高効率化法の評価結果 (s38584)	22
6.8	後方追跡に使用するクラス内の故障数	23
6.9	後方追跡の実験結果	24

第 1 章

序論

LSI の製造工程における多くの技術革新が行われることで、半導体製造技術が進化し半導体の高速化・高集積化が実現されている。その結果 LSI が生活の中で幅広く使用されるようになり、現在の社会を支える先進自動運転やインダストリ 4.0 の実現のための要素技術として欠かせないものとなった。

LSI が発展すると同時に様々な故障が問題となってきた。従来より~~テストをはじめとする~~高信頼化手法は研究されている。しかしながら、信頼性を高める手法としての多重化・冗長化は余分な装置が必要となる。また、出荷テストは出荷時に良品と不良品を判別するテストであるため、出荷後の経年劣化に対応できない。出荷後のフィールドテストについては「組み込み自己テスト (built-in self test)」があげられるが、テストの結果は故障の有無しかわからない。先進自動運転等の要素技術として使用する際には安全性を確保する必要があるため、出荷後のフィールドテストでの高信頼化が望まれる。

そこで、高信頼化を支える技術として LSI 単体で故障診断可能な「組み込み自己診断 (built-in self diagnosis)」の実現が望まれている。

当研究室では一般的な組み込み自己テスト機構を拡張し、故障診断回路を組み込んだ「組み込み自己診断 (built-in self diagnosis)」について提案を行っている [1] [2] [3]。

組み込み自己診断機構は、

1. テストパターンを生成するテスト生成回路
2. 被診断回路

3. パスフェイル情報を解析する診断用署名解析回路
4. 被疑故障署名を格納するメモリ
5. それらを比較する回路

以上の5つで構成される．これらを用いてあらかじめ生成された被疑故障署名と被診断回路から得られた診断用署名を比較することで，故障箇所を出力する．

しかし，現在の組込み自己診断において，追加して回路を組込む必要があるため，ハードウェア制約が大きいという問題点があげられる．そこで，故障診断能力を下げることなくハードウェア制約の改善を図ることを目的とした高効率化手法の提案を行う．また，組込み自己診断で出力される被疑故障はクラスと呼ばれる被疑故障集合としてまとめられている．それをさらに高精度化することを目的として，被診断回路に対するバックトレースによる故障診断法の提案を行う．

本論文の構成は以下のとおりである．第1章で研究の背景および目的について述べる．第2章で諸定義および故障モデルについて述べる．第3章で組込み自己診断モデルについて述べる．第4章で提案する組込み自己診断における高効率化法の提案を行う．第5章で組込み自己診断における被疑故障集合の高精度化法の提案を行う．そして第6章で提案法の実験結果を示す．最後に第7章で結論を述べる．

第 2 章

準備

本章では，用語を定義し，本論文で対象とする故障モデルについて述べる [4] [5].

2.1 節 諸定義

本節では，本論文で用いる用語の定義を行う．

~~2.1.1.~~ 故障モデル

あらかじめ起こり得る故障を論理的な振る舞いに着目してモデル化したものを故障モデルという．

次節において，本論文で扱う故障モデルについて説明する．

~~2.1.2.~~ テストパターン

回路の動作を行う際，入力フリップフロップに対して与える論理値の集合をテストパターンという．

また，遷移故障は信号線の論理値の変化に起因する．そのため，故障の検出には変化前の論理値を設定するテストパターンと，変化後の論理値を確かめる 2 つのテストパターンを連続して印加する必要がある．これを 2 パターンテストという．

~~2.1.3.~~ 故障診断

被疑故障回路の故障箇所を推定することを故障診断という。

故障診断はあらかじめ故障を仮定した被疑故障回路を用意する。その回路に対してテストパターンを利用し故障シミュレーションを行う。シミュレーションの結果として被疑故障回路の出力が論理値として得られる。被診断回路に対してシミュレーションを行う。それらの出力論理値と被疑故障回路の出力論理値とを比較することで被疑故障集合が得られる。

また、入出力回路の値を観測し被疑故障回路をトレースしていくことで故障候補を絞り込むことが可能となる。

~~2.1.4.~~ スキャンテスト

被疑故障回路に存在する遷移故障の診断法として、スキャンテストと呼ばれる 2 パターンテストが広く用いられる。

図 2.1 のように、順序回路を 2 つのタイムフレームに時刻展開した 2 時刻展開回路を用いて LoC 方式 (Launch off Capture) を実現する。LoC 方式のテストでは、2 時刻目の回路に対するフリップフロップの入力値を、1 時刻目の結果として取り込んだ論理値を用いる。それぞれのフリップフロップの信号値と信号変化の比較を行う。取り込んだ信号値が 0 から 1 へ遷移していた場合 2 時刻目のフリップフロップの値は立ち上がりとなり、信号値が 1 から 0 へ遷移していた場合は立ち下がりとなる。これにより、遷移故障に対する 2 パターンテストを行うことが可能となる。

~~2.1.5.~~ 組込み自己テスト (Built In Self Test)

集積回路内部にフィールドテスト環境を組み込んだ回路を組み込み自己テスト機構という。テスト生成回路と、被診断回路から出力された論理値とそれぞれのテストに対する期待値を比較する回路を組み込むことで、集積回路単体で故障の有無の診断を行う。

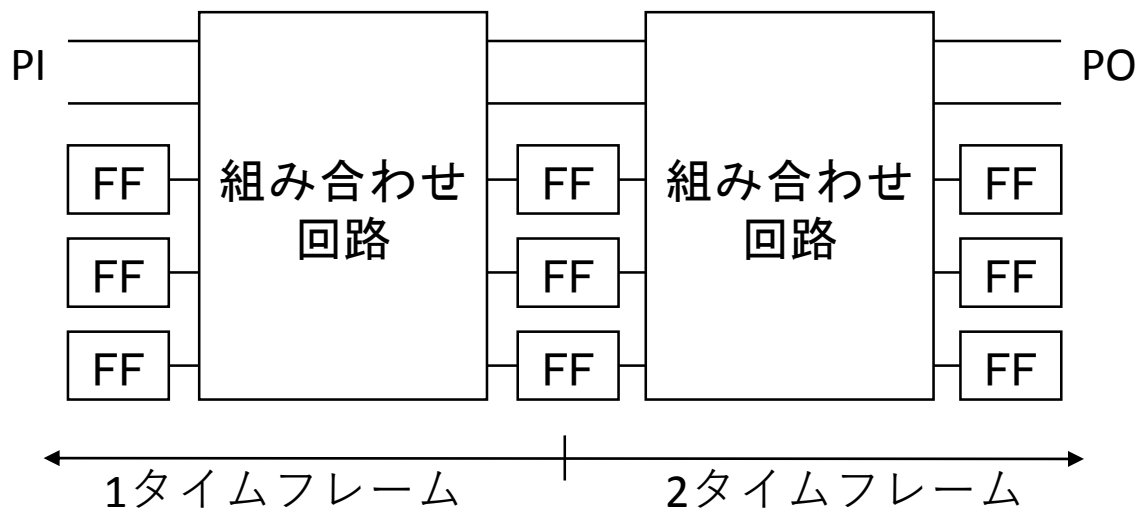


図 2.1. スキャンテストの LoC モデル

2.1.6. 後方追跡

外部出力や各ゲートから外部入力に向かって、回路内部を条件に沿って走査することを後方追跡という。活性化経路を後方追跡することで、故障がどの経路を通過して伝搬したのかを推測することが可能である。

2.1.7. 活性化経路

回路における外部入力から故障箇所までの故障の影響を励起した経路を励起経路という。また、故障箇所から外部出力までの故障の影響が伝搬した経路を伝搬経路という。それら 2 つを合わせた経路を活性化経路という。

2.2 節 故障モデル

本節では、本論文で対象とする故障モデルについて述べる。本論文で扱う故障モデルはすべて、回路に 1 つだけ故障を仮定する単一故障であるとする。

2.2.1. 縮退故障

信号線の論理値が 0 または 1 に固定される故障を縮退故障という。故障箇所を通る論理値が 0 に固定される縮退故障を 0 縮退故障といい、論理値が 1 に固定される縮退故障を 1 縮退故障という。このとき、入力論理値に関わらず出力論理値は縮退された値となる。

縮退故障の励起および伝搬条件は以下のようになる。

励起条件 故障信号線における論理値が、正常回路における論理値と異なるとき。

伝搬条件 故障の影響が外部出力まで伝搬すること。

2.2.2. 遷移故障

回路内の信号線の論理値の変化の際に遅延が生じ、その遅延の蓄積がタイミングマージンを超えてしまうと、遷移故障が発生する。遷移故障には、信号線の論理値が 0 から 1 に変化する際の遅延による立ち上がり遷移故障と、信号線の論理値が 1 から 0 に変化する際の遅延による立ち下がり遷移故障が存在する。

図 2.2 に例を示す。図のように AND ゲート出力で遷移故障が発生しているとする。このとき 1 時刻目のテストパターンを t_1 、2 時刻目のテストパターンを t_2 とし、AND ゲートそれぞれの入力で図 2.2 のような論理値の変化が起こるとする。正常に論理値が変化すれば、0 から 1 への立ち上がりの変化が起こるが、この際遅延が生じると、値が立ち上がる前に値の読み込みを行うため、値が立ち上がりずこの AND ゲートの論理値は固定値 0 となる。

遷移故障の励起および伝搬条件は以下のようになる。

励起条件 故障信号線における論理値の変化が立ち上がり（立ち下がり）であるとき。

伝搬条件 故障の影響が外部出力まで伝搬すること。

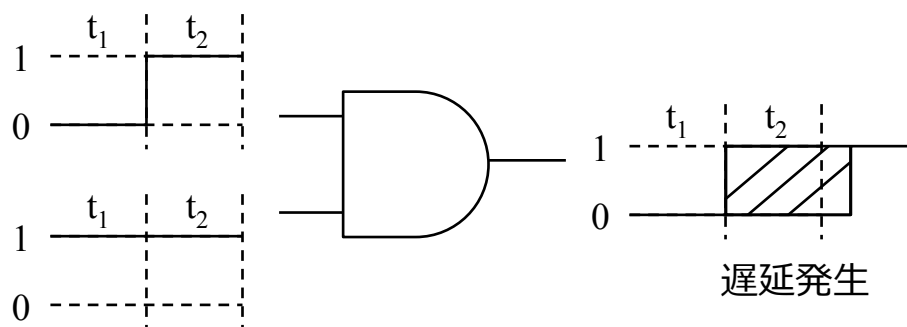


図 2.2. 遷移故障

第 3 章

組込み自己診断機構

本章では，組込み自己診断について述べる．

3.1 節 組込み自己診断 (Built-In Self Diagnosis) 機構

本節では，組込み自己診断機構について述べる．

組込み自己診断機構は，以下の要素から構成される．

1. 擬似ランダムパターン系列を生成するテスト生成回路 (Pseudo Random Pattern Generator)
2. 被疑故障回路 (COD)
3. テストパターン毎のパスフェイル情報を圧縮し，テストパターン系列に対する診断用署名を生成する回路
4. 故障毎の被疑故障署名を格納しておくメモリ回路
5. 診断用署名と被疑故障署名を比較し，故障候補を出力する回路

組込み自己診断機構の概要を図 3.1 に示す．

組込み自己診断機構の概要を説明する．組込み自己診断では組込み自己テストを拡張した回路を模擬し実現する．まず，テスト生成回路よりテストパターン系列を生成

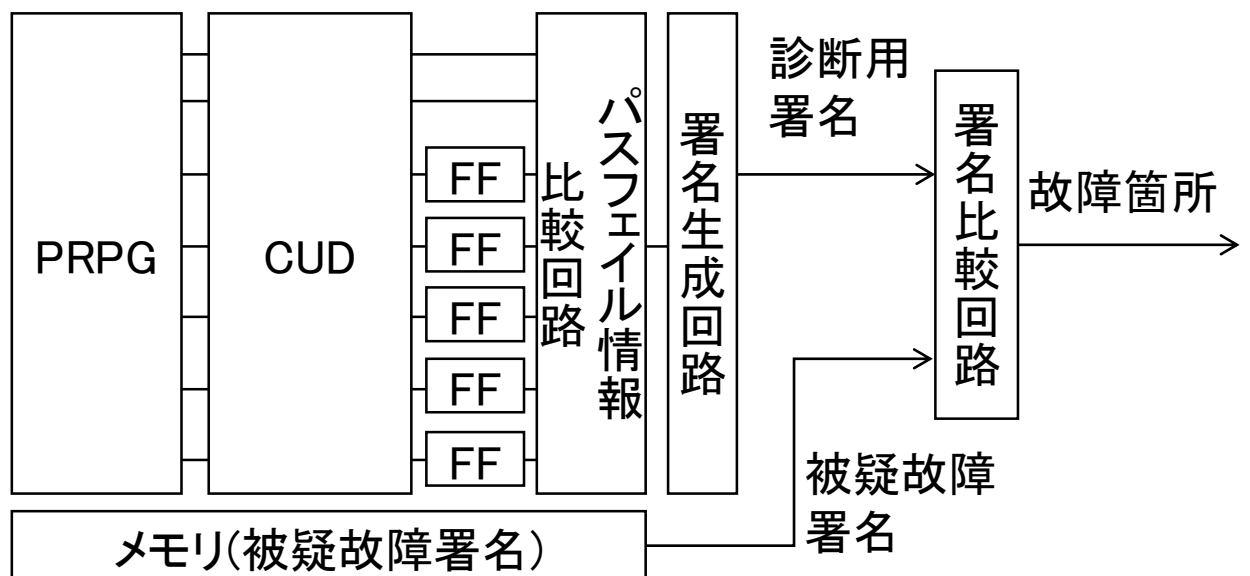


図 3.1. 組込み自己診断モデル

する。テスト生成回路は線形帰還シフトレジスタ (Linear Feedback Shift Register) を用いて生成する。

生成されたテストパターン系列を被疑故障回路に入力し実行する。

実行した被疑故障回路から出力された出力パターンを正常回路の論理値と比較する。そして、正常回路の出力パターンと比較し、パス/フェイル情報が出力される。テストパターン毎にパス/フェイル情報をまとめることで、診断用署名の作成を行う。

その診断用署名とあらかじめメモリに格納された故障毎の被疑故障署名と比較を行い、一致する署名の故障候補を出力することで組込み自己診断機構における故障診断が行われる。

組込み自己診断の利点として以下のものがあげられる。

- テストパターンを回路単体で発生させることで故障診断を行うために、外部テストの必要がない点
- フィールドテストが可能となり出荷後の経年劣化に対応できる点
- いくつかの出力を故障診断用に設計することで高精度化を見込める点

3.2 節 署名の生成・比較

CUD から得られたパス/フェイル情報から診断用署名を生成するために、組込み自己診断では診断用署名解析回路を利用する。そして、シミュレーションより得られた診断用署名と被疑故障署名を署名比較回路を利用して比較を行い、診断用署名と被疑故障署名が一致するとき被疑故障回路の故障箇所を推定することが可能となる。故障診断に利用する診断用署名は事前に組込み自己診断を模したシミュレーションを行い作成しておく。本研究では被疑故障署名はあらかじめ生成され、組込み自己診断機構の内部メモリに格納されているものとする。被疑故障署名の生成および診断用署名との比較を図 3.2 に示す。

故障診断を行うため、 I 個のテストパターンからなるテストパターン系列 $t_1, \dots, t_i, \dots, t_I$ が与えられる。 J 個の被疑故障 $f_1 \dots f_j \dots f_J$ に対応する被疑故障署名 S_{f_j} を、故障シミュレーションを行うことで算出する。

まず、故障シミュレーションによってテストパターン t_i における故障 f_j をもつ回路のパスフェイル情報 $pf_{f_j} = PF(f_j, t_i)$ を求める。 t_i が遷移故障 f_j を検出するならば $pf_{f_j} = 1$ 、検出しないならば $pf_{f_j} = 0$ とする。次に、 I 個のテストパターンからなるテストパターン系列に対して求めたパス/フェイル情報から、被疑故障署名 $S_{f_j} = SA(pf_{f_1}, \dots, pf_{f_i}, \dots, pf_{f_I})$ を求める。同様の処理を繰り返して、 J 個の仮定故障に対して J 個の被疑故障署名 $S_{f_1}, \dots, S_{f_j}, \dots, S_{f_J}$ を求める。求められた J 個の被疑故障署名 $S_{f_1}, \dots, S_{f_j}, \dots, S_{f_J}$ はメモリに格納されているとする。

次に、CUD に対してテストパターン毎の CUD のパス/フェイル情報 $pf_i = PF(CUD, t_i)$ を求める。 t_i が CUD の故障を検出するならば $pf_i = 1$ 、検出しないならば $pf_i = 0$ とする。 I 個のテストパターン系列のパス/フェイル情報から診断用署名 $S_{CUD} = SA(pf_1, \dots, pf_i, \dots, pf_I)$ を生成する。

組込み自己診断の結果を求めるために、 S_{CUD} と $S_{f_1}, \dots, S_{f_j}, \dots, S_{f_J}$ を順次比較する。もし、 $S_{CUD} = S_{f_j}$ ならば、CUD に遷移故障 f_j が存在すると推定し出力する。

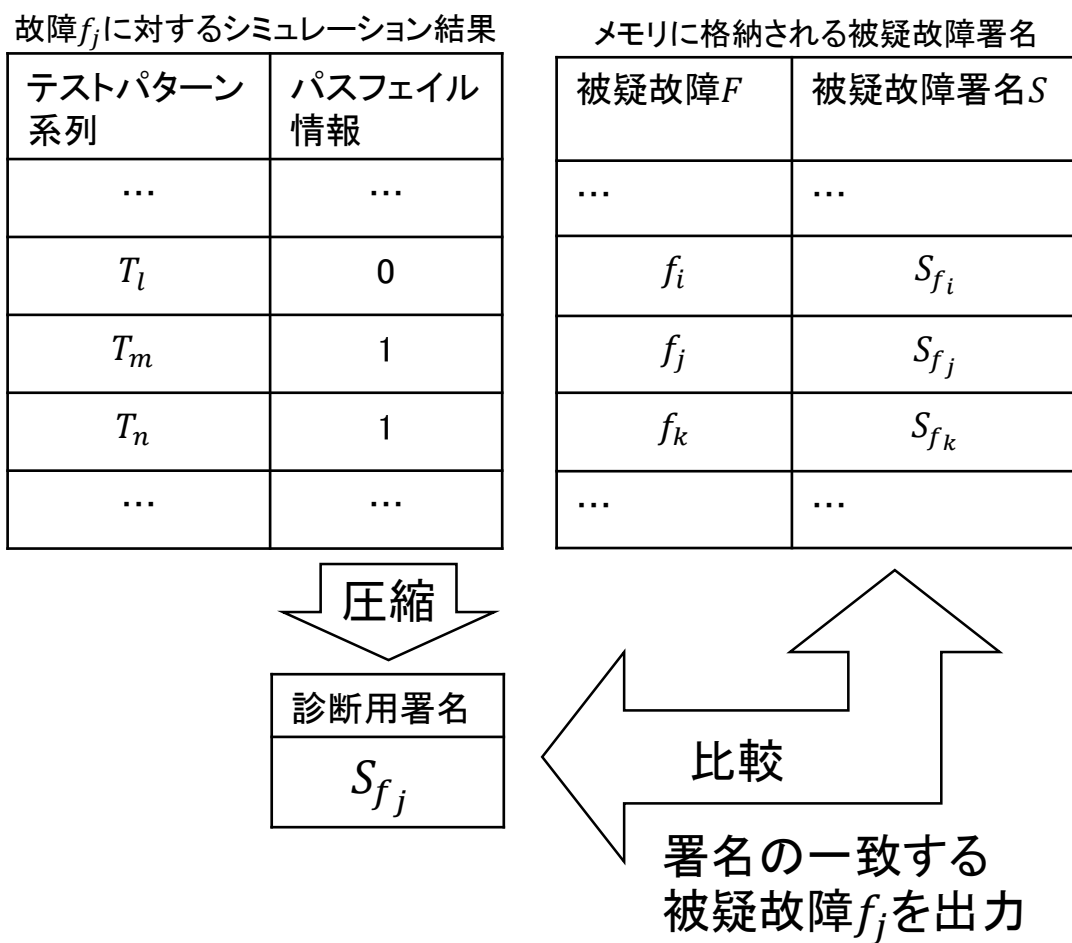


図 3.2. 署名

第 4 章

組込み自己診断機構における高効率化法

本章では組込み自己診断機構における高効率化手法について述べる。

組込み自己診断はその機構を実現するために被診断回路を拡張しているため、回路の設計面積は大きくなる。そのため、組込み自己診断の精度を維持し回路面積を削減する。

4.1 節 組込み自己診断における高効率化法

本節では、組込み自己診断の精度を維持した高効率化する手法を述べる。

通常、回路動作時のフリップフロップの値は内部に保持されているため、観測するためには別の観測機構を組込む必要がある。本研究で扱う組込み自己診断では、あるテストパターン i の時、正常回路の出力値 $Cout_{norm_i}$ と被診断回路の出力値 $Cout_{CUD_i}$ と比較を行い、出力値の差異がある故障が検出されたとき署名 $pf_i = 1$ を出力する。

そのため、組込み自己診断機構では出力論理値の情報を個々に観測することができない。そこで、図 4.1 に示すように回路内で観測するフリップフロップの数を制限することで、故障診断精度を低下させることなく組込み自己診断機構における高効率化手法を図る。

また、観測するフリップフロップの選択は故障診断精度に直結する。その中で回路面積削減のためのフリップフロップ選択を行う際、次節で述べる選択法を適応する。

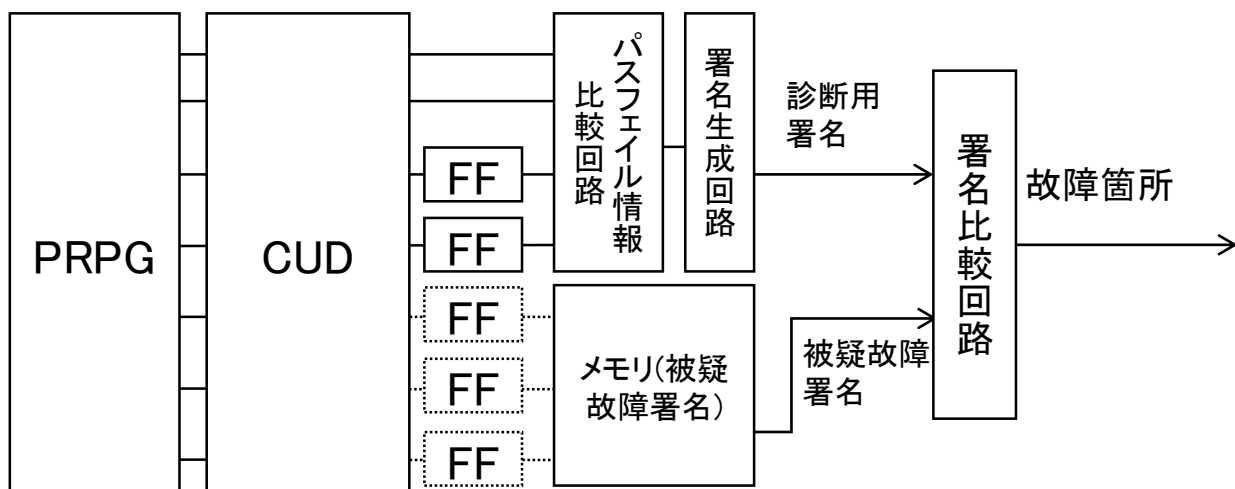


図 4.1. 高効率化された組込み自己診断機構

4.2 節 フリップフロップ選択法

本節では提案するフリップフロップの選択法について述べる。本研究では回路内部のフリップフロップを、精度を低下させることなく故障診断ができるようにフリップフロップの選択を行う。

提案手法では、故障検出回数の多いフリップフロップから優先度の高いランクを付け、それらを優先的に使用する。

本研究で使用するランク付けの指標を述べる。

I 個のテストパターンからなるテストパターン系列を $t_1, \dots, t_i, \dots, t_I$, J 個の被疑故障を $f_1, \dots, f_j, \dots, f_J$ とする。CUD に対して、テストパターン t_i 被疑故障 f_j の時、全 K 箇所からなるフリップフロップ $ff_1, \dots, ff_k, \dots, ff_K$ のいずれかで故障が検出できた場合フリップフロップをそれぞれ $fo_{ijk} = 1$, 検出できなかった場合 $fo_k = 0$ とする。

その時、次式によりフリップフロップのランク $FF_{k_{rank}}$ の算出を行う。

$$FF_{k_{rank}} = \sum_i^I \sum_j^J fo_{ijk}$$

全 K 箇所のフリップフロップに対してランク付けを行う。

4.3 節 シミュレーションモデル

本説では本研究のシミュレーションモデルについて述べる．シミュレーションモデルを図4.2に示す．

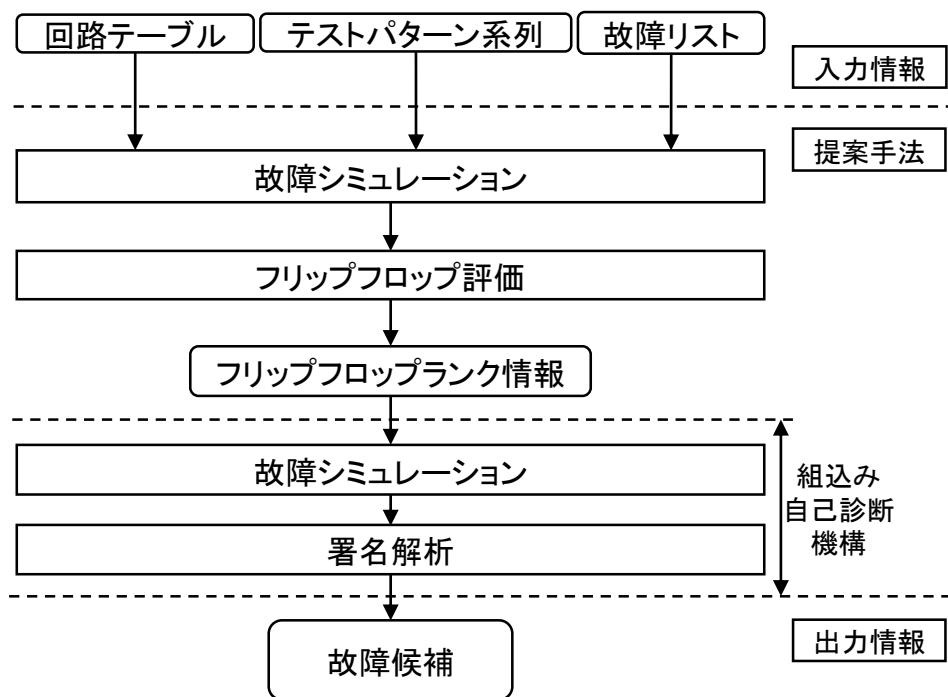


図 4.2. フリップフロップランク付けシミュレーションモデル

入力情報として回路情報とテストパターン系列，故障情報を用いる．次にこれらを回路へ入力し故障シミュレーションを行う．そして，フリップフロップのランク付けを行う．

そして，組込み自己診断機構でフリップフロップのランクの高いものから優先的に観測を行うことで，組込み自己診断機構における故障診断精度を求める．

4.4 節 評価指標

本説では組込み自己診断機構におけるテストパターン系列の故障診断能力について述べる．あるテストパターン系列において， J 個の故障に対して J 個の被疑故障署名が与えられる．この時，ある故障 f_j に対する被疑故障署名 S_{f_j} がその他の $J - 1$ 個の被疑故障署名と異なるならば，故障 f_j は診断可能である．被疑故障署名 S_{f_j} がその他の $J - 1$ 個の被疑故障署名と同一の署名があるならば， f_j は区別できない故障としてクラスにまとめる．

本論文において，組込み自己診断機構における故障診断能力は以下の 3 項目について評価を行う．

1. 診断可能な故障数
2. クラス数
3. クラスに属する故障数の最大値

第 5 章

後方追跡による高精度化法

本章ではタイミングシミュレーション情報に基づく故障診断法および，組込み自己診断に対する故障診断，それらの評価方法について述べる．

5.1 節 正常回路のタイミングシミュレーション情報に基づく後方追跡

本説では，正常回路のタイミングシミュレーション情報を利用した故障診断について述べる．本研究の特徴として以下の点があげられる．

1. 正常回路のタイミングシミュレーション情報を利用する．
2. 誤りを観測したフリップフロップ情報を利用した後方追跡を行う．
3. クラスに対して更なる高精度化が可能．

概要を図 5.1 に示す．

入力情報として回路情報とテストパターン系列，クラスとしてまとめられた故障情報を用いる．まず，故障の存在しない正常回路に対してタイミングシミュレーションを行う．次に，遷移故障シミュレーションを行う．このとき， J 個の被疑故障 $f_1, \dots, f_j, \dots, f_J$ を含む CUD に対して行う．また，全 K 箇所からなるフリップフロップを $ff_1, \dots, ff_k, \dots, ff_K$ とする． I 個のテストパターンからなるテストパターン系列 $t_1, \dots, t_i, \dots, t_I$ でシミュレー

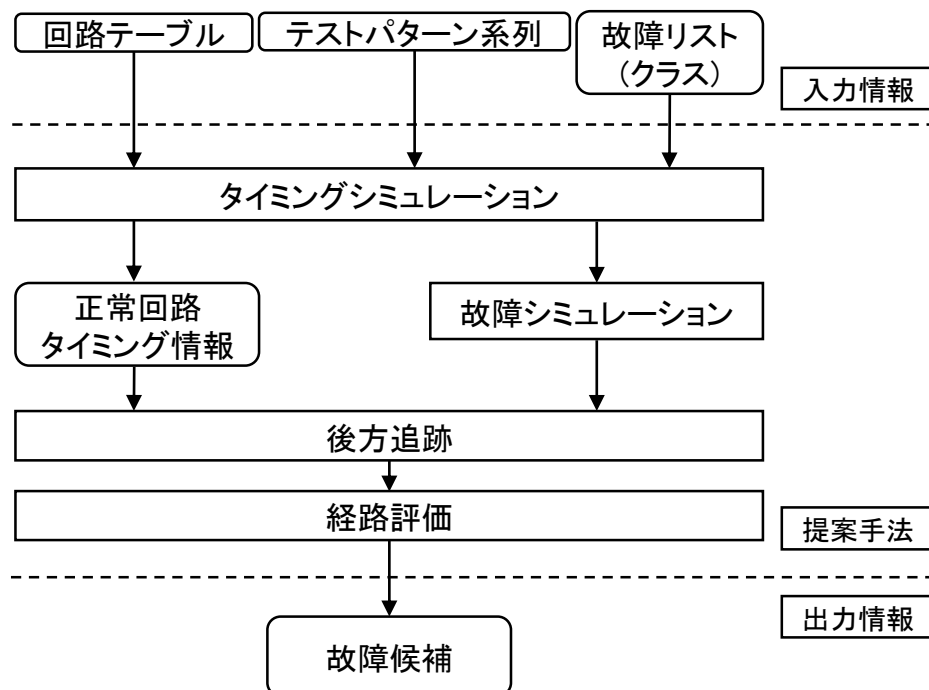


図 5.1. バックトレースシミュレーションモデル

ションを行い、誤りを観測したフリップフロップをそれぞれ $f_{o_k} = 1$ 、誤りを観測しなかったフリップフロップを $f_{o_k} = 0$ とする。

その後、誤りを観測した全 N 個のフリップフロップ $f_{o_k} = 1$ 集合から、予め算出しておいた正常回路のタイミング情報を利用し後方追跡を行う。そのとき、信号遷移が途切れない経路を抽出する。

テスト t_i が故障 f_j を複数のフリップフロップで検出される場合は、それぞれの経路を抽出する。

そして、抽出された経路を評価する。評価指標については次章で述べる。

5.2 節 評価指標

本節では、後方追跡によって抽出された経路に対する評価指標を述べる。

L 個からなるクラスを $C_1, \dots, C_l, \dots, C_L$ とする。それぞれのクラスを構成する故障数を CF_l とする。また、クラスを構成する故障数の総数を $J = \sum_i^L CF_i$ とする。

ある故障 j に対して、後方追跡を行い算出された M 個の経路 $P_1, \dots, P_m, \dots, P_M$ に対して評価を行う。 M 個の経路から最も長い経路を、 LP_j とする。その時、 LP_j 内に被疑故障 j が含まれている場合、最長経路に真の故障が含まれているとして、 $LPI_j = 1$ とする。含まれていない場合 $LPI_j = 0$ とする。

そして、全 J 個の被疑故障に対して、最長経路で検出した回数 $LPC = \sum_i^J LPI_i$ を求める。

また、クラス C_l に属する CF_l 個の故障最長経路を $FP_{CF_1}, \dots, FP_{CF_l}, \dots, FP_{CF_l}$ とする。それぞれ同一の最長経路をもつ故障の個数を、 N 個の $FPL_{CF_1}, \dots, FPL_{CF_n}, \dots, FPL_{CF_N}$ としてまとめる。また、 N 個の最長経路に属する故障候補を $FPC_{CF_1}, \dots, FPC_{CF_n}, \dots, FPC_{CF_N}$ としてまとめる。

クラス C_l に属する CF_l 個の故障に対して、 N 個のクラスに分割することができる。

第 6 章

実験結果

本章では，第 4 章で述べた組込み自己診断機構における高効率化法および，第 5 章で述べたタイミングシミュレーション情報を利用した高精度化法の実験結果を示す．使用した計算機の仕様を表 6.1 に示す．

表 6.1. 実験に用いた計算機の仕様

CPU	Intel(R) Xeon(R) CPU L5240 @ 3.00GHz
Memory	64 GB
OS	CentOS release 6.8

提案手法を評価するために，提案手法を C 言語で実装し評価実験を行った．評価実験の対象とする回路には，ISCAS'89 ベンチマーク回路を用いた．テストパターンには組込み自己診断機構の線形帰還シフトレジスタから生成されるテストパターン:2048 パターンを用いた．

6.1 節 組込み自己診断における高効率化法

本節では，第 4 章で述べた組込み自己診断機構における高効率化法の結果を述べる．組込み自己診断で使用するフリップフロップは，ランク上位のものから 32 箇所区切りで 32, 64, 96, ... 箇所ずつ使用した．すべてのフリップフロップでシミュレーションを

行ったときの，診断可能な故障数を 100%としたとき，診断可能な故障数が 85%を維持できる最小のフリップフロップ数を観測フリップフロップ数とする．

表 6.2 から表 6.7 に，高効率化法の評価結果を示す．各回路に対する故障診断精度は以下の指標によって評価する．

- 観測フリップフロップ数
- 診断可能な故障数
- 全観測 FF を 100%としたときの診断可能な故障数の比率
- クラス数
- クラス内の最大故障数
- 対象の故障数

また，提案手法の比較対象として，観測するフリップフロップをランダムに選択した実験結果と，すべてのフリップフロップを観測した時の結果を示す．

表 6.2. BISD 機構における高効率化法の評価結果 (s9234)

	観測 FF 数	診断可能な故障		クラス数	クラス内の最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	128	604	91.79%	1282	45	6690
ランダム	160	562	85.41%	1162	32	5815
全観測	228	658	100.00%	1418	45	7501

表 6.3. BISD 機構における高効率化法の評価結果 (s13207)

	観測 FF 数	診断可能な故障		クラス数	クラス内の 最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	384	825	89.00%	1477	86	9542
ランダム	480	802	86.52%	1283	79	8979
全観測	594	927	100.00%	1565	86	10688

表 6.4. BISD 機構における高効率化法の評価結果 (s15850)

	観測 FF 数	診断可能な故障		クラス数	クラス内の 最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	288	1066	85.55%	1856	69	10663
ランダム	480	1077	86.44%	1955	69	11135
全観測	577	1246	100.00%	2230	69	12697

表 6.5. BISD 機構における高効率化法の評価結果 (s35932)

	観測 FF 数	診断可能な故障		クラス数	クラス内の 最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	1120	7249	85.63%	4671	12	25434
ランダム	1472	7263	85.80%	4133	12	23656
全観測	1728	8465	100.00%	4671	12	26650

表 6.6. BISD 機構における高効率化法の評価結果 (s38417)

	観測 FF 数	診断可能な故障		クラス数	クラス内の 最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	928	4991	86.60%	7377	117	32633
ランダム	1472	7263	85.80%	4133	12	23656
全観測	1728	8465	100.00%	4671	12	26650

表 6.7. BISD 機構における高効率化法の評価結果 (s38584)

	観測 FF 数	診断可能な故障		クラス数	クラス内の 最大故障数	対象故障数
		故障数	故障数 (%)			
提案手法	928	6455	85.37%	4956	90	22064
ランダム	1184	6491	85.85%	5071	90	22280
全観測	1448	7561	100.00%	6002	113	26196

6.2 節 タイミングシミュレーションを利用した高精度化法

本節では，第 5 章で述べたタイミングシミュレーション情報を利用した高精度化法の実験結果を示す．

図 6.8 にそれぞれの回路に存在する故障数，診断可能な故障数，クラスを構成する故障数を示す．

表 6.8. 後方追跡に使用するクラス内の故障数

回路名	対象故障数	診断可能な故障数	クラスを構成する故障数
s9234	7501	658	6843
s13207	10688	927	9761
s15850	12697	1246	11451
s35932	26650	8465	18185
s38417	38928	5763	33165
s38584	26196	7561	18635

各回路に対する故障診断精度は以下の指標によって評価する．

- 対象故障数
- 後方追跡によって検出された故障数
- 後方追跡によって最長経路内で検出された故障数
- 後方追跡によって診断可能な故障数
- クラス内の故障分布図

表 6.9 に，実験結果を示す．

また，図 6.1 から図 6.6 にクラス内の故障分布図を示す．

表 6.9. 後方追跡の実験結果

回路名	対象故障	検出故障数	最長経路内で検出された故障数	診断可能な故障数
s9234	6843	5374	4332	798
s13207	9761	6272	5495	936
s15850	11451	9253	8012	1235
s35932	18185	17672	14304	5149
s38417	33165	26361	22281	3863
s38584	18635	16200	12684	7080

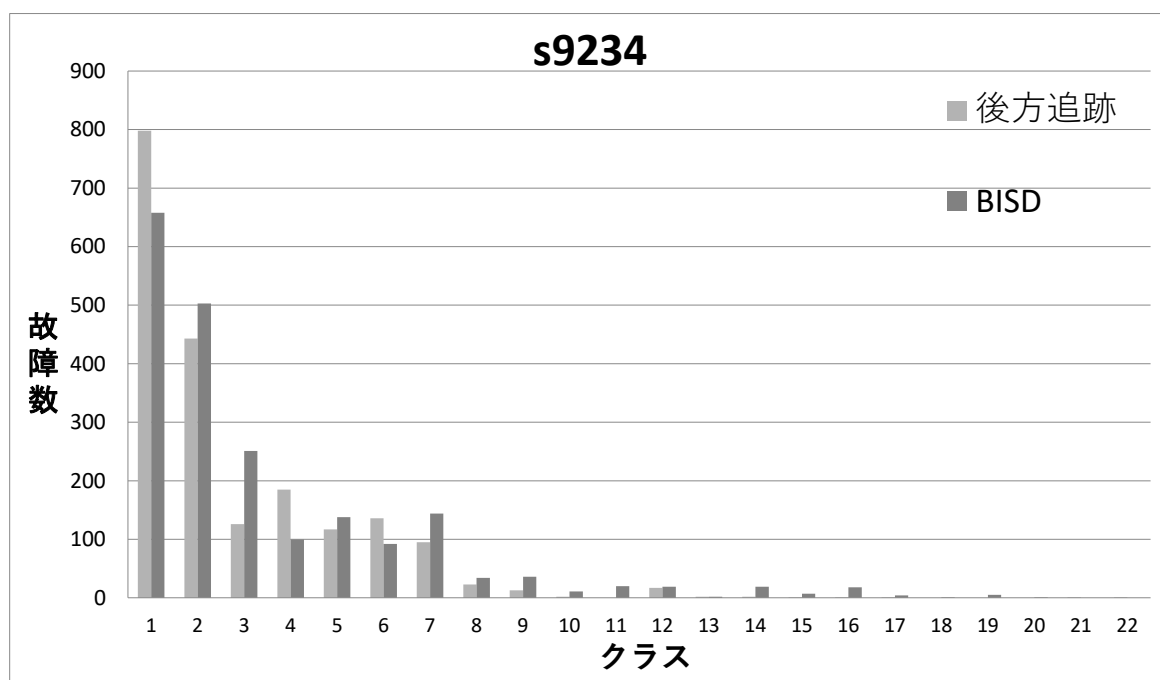


図 6.1. クラス内の故障数 (s9234)

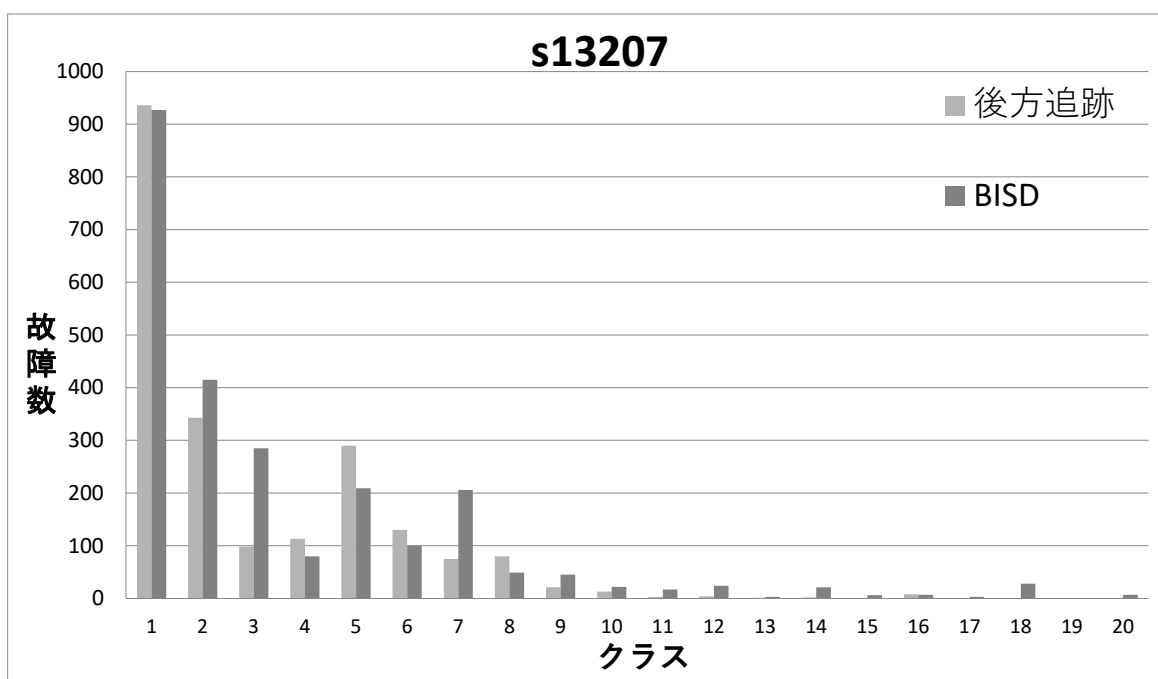


図 6.2. クラス内の故障数 (s13207)

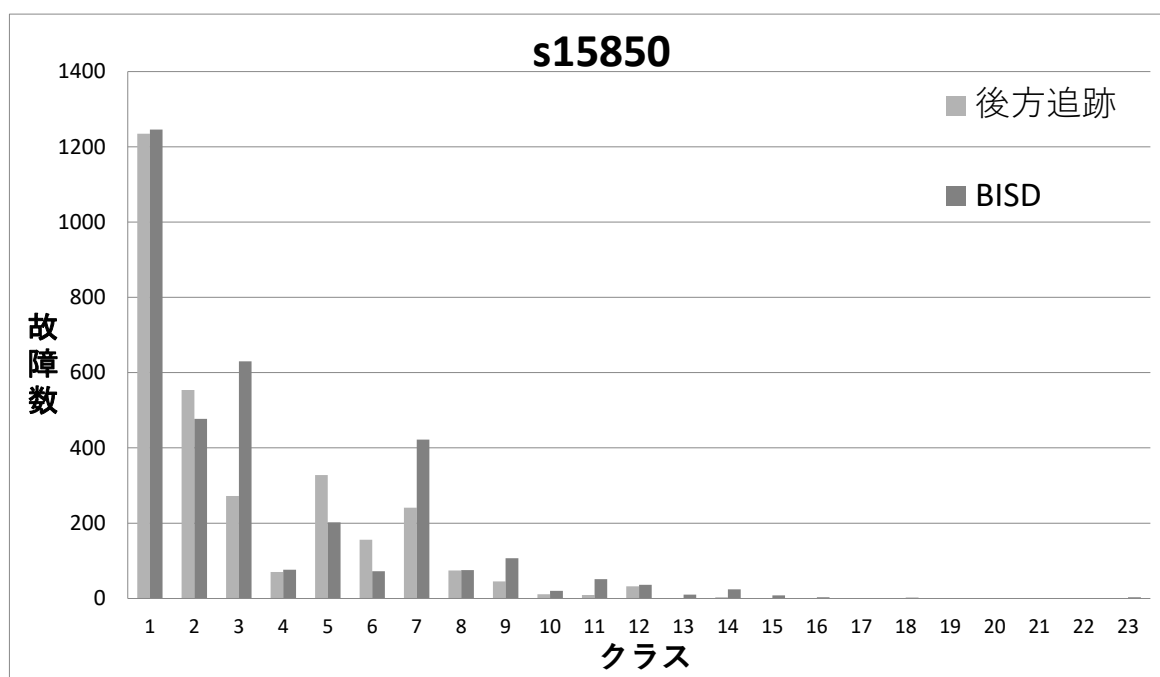


図 6.3. クラス内の故障数 (s15850)

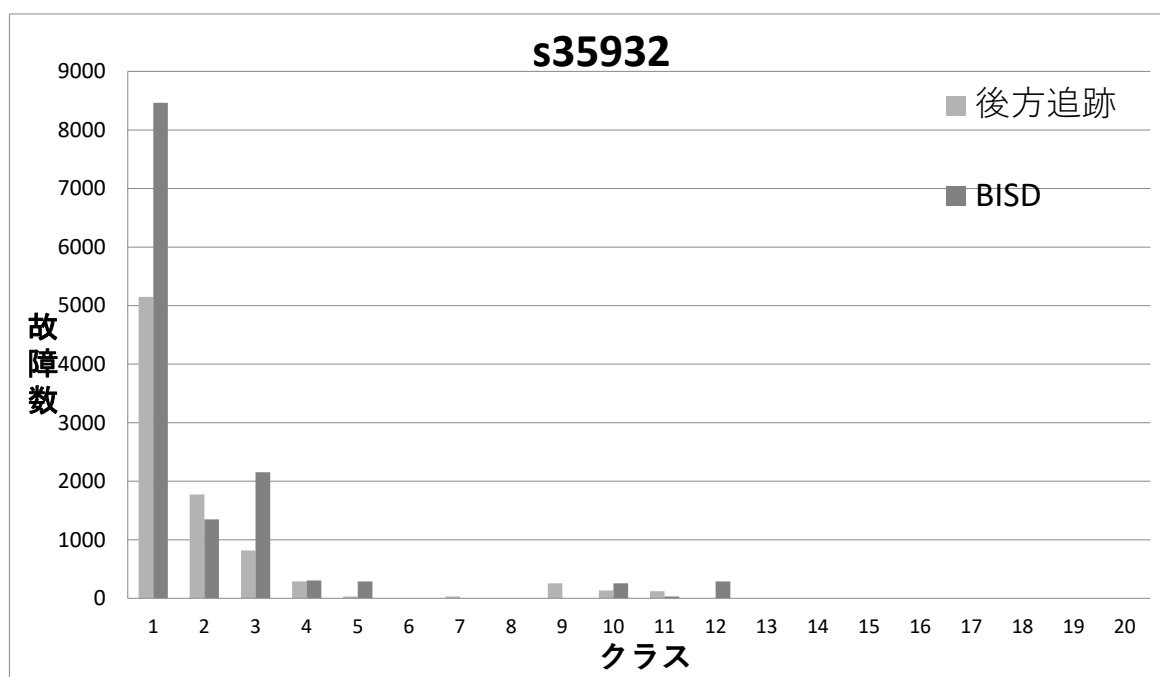


図 6.4. クラス内の故障数 (s35932)

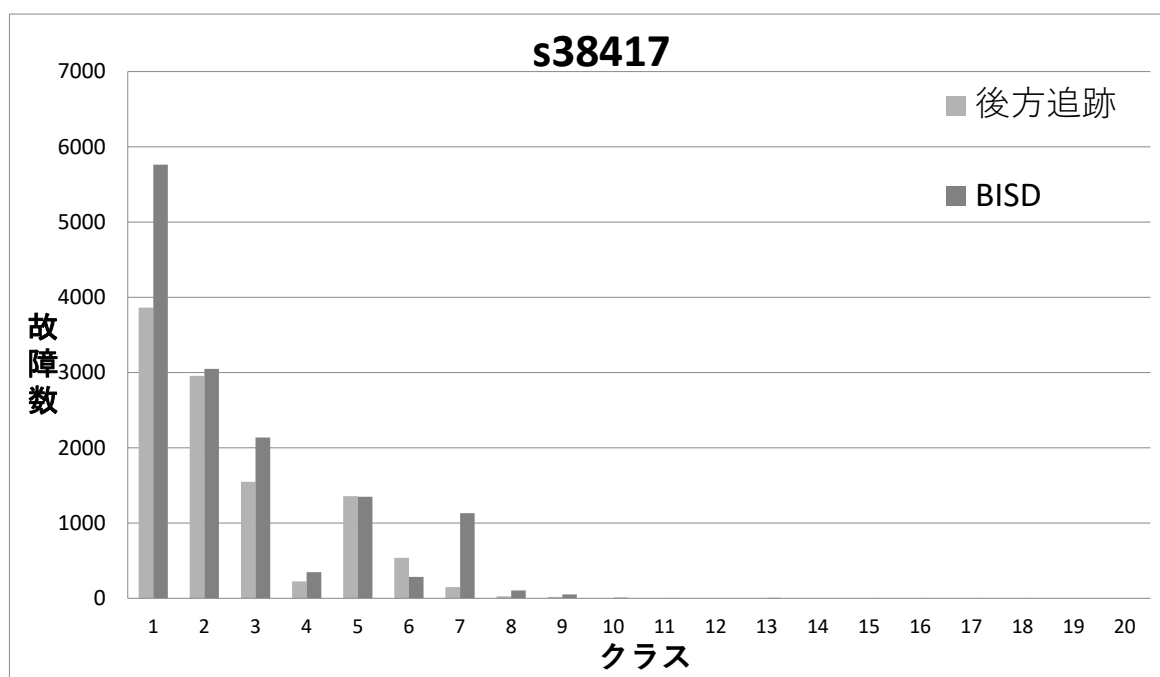


図 6.5. クラス内の故障数 (s38417)

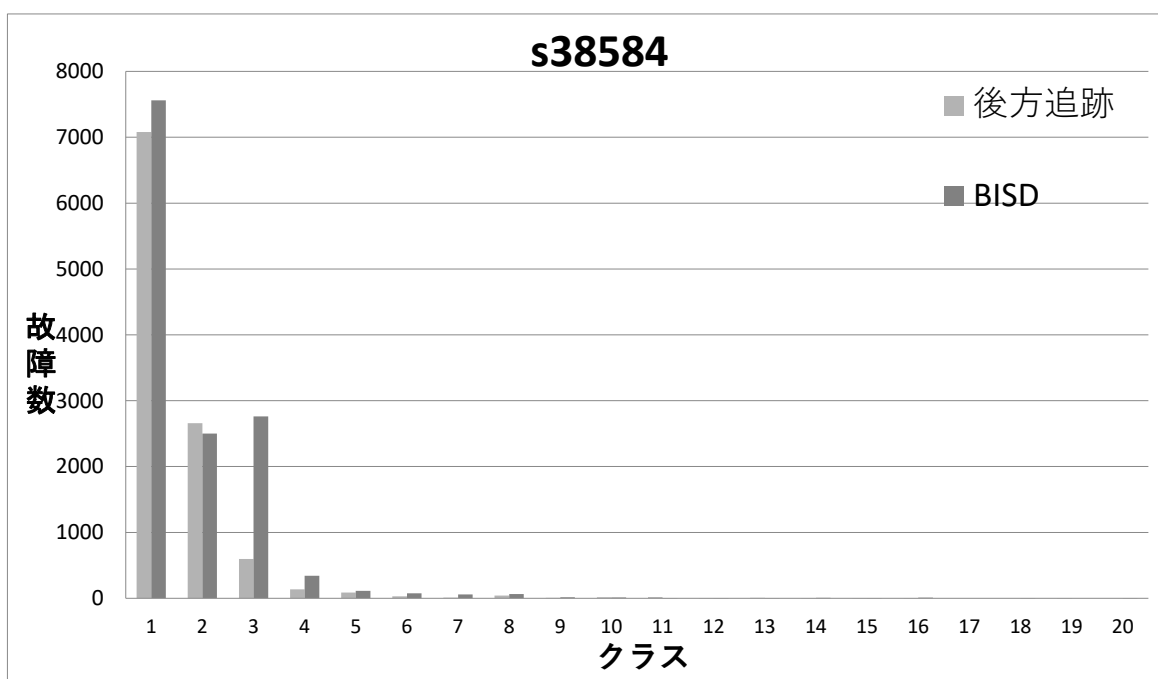


図 6.6. クラス内の故障数 (s38584)

第 7 章

結論

近年の半導体製造技術の進化により半導体の高速化・高集積化が実現されている。この進化により経年劣化に伴う故障が問題となってきた。経年劣化に対応するフィールドテストは「組込み自己テスト (built-in self test)」があげられるが、テストの結果は故障の有無しかわからない。筆者らは出荷後のフィールドテストによって故障診断が可能な組込み自己診断 (built-in self diagnosis) について提案している。しかしながら、既存の手法ではすべてのフリップフロップから情報を得ているためハードウェア制約の問題が大きい。

本論文では、観測するフリップフロップ数の削減を行うことで、組込み自己診断機構におけるハードウェア制約の改善による高効率化法と、後方追跡を利用した高精度化法を提案した。提案手法ではフリップフロップに対してランクを付け、故障診断を行うときに診断精度への影響が大きいと判断したフリップフロップを優先的に観測することで診断精度を下げることなくハードウェア制約の改善を行った。

また、組込み自己診断から得られた故障集合：クラスに対して後方追跡を行う、故障診断の高精度化法の提案した。提案手法では予め故障の存在しない正常回路に対してシミュレーションを行い、タイミング情報を算出する。そして、被疑故障の存在する回路に対し故障シミュレーションを行い、故障を検出したフリップフロップから正常回路のタイミング情報に基づいて後方追跡を行う。真の故障が、後方追跡した検出した最も長い経路に含まれた回数を評価する。また、経路を評価することで故障候補を診断する。

提案手法を C 言語で実装し評価実験を行った。実験結果から、~~フリップフロップを制限することで診断精度を大きく低下させることなくハードウェア制約の改善を行うことが可能となった。~~また、後方追跡によってクラスを更に分割することが可能となった。

今後の課題として、本研究では組込み自己診断で使用するテストパターンはランダムなシードをもとにしたものを使用した。さらなるフリップフロップの削減のために、一部のフリップフロップに故障を伝搬するようなテストパターンを利用する必要がある。

後方追跡では検出できない故障が存在した。これは正常回路のタイミング情報を利用しているため、故障の伝播経路を追跡できていなかった可能性がある。

また、組込み自己診断機構と後方追跡で検出できなかった故障に対しての故障診断法について、新たなテストパターン生成法やフリップフロップ選択法を提案する必要がある。

謝辞

本研究を進めるにあたり，懇篤な御指導，御鞭撻を賜りました本学高橋寛教授に深く御礼申し上げます。

本論文の作成に関し，詳細なるご検討，貴重な御教示を頂きました，本学王森レイ助教に深く御礼申し上げます。

本論文の作成に関し，詳細なるご検討，貴重な御教示を頂き，また審査頂いた本学樋上喜信教授に深く御礼申し上げます。

また，審査頂いた本学宇戸寿幸准教授に深く御礼申し上げます。

最後に，多大な御協力と貴重な御助言を頂いた本学情報システム工学講座高橋研究室の諸氏に厚く感謝致します。

参考文献

- [1] 宮本 夏規, 村上陽紀, 王シンレイ, 樋上喜信, 高橋寛, 大竹哲史, ” 組込み自己診断におけるテストパターン系列の診断能力に関して ” , Proc. FIT, 2015
- [2] 宮本夏規, 王森レイ, 樋上喜信, 高橋寛, ” オンチップ診断向き遷移故障診断法に関する研究 ” , 2016
- [3] 村上陽紀, 王森レイ, 樋上喜信, 高橋寛, ” オンチップ診断向きテストパターン生成に関する研究 ” , 2016
- [4] 藤田昌宏, ” システム LSI 設計工学 ” , 株式会社オーム社, 2006
- [5] 藤原秀雄, ” コンピューターの設計とテスト ” , 工学図書株式会社, 1990
- [6] 高橋寛, 樋上喜信, 王森レイ, 門田一樹, 矢野郁也, ” タイミングシミュレーション情報に基づく故障診断法 ” , 情報処理学会四国支部 支部大会, 2015.
- [7] 高橋寛, 樋上喜信, 王森レイ, 矢野郁也, ” 組込み自己診断におけるハードウェア制約の改善法 ” 情報処理学会四国支部 支部大会, 2016.
- [8] Melanie Elm, Hans-Joachim Wunderlich, ”BISD: Scan-Based Built-In Self-Diagnosis” EDAA, 2010.
- [9] Alejandro Cook, Hans-Joachim Wunderlich, ”Diagnosis of Multiple Faults with Highly Compacted Test Responses” IEEE, 2014.
- [10] Alejandro Cook, Sybille Hellebrand, Michael E. Imhof, Adbullah Mumtaz, Hans-Joachim Wunderlich, ”Built-in Self-Diagnosis Targeting Arbitrary Defects with Partial Pseudo-Exhaustive Test” IEEE, 2012.

- [11] Alejandro Cook, Sybille Hellebrand, Hans-Joachim Wunderlich, "Built-in Self-Diagnosis Exploiting Strong Diagnostic Windows in Mixed-Mode Test" IEEE, 2012.

発表論文リスト

- (1) 高橋寛，樋上喜信，王森レイ，門田一樹，矢野郁也，”タイミングシミュレーション情報に基づく故障診断法”，情報処理学会四国支部 支部大会，2015.
- (2) 高橋寛，樋上喜信，王森レイ，矢野郁也，”組込み自己診断におけるハードウェア制約の改善法” 情報処理学会四国支部 支部大会，2016.