بسمه تعالی

آزمایش دوم آزمایشگاه معماری کامپیوتر

6-bit Carry Select Adder

روزبه معینی 401106544

احسان محترم 401106458

دانشگاه صنعتی شریف

بهار 1405

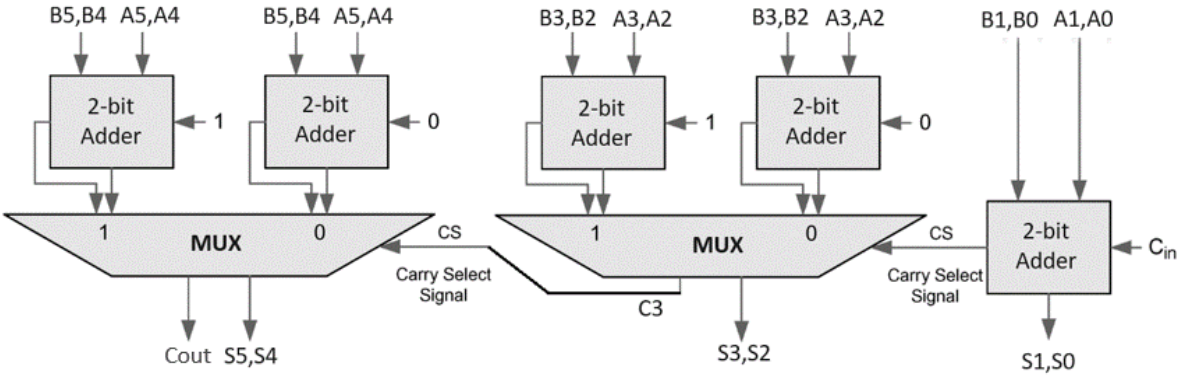
فهرست

۱. مقدمه 3
۲. طراحی داخل proteus..... 4
۳. بررسی 3 تست در شبیه‌سازی..... 5
تست اول: 63 + 1 5
تست دوم: 43 + 8 6
تست دوم: 6 + 57 7

۱. مقدمه

هدف از این گزارش، مستندسازی مراحل انجام‌شده در آزمایش شماره 2 آزمایشگاه معماری کامپیوتر است. در این تمرین، به پیاده‌سازی یک جمع‌کننده از نوع carry select می‌پردازیم.

طراحی شماتیک کلی طبق دستورکار آزمایشگاه در شکل 1 آمده‌است.

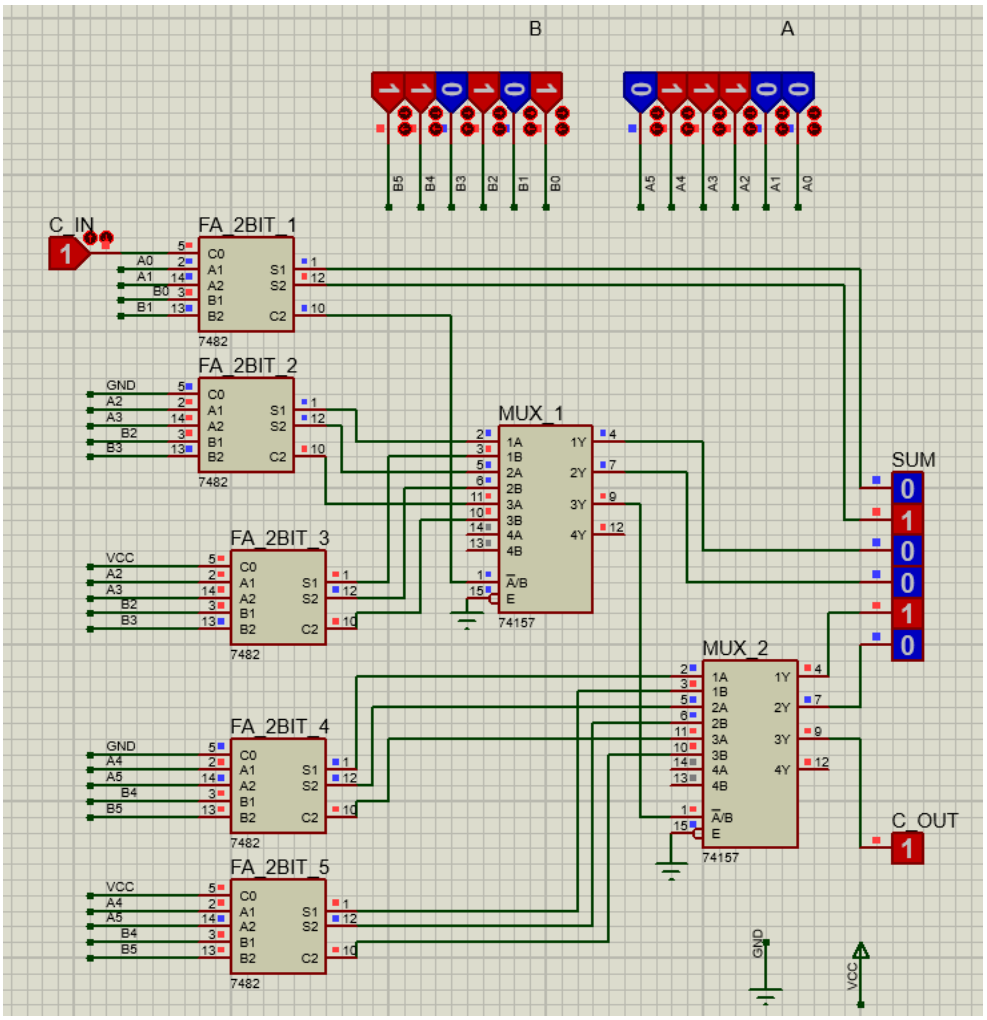


شکل1. طرح شماتیک کلی مدار

به این منظور که از قابلیت موازی‌سازی برای بهبود عملکرد ripple carry معمولی داشته‌باشیم، ایده کلی این مدار، جمع زدن بیت‌های پرارزش‌تر همزمان با بیت‌های کم‌ارزش است. به این منظور هر دو حالت وجود یا عدم وجود رقم نقلی از مرتبه قبلی به صورت موازی توسط دو adder جمع زده می‌شود و پس از مشخص شدن رقم نقلی بیت‌های قبلی، با یک MUX نسخه‌ای که مطابق رقم نقلی درست جمع زده‌شده انتخاب می‌شود.

۲. طراحی داخل proteus

طراحی دقیقا مطابق طرح شماتیک(شکل 1) داخل پروتئوس انجام شده‌است(شکل 2). دو بیت اول دو عدد به همراه رقم نقلی در FA_2BIT_1 انجام می‌شود و دو رقم نهایی کم‌ارزش مستقیما ازین قطعه از نوع 7482 خارج می‌شود. یک بیت نقلی تولیدی به ورودی select اولین MUX وارد می‌شود. اگر این رقم 0 باشد، خروجی جمع‌شده 2بیت دوم با فرض رقم نقلی صفر(با ورودی gnd به عنوان carry) در خروجی نوشته می‌شود وگرنه نسخه با ورودی vcc به خروجی منتقل می‌شود.
مشابه همین روند در MUX دوم صورت می‌پذیرد و رقم نقلی خروجی از مرحله قبل، نسخه صحیح جمع دو بیت پرارزش را انتخاب می‌کند. بدین ترتیب 6 بیت خروجی ساخته می‌شود و رقم نقلی نهایی از MUX دوم خارج می‌شود.

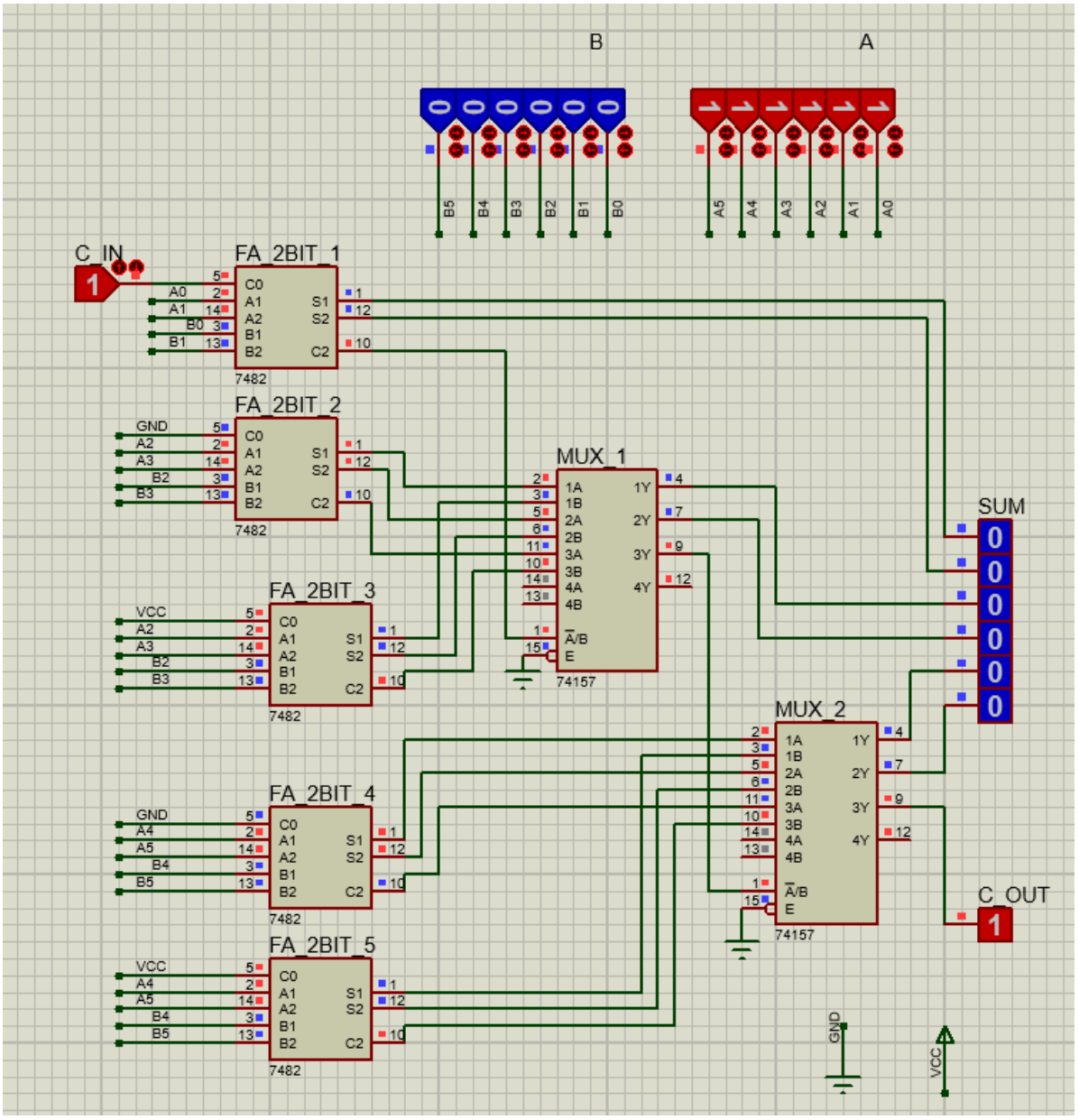


شکل2. پیاده‌سازی داخل پروتئوس

۳. بررسی 3 تست در شبیه‌سازی

تست اول: 63 + 1

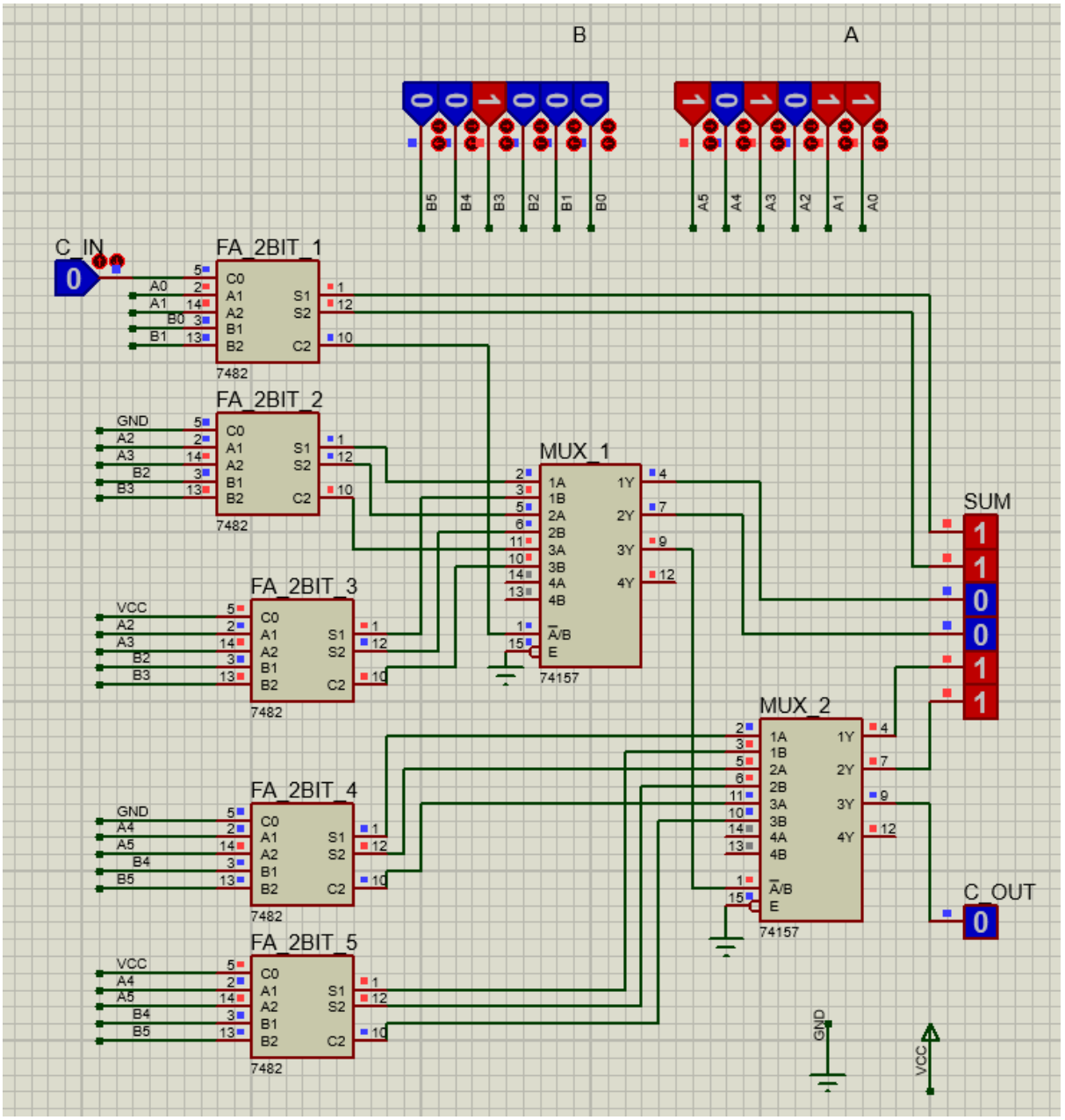
برای بررسی صحت انتقال ارقام نقلی در تست اول سراغ 1 + 63 رفتیم که خروجی 64 یعنی رقم نقلی خروجی یک و مابقی 6 بیت خروجی صفر است.



شکل3. تست اول

تست دوم: 43 + 8

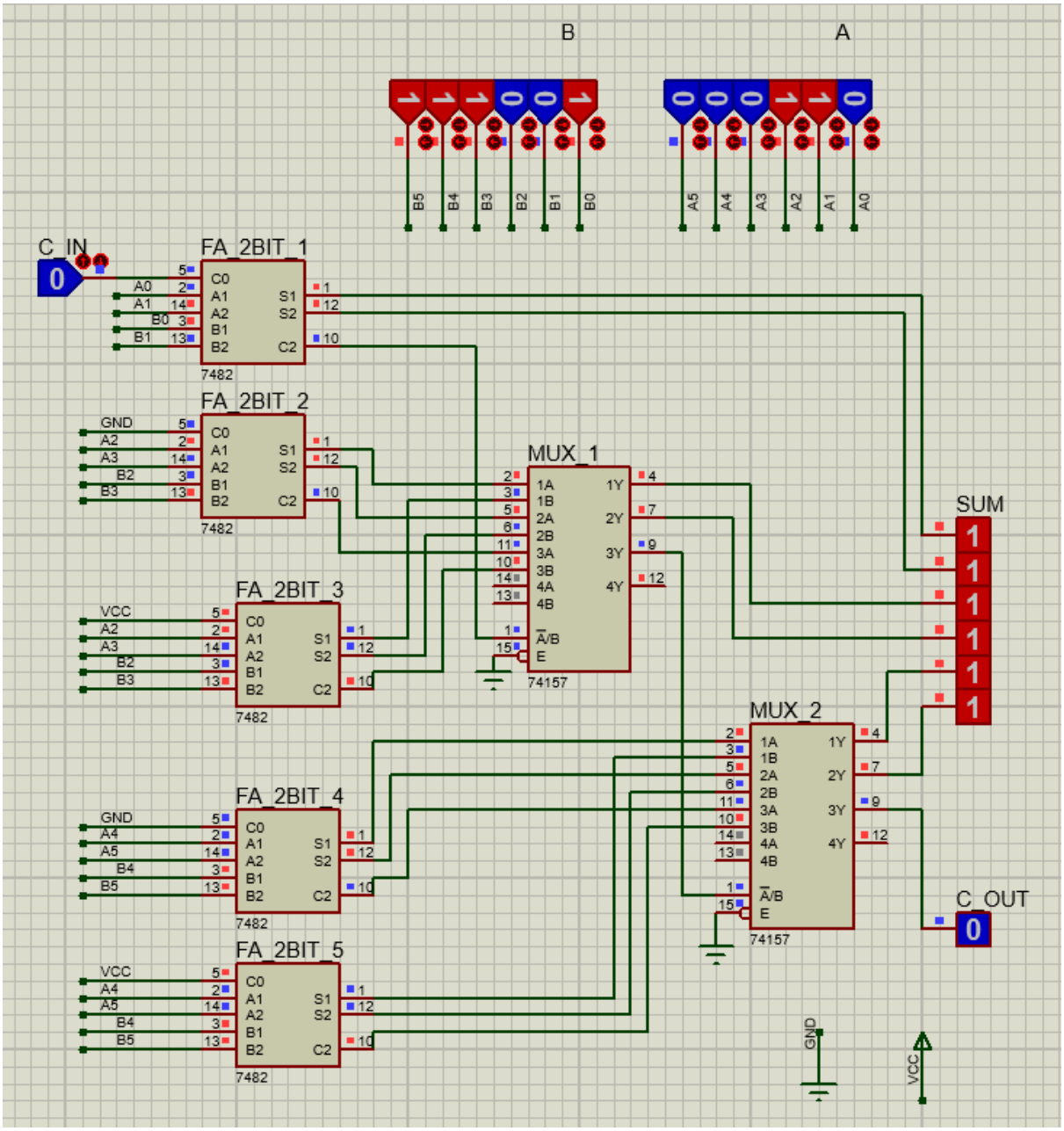
خروجی به صورت 110011 یعنی معادل 51 درآمده که صحیح است.



شکل4. تست دوم

تست دوم: 6 + 57

یک حالت بدون هیچگونه رقم نقلی را نیز بدین ترتیب تست کردیم تا از صحت عملکرد مطمئن شویم. به پاسخ صحیح 63 معادل 111111 رسیدیم.



شکل5. تست سوم