

Micro architecture de l'ARM v2A

Qui ?

Laniel Francis
francis.laniel@etu.upmc.fr

Quand ?

13 janvier 2016

L'ARM v2A

Présentation

Architecture 32 bits

Pipeline 5 étages :

- IFETCH
- DECOD
- EXE
- MEM
- WBK

L'ARM v2A

Jeu d'instruction

Flags

- N
- Z
- C
- V

Mise à jour

SUBS R8, R9, R10

CMP R11, R12

Conditions

ADDEQ R4, R5, R6

IFETCH

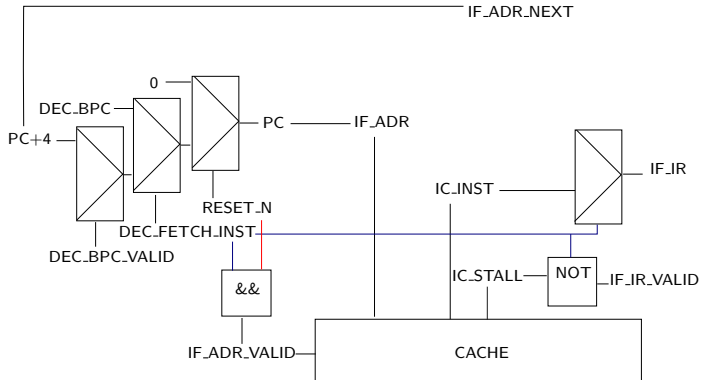


FIGURE – Schéma de l'étage IFETCH (les couleurs servent uniquement à clarifier le dessin)

IFETCH

Finalité

- Gestion du PC
- En étroite relation avec le cache instruction

DECODE

Instructions

	Type	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Data Processing	REGOP	Cond				0	0	I	Opcode				S	Rn				Rd				shifter_operand															
Multiply	MULT	Cond				0	0	0	0	0	0	A	S	Rd				Rn				Rs				1	0	0	1	Rm							
Single Data Swap	SWAP	Cond				0	0	0	1	0	B	0	0	Rn				Rd				0	0	0	0	1	0	0	1	Rm							
Single Data Transfer	TRANS	Cond				0	1	I	P	U	B	W	L	Rn				Rd				Offset															
Block Data Transfer	MTRANS	Cond				1	0	0	P	U	S	W	L	Rn				Register List																			
Branch	BRANCH	Cond				1	0	1	L	Offset																											
Coprocessor Data Transfer	CODTRANS	Cond				1	1	0	P	U	N	W	L	Rn				CRd				CP#				Offset											
Coprocessor Data Operation	COREGOP	Cond				1	1	1	0	CP Opcode				CRn				CRd				CP#				CP	0	CRm									
Coprocessor Register Transfer	CORTTRANS	Cond				1	1	1	0	CP Opcode			L	CRn				Rd				CP#				CP	1	CRm									
Software Interrupt	SWI	Cond				1	1	1	1	Ignored by processor																											
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				

FIGURE – Les différents types d'instruction

- I_{25} ✓
- L_{24} ✓
- U_{23}
- B_{22} ✓
- A_{21} ✓
- L_{20} ✓
- S_{20} ✓

DECODE

Instructions

Opcode	Mnemonic extension	Operation	Action	Flags affected
4'h0	and	Logical AND	$Rd := Rn \text{ AND shifter_operand}$	N, Z, C
4'h1	eor	Logical XOR	$Rd := Rn \text{ XOR shifter_operand}$	N, Z, C
4'h2	sub	Subtract	$Rd := Rn - \text{shifter_operand}$	N, Z, C, V
4'h3	rsb	Reverse subtract	$Rd := \text{shifter_operand} - Rn$	N, Z, C, V
4'h4	add	Add	$Rd := Rn + \text{shifter_operand}$	N, Z, C, V
4'h5	adc	Add with carry	$Rd := Rn + \text{shifter_operand} + \text{Carry Flag}$	N, Z, C, V
4'h6	sbc	Subtract with carry	$Rd := Rn - \text{shifter_operand} - \text{NOT(Carry Flag)}$	N, Z, C, V
4'h7	rsc	Reverse subtract with carry	$Rd := \text{shifter_operand} - Rn - \text{NOT(Carry Flag)}$	N, Z, C, V
4'h8	tst	Test	Update flags after $Rn \text{ AND shifter_operand}$ S bit always set	N, Z, C
4'h9	teq	Test equivalence	Update flags after $Rn \text{ EOR shifter_operand}$ S bit always set	N, Z, C
4'ha	cmp	Compare	Update flags after $Rn - \text{shifter_operand}$ S bit always set	N, Z, C, V
4'hb	cmn	Compare negated	Update flags after $Rn + \text{shifter_operand}$ S bit always set	N, Z, C, V
4'hc	orr	Logical (inclusive) OR	$Rd := Rn \text{ OR shifter_operand}$	N, Z, C
4'hd	mov	Move	$Rd := \text{shifter_operand}$ (no first operand)	N, Z, C
4'he	bic	Bit clear	$Rd := Rn \text{ AND NOT}(\text{shifter_operand})$	N, Z, C
4'hf	mvn	Move NOT	$Rd := \text{NOT shifter_operand}$ (no first operand)	N, Z, C

FIGURE – Les différentes REGOP

DECOD

Machine à état

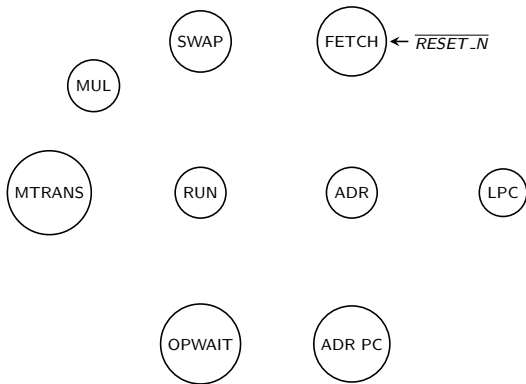


FIGURE – Machine à état de DECOD (les couleurs servent uniquement à clarifier le dessin)

Attention

Code écrit mais non vérifié, par conséquent ça ne fonctionne pas

DECODE

Machine à état

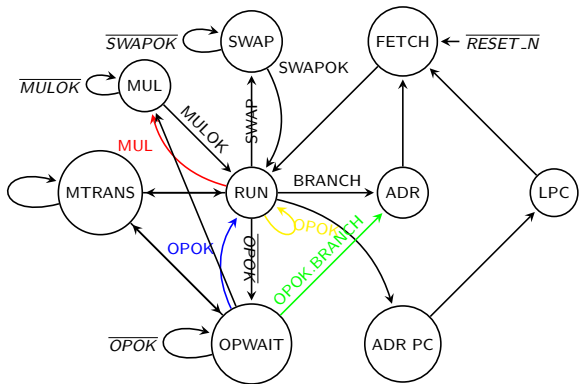


FIGURE – Machine à état de DECODE (les couleurs servent uniquement à clarifier le dessin)

Attention

Code écrit mais non vérifié, par conséquent ça ne fonctionne pas

EXE

Schéma

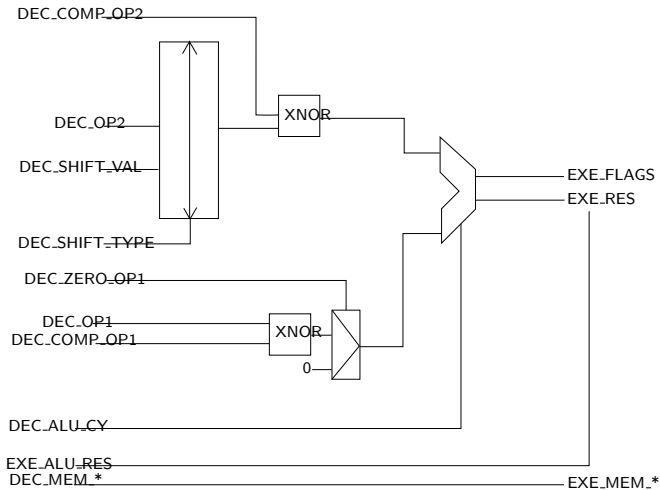


FIGURE – Schéma de l'étage EXE

EXE

Vraies opérations

- AND
- OR
- XOR
- ADD

EXE

Décalages

- LSL ✓
- LSR ✓
- ASR
- ROR ✓
- RRX ✓

ASR

sign_op2 calculé trop “tôt”

EXE

Addition

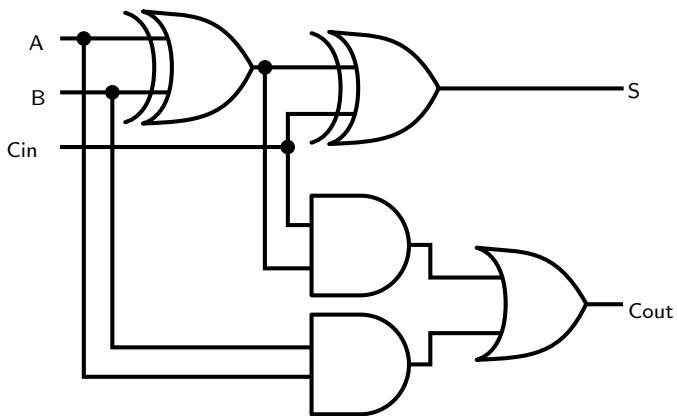


FIGURE – Schéma d'un additionneur complet

MEM

- Relié au cache de données
- Opérations selon B_{22} et L_{20}
- Adresse calculée dans EXE

Attention Non testé

Conclusion

Échec

- Décodage des instructions
- Calcul de l'étage EXE

Attention

Étages non reliés, aucune interaction entre eux

Conclusion

Mais...

- Initiation au VHDL
- GHDL
- GTKWAVE
- \LaTeX
- Alliance