

Es ist zu empfehlen dieses Übungsblatt nach Ihrem Durcharbeiten mit Kollegen auszutauschen, zu vergleichen und zu korrigieren.

## 1. VHDL->Schematic (state chart)

Gegebener VHDL-Code:

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity fsm1 is
    port(clk, reset: in STD_LOGIC;
         taken, back: in STD_LOGIC;
         predicttaken: out STD_LOGIC);
end;

architecture arch of fsm1 is
    type statetype is (S0, S1, S2, S3, S4);
    signal state, nextstate: statetype;
begin

    process(clk, reset)
    begin
        if reset ='1' then
            state <= S2;
        elsif rising_edge(clk) then
            state <= nextstate;
        end if;
    end process;

    process(state, taken)
    begin
        case state is
            when S0 =>
                if taken='1' then
                    nextstate <= S1;
                else
                    nextstate <= S0;
                end if;
            when S1 =>
                if taken='1' then
                    nextstate <= S2;
                else
                    nextstate <= S0;
                end if;
            when S2 =>
                if taken='1' then
                    nextstate <= S3;
                else
                    nextstate <= S1;
                end if;
            when S3 =>
                if taken='1' then
                    nextstate <= S4;
                else
                    nextstate <= S2;
                end if;
            when S4 =>
                if taken='1' then
```

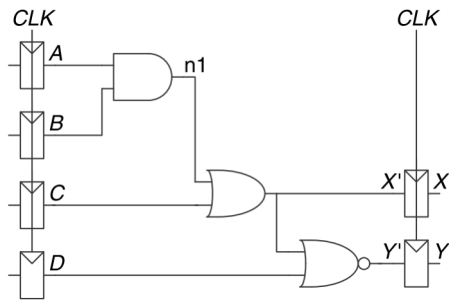
```
        nextstate <= S4;
    else
        nextstate <= S3;
    end if;
    when others =>
        nextstate <= S2;
    end case;
end process;
-- output logic
predicttaken <= '1' when
    ((state = S4) or (state = S3) or
     (state = S2 and back = '1'))
    else '0';
end;
```

Untersuchen Sie, ob es sich um eine MOORE oder MEALY FSM handelt.

Zeichnen Sie den entsprechenden state chart zu dem gegebenen VHDL-Code:

## 2. Schematic -> VHDL

Gegeben ist folgender Schaltplan:



Schreiben Sie den VHDL-Code, der die gegebene Schaltung beschreibt

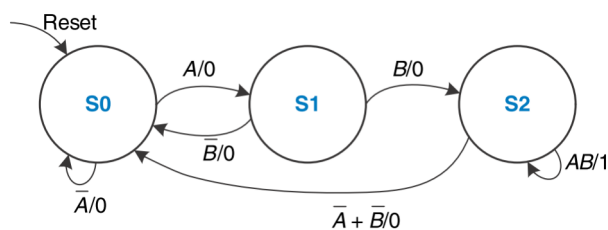
-Verwenden Sie die **tut\_vhdlsync01\_given.zip (ex02)** und fügen Sie Ihren Code in **module.vhd** innerhalb der gekennzeichneten Bereiche **##INSERT YOUR CODE HERE** und **##INSERT YOUR CODE HERE END** ein.

--Überlegen Sie welche Werte Ihr Modul bei dem gegebenen Testbench liefern sollte und Simulieren Sie Ihr Modul

-F: Welchen Wert hat Ihre Simulation für das Ausgangssignal X und Y bei 30ns(+1ps)?

## 3. Schematic (state chart) -> VHDL

Gegeben ist folgender state chart:



Schreiben Sie den VHDL-Code, der die gegebene FSM beschreibt

-Verwenden Sie die **tut\_vhdlsync01\_given.zip (ex03)** und fügen Sie Ihren Code in **module.vhd** innerhalb der gekennzeichneten Bereiche **##INSERT YOUR CODE HERE** und **##INSERT YOUR CODE HERE END** ein.

-Schreiben Sie den VHDL Code nach der 2-Process-Darstellung und nutzen Sie default values

--Überlegen Sie welche Werte Ihr Modul bei dem gegebenen Testbench liefern sollte und Simulieren Sie Ihr Modul

-F: Welchen Wert hat Ihre Simulation für das Ausgangssignal q bei 20ns(+1ps)?

