

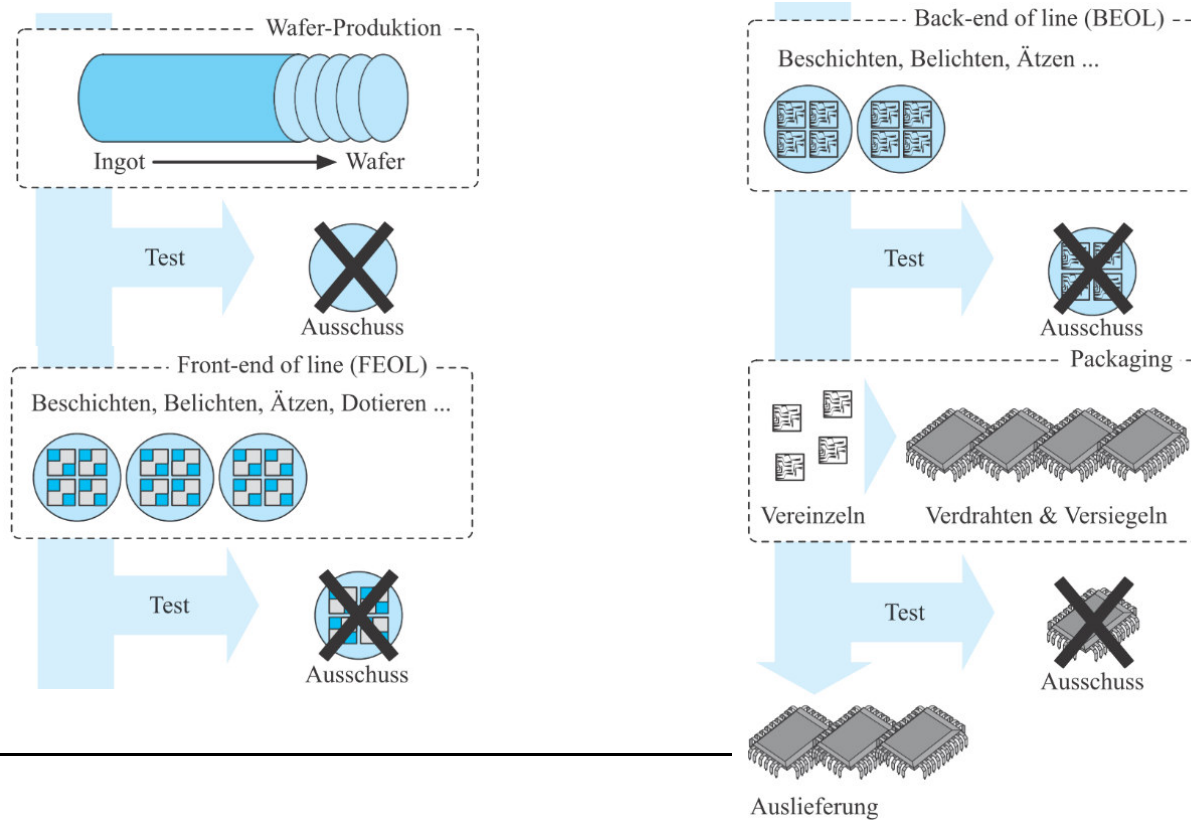
# **Physikalische Grundlagen (phybasics)**

---

## Chip-Fertigung - Motivation/Einleitung

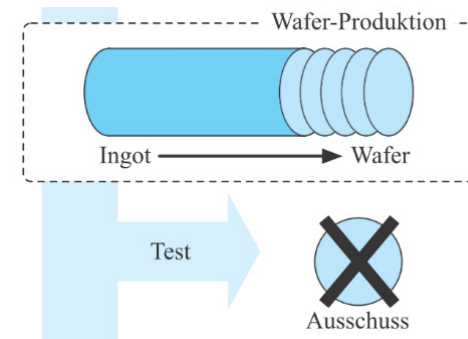
- Die Herstellung eines ICs bzw. Chips ist eines der kompliziertesten Verfahren, die in der Industrie eingesetzt werden
- Die Fertigung eines Chips kann bis zu 30 Tage dauern
- Das Grundmaterial ist überraschenderweise äußerst einfach: Sand
  - genauer: Silizium, das in Form von Siliziumoxid ( $\text{SiO}_2$ ) Hauptbestandteil von Quarzsand ist

## Chip-Fertigung - Überblick



## Chip-Fertigung - Überblick - Wafer-Produktion

- Um das Siliziumherauszutrennen, wird der vorgereinigte Sand geschmolzen
- Aus der Schmelze wird ein Kristall gezogen (Ingot) (2-3 Tage; 2m lang, 150-450mm Durchmesser, mehrere 100kg)
- Aus dem Ingot werden 0.5-1.5mm dünne Scheiben gesägt (Wafer) und mit einer nahezu perfekt ebenen Oberfläche verarbeitet
- In Folgenden werden nun Transistoren, Leiter, Isolatoren schichtenweise aufgebracht (Planartechnik)

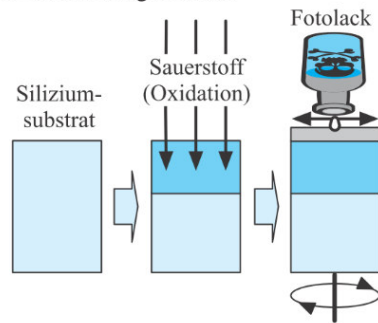


## **Chip-Fertigung - Überblick - grundlegende Fertigungsmethoden für Back-end und Front-end I/III**

- Es gibt 4 grundlegende Fertigungsmethoden
  - Im Front-end werden Beschichtungstechnik, Belichtungstechnik(Lithographie), Ätztechnik und Dotierungstechnik verwendet
  - Im Back-end werden Beschichtungstechnik, Belichtungstechnik und Ätztechnik verwendet

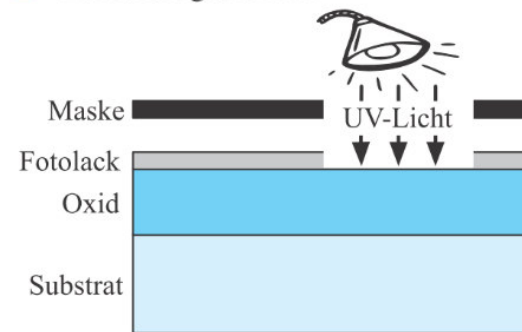
## Chip-Fertigung - Überblick - grundlegende Fertigungsmethoden für Back-end und Front-end II/III

### ■ Beschichtungstechnik



- Der Wafer wird im Ofen auf ca. 1000° erhitzt und dabei mit einer isolierenden Schicht überzogen
- Der abgekühlte Kristall wird mit einem lichtempfindlichen Fotolack beschichtet (Spin-Coating)

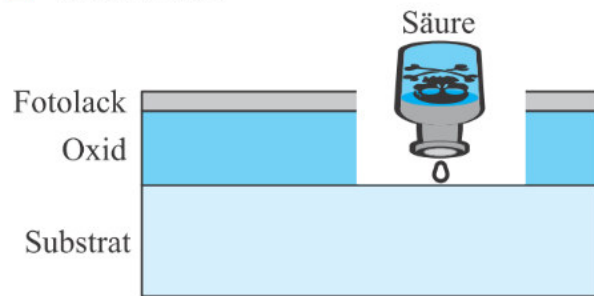
### ■ Belichtungstechnik



- Der mit Fotolack lackierte Wafer wird mit UV-Licht bestrahlt
- Die spezielle Belichtungsmaske sorgt dafür das die Fotoschicht nur partiell belichtet wird
- Je nach Fotolack können die belichteten oder nicht-belichteten Teile ausgelöst werden und die Oxidschicht freigelegt werden (hier Entfernung der belichteten Teile)

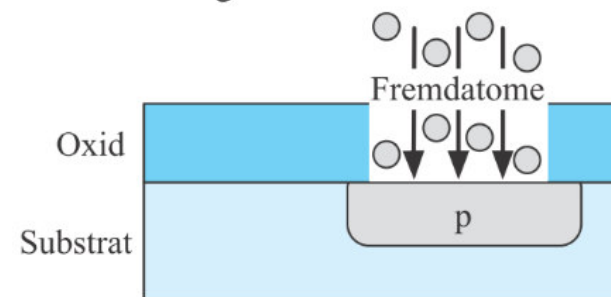
## Chip-Fertigung - Überblick - grundlegende Fertigungsmethoden für Back-end und Front-end III/III

### ■ Ätztechnik



- Der belichtete Wafer wird in ein Ätzbad gegeben, wobei die freigelegten Stellen angegriffen werden
- Nach dem Ätzbad wird die Wafer gereinigt

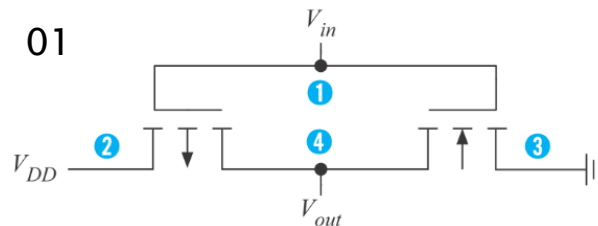
### ■ Dotierungstechnik



- Der Siliziumkristall wird erhitzt und die zugänglichen Stellen des Substrats mit Fremdatomen versetzt
- Je nach Element kann die Dotierung durch Ionenbeschuss, Diffusion, Dotiergas Dotierlack erfolgen

## Chip-Fertigung - Beispiel CMOS inverter - Front-End processing I/III

- Die zu produzierende Schaltung ist ein CMOS inverter aus einem n-Kanal und einem p-Kanal MOSFET in Reihenschaltung mit gemeinsamen Gateanschluss (01)



- Zuerst wird der n-dotierte Roh-Wafer erhitzt und oxidiert (02)

02

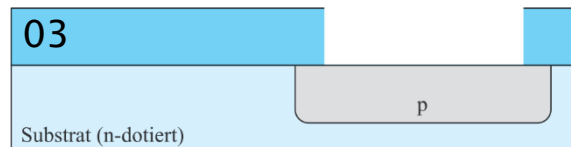
Substrat (n-dotiert)

- Nun folgen mehrere Maskendurchläufe, in denen die Bestandteile der beiden Transistoren nach und nach in das Silizium eingebracht werden
- Dabei wird der Wafer mit einer Oxidschicht überzogen, der Fotolack überzogen, Lithographie/Belichtungstechnik angewendet, die (belichteten Teile) geätzt und weiter Verarbeitungsschritte wie z.B. Dotierung durchgeführt.

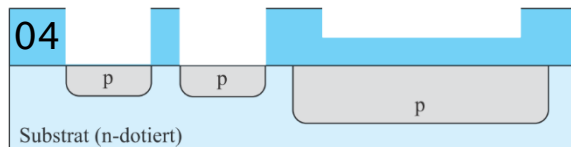


## Chip-Fertigung - Beispiel CMOS inverter - Front-End processing II/III

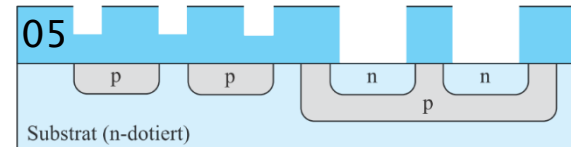
- Im ersten Maskendurchlauf wird die p-Wanne erzeugt, die als Substrat für den n-Kanal MOSFET dient (03)



- Ein weiterer Maskendurchlauf wird für die p-dotierten Bereiche (Source, Drain) des p-Kanal MOSFET benötigt (04)



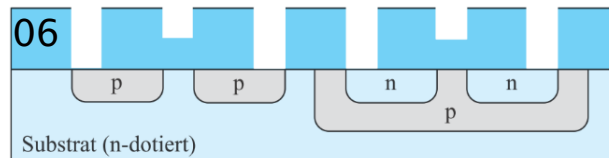
- Dann erfolgt ein weiterer Maskendurchlauf für die n-dotierten Bereiche (Source, Drain) im n-Kanal MOSFET (05)



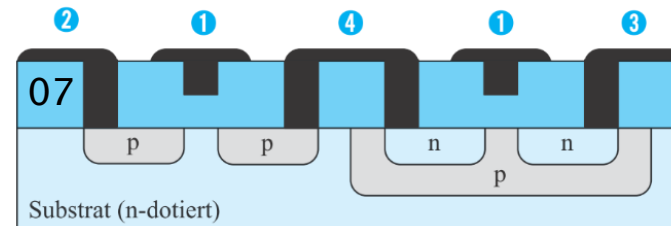
- Nun sind die Dotierungen abgeschlossen
- In weiteren Maskendurchläufen ohne Dotierung erfolgt das Freilegen der Drain und Source-Kontakte sowie der Gate-Kontakte

## Chip-Fertigung - Beispiel CMOS inverter - Front-End processing III/III

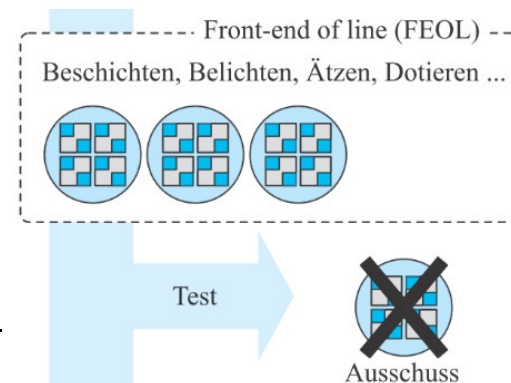
- Für die Gate-Kontakte wird die Oxidschicht nicht vollständig weggeätzt (06)



- Im letzten Maskendurchlauf werden die Source, Drain und Gate-Anschlüsse durch Aufdampfen einer dünnen Metallschicht geschaffen (07)

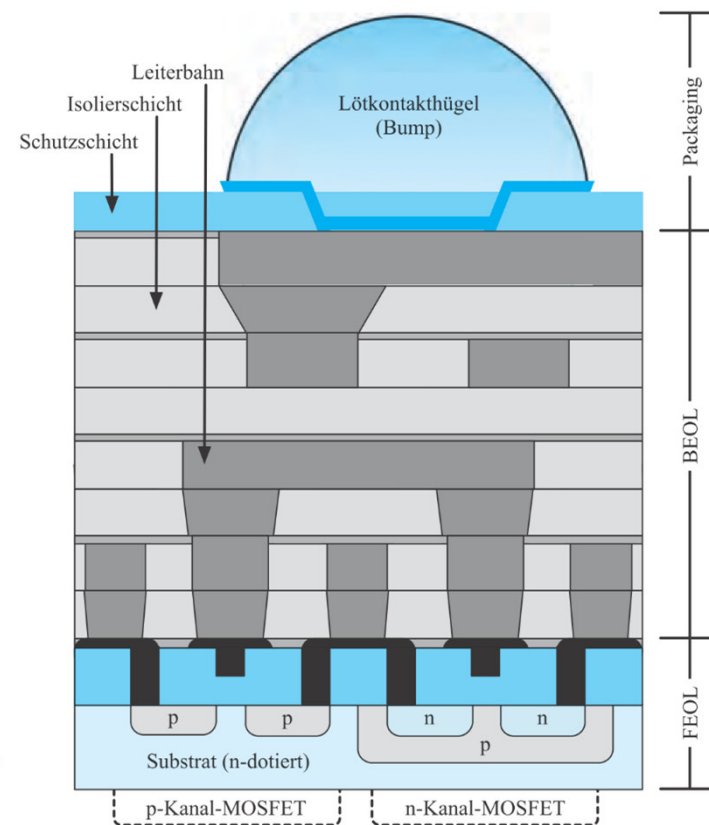


- Nun sind alle Stufen der Front-end of line (kurz FEOL oder Front-end) abgearbeitet



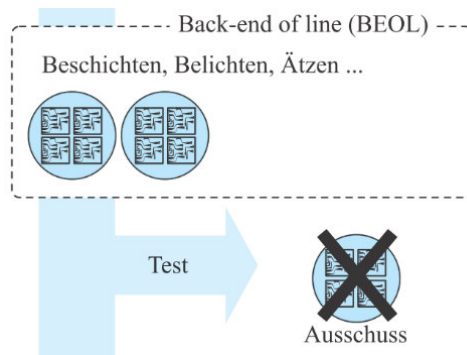
## Chip-Fertigung - Beispiel CMOS inverter - Back-end processing I/II

- Im Back-end of line (kurz BEOL oder Back-end) werden die Anschlüsse der erzeugten Schaltelemente miteinander Verbunden
- Nach und nach werden mehrere Verdrahtungsebenen (wiring layers) aus isolieren Material aufgetragen
- In diese werden die Kanäle für die Leiterbahnen eingeätzt und schließlich der metallische Leiter aufgedampft

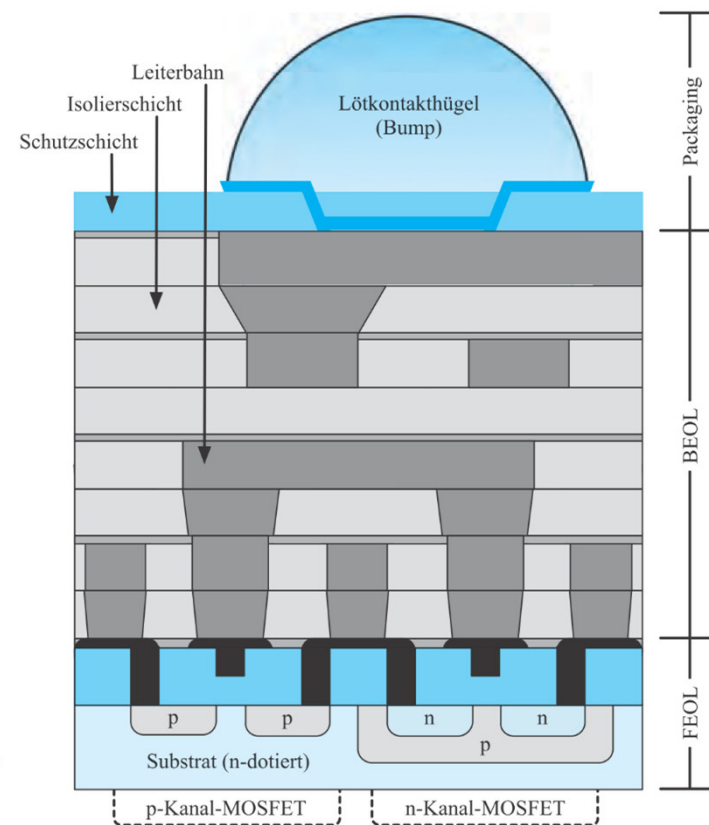


## Chip-Fertigung - Beispiel CMOS inverter - Back-end processing II/II

- Nun sind alle Stufen der Back-end of line (kurz BEOL oder Back-end) abgearbeitet

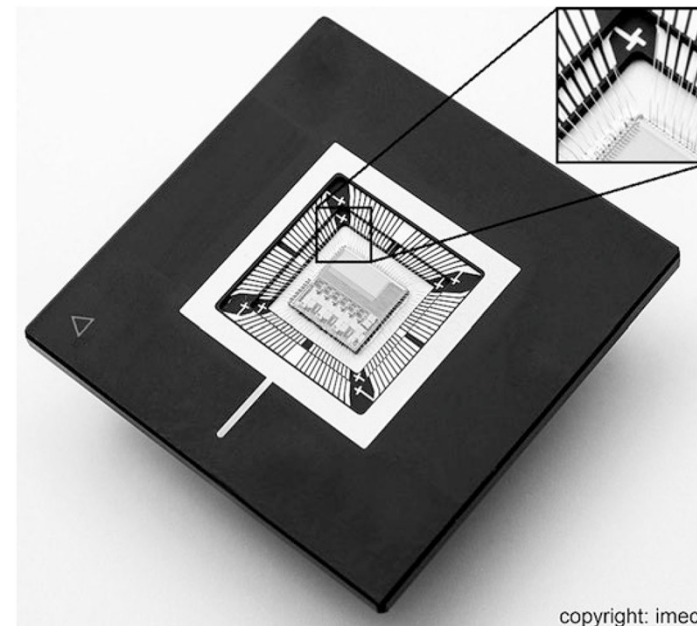


- Der Wafer enthält nun eine Vielzahl von vollständig ausgebildeten, identischen Chip-Kerne (Dies)



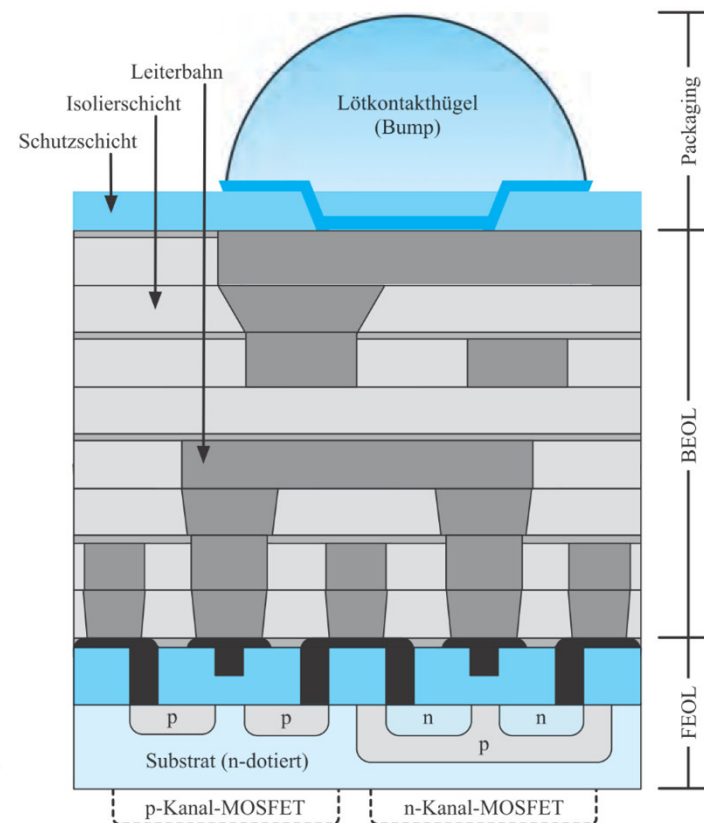
## Chip-Fertigung - Beispiel CMOS inverter - Packaging - Wire bonding

- Nun wird der Wafer vereinzelt und in die einzelnen Dies gesägt (dicing)
- Im Packaging werden die herausgetrennten Dies mit einem Gehäuse versehen und die internen Anschlüsse mit den externen Pins des Gehäuses verbunden
- Früher wurden die internen Anschlüsse seitlich aus dem Chip herausgeführt und mit Golddrähten verdrahtet (Wire-Bonding)



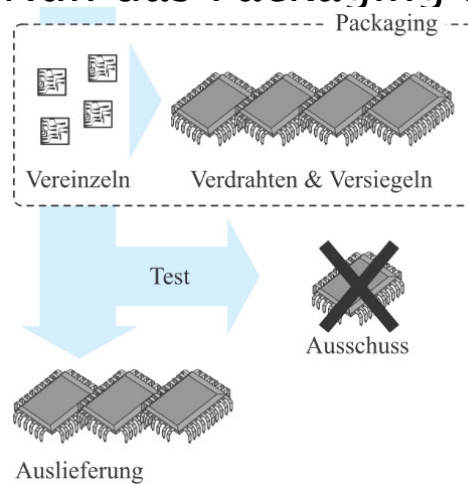
## Chip-Fertigung - Beispiel CMOS inverter - Packaging - Flip-Chip

- Bei komplexen Chips mit vielen Anschlüssen ist dies nicht immer kollisionsfrei möglich
- Außerdem begrenzen die vergleichsweise langen Golddrähte die maximale Taktfrequenz
- Beim Flip-Chip-Verfahren werden die Golddrähte durch an der gesamten Chipunterseite herausgeführte Lötkontakthügel (Bumps) ersetzt



## Chip-Fertigung - Beispiel CMOS inverter - Packaging

- Nun das Packaging abgearbeitet



- Nach der Gehäuseversiegelung werden die fertigen Chips nochmal ausgiebigen Tests unterzogen

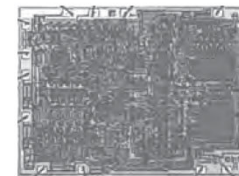
## Chip-Fertigung - Strukturbreite (B)

- Neben der Taktfrequenz und Anzahl der Kerne gehört die Strukturbreite zu den wichtigsten Klassifizierungsmerkmalen von Mikroprozessoren
- Die Strukturbreite ist ein Maß für die Integrationsdichte
- Die Strukturbreite beschreibt die Kanallänge eines Transistors (Abstand Drain und Source)
- In der Praxis strebt man eine möglichst kurze Kanallänge an
  - Je kleiner die Strukturbreite ist desto höher ist die Integrationsdichte -> mehr Transistoren / Fläche -> Kompakter -> billiger
  - Je kleiner die Kanallänge desto höher ist die Schaltgeschwindigkeit/ niedriger ist die Leistungsaufnahme

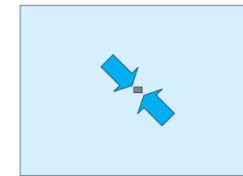


## Chip-Fertigung - Strukturbreite - Vergleich (B)

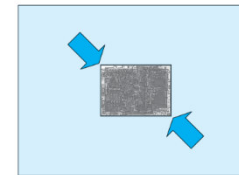
- Eine Verringerung der Strukturbreite um Faktor bewirkt eine Verringerung der Fläche um Faktor 4
- Beispiel:
  - Auf der Fläche eines Transistors des Intel 4004 (10um) haben 500000 Transistoren in 14nm Strukturbreite platz
  - Die Strukturbreite eines Transistors ist etwa 700-Mal kleiner



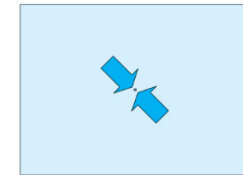
10-Mikrometer-Prozess



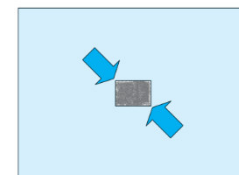
350-Nanometer-Prozess



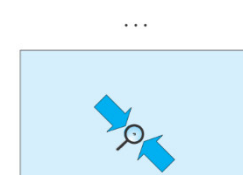
3-Mikrometer-Prozess



90-Nanometer-Prozess



1,5-Mikrometer-Prozess

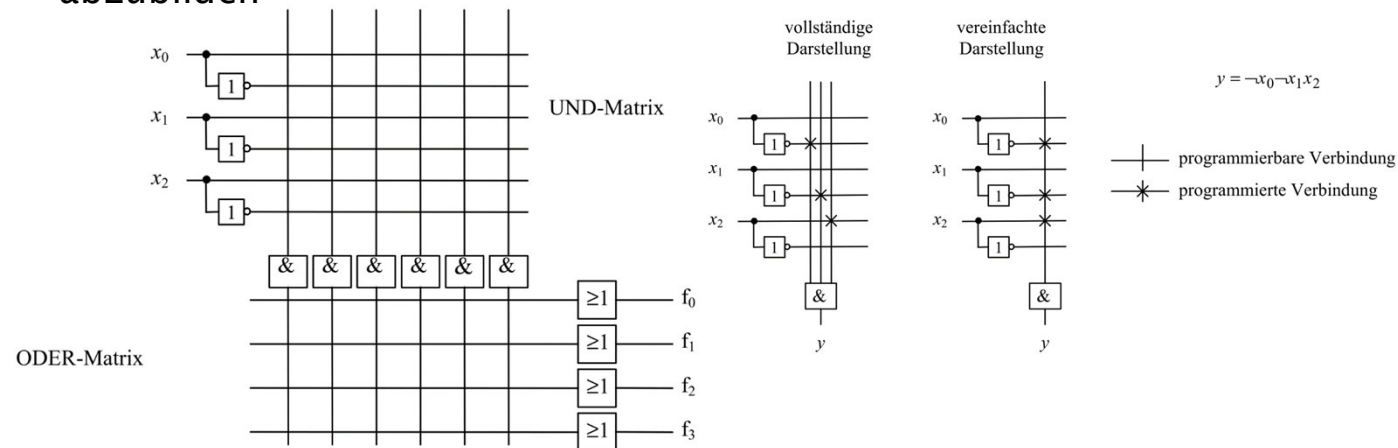


...

14-Nanometer-Prozess

## Weitere Gatterrealisierungstechniken - Programmierbare Logik (PLD) I/III

- Die unterschiedlichen PLD-Arten teilen das gemeinsame Prinzip eine bool'sche Funktion durch ein zweistufiges Schaltnetz mit der ersten Stufe UND-Verknüpfungen und der zweiten Stufe ODER-Verknüpfungen abzubilden



## Weitere Gatterrealisierungstechniken - PLD II/III

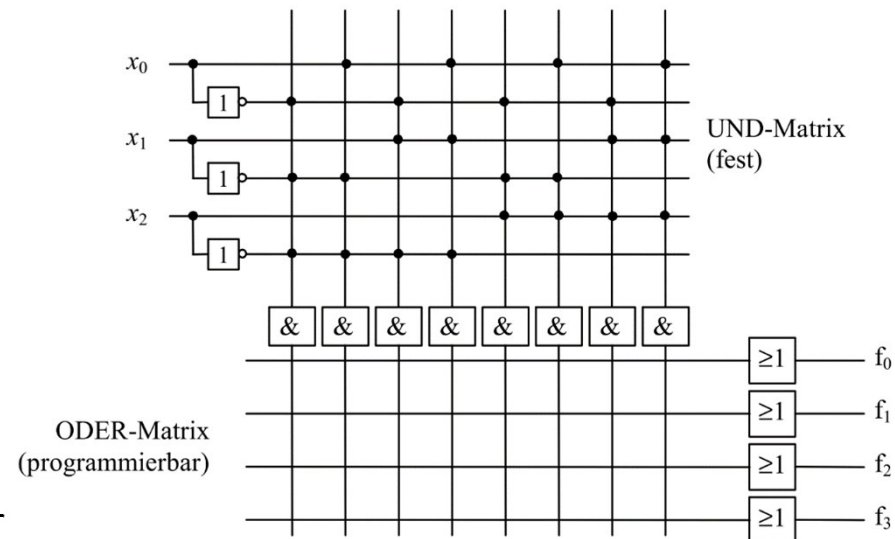
- Unterschieden wird nach Art der Programmierung
  - Fuse-Link, einmal elektrisch herstellbare, dann dauerhafte Trennung
  - Antifuse, einmal elektrisch herstellbare, dann dauerhafte Verbindung
  - 1-Bit RAM-Zellen: Flipflops
  - EPROM-Zellen: dauerhafte Ladungsspeicherung, kann durch UV-Licht gelöscht werden
  - EEPROM-Zellen: dauerhafte Ladungsspeicherung, kann elektrisch gelöscht werden

## Weitere Gatterrealisierungstechniken - PLD III/III

- weiter unterschieden wird nach der Struktur (welche Teile der UND/ODER Matrix Programmierbar bzw. fest sind)
- PAL (Programmable Array Logic):  
Programmierbare UND-Matrix, feste ODER-Matrix, 1 x Programmierbar
- GAL (Generic Array Logic):  
Programmierbare UND-Matrix, feste ODER-Matrix, mehrfach programmierbar
- PLA (Programmable Logic Array):  
Programmierbare UND und ODER-Matrix, mehrfach programmierbar

## Weitere Gatterrealisierungstechniken - PLD -Spezialfall Speicher (ROM, EPROM, EEPROM)

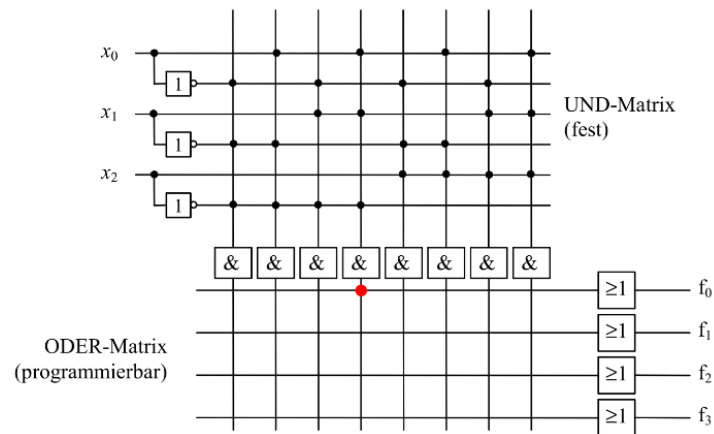
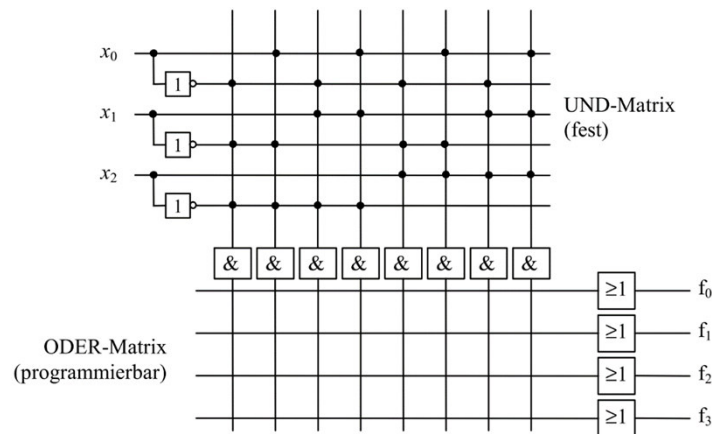
- Mit einem Speicher kann grundsätzlich auch eine bool'sche Funktion durch ein zweistufiges Schaltnetz mit der ersten Stufe UND-Verknüpfungen und der zweiten Stufe ODER-Verknüpfungen abzubilden
- Die Struktur eines Speichers kann als feste UND-Matrix (feste Adressleitungen) und Programmierbare ODER-Matrix (Speicherinhalt) aufgefasst werden



## Weitere Gatterrealisierungstechniken - PLD - Spezialfall Speicher - Beispiel UND

- UND realisiert als Speicher

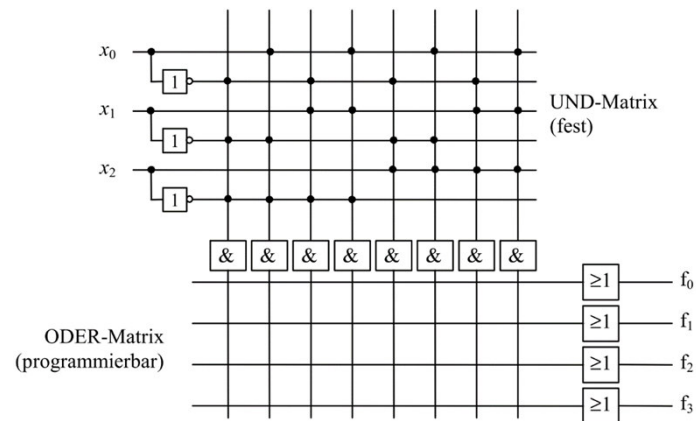
$x_1$	$x_0$	$y$
0	0	0
0	1	0
1	0	0
1	1	1



## Weitere Gatterrealisierungstechniken - PLD - Spezialfall Speicher - Übung

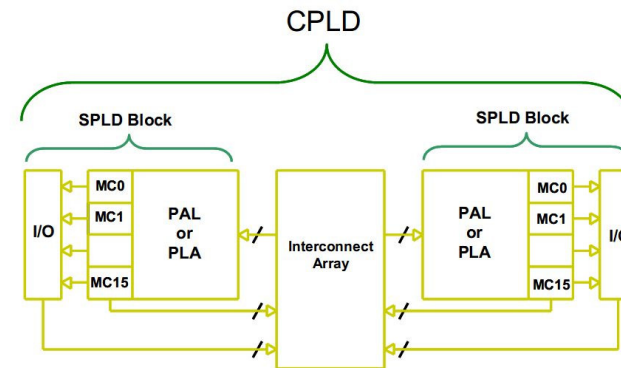
### ▪ XOR realisiert als Speicher

$x_1$	$x_0$	$y$
0	0	0
0	1	1
1	0	1
1	1	0



## Weitere Gatterrealisierungstechniken - PLD - CPLD

- CPLD (Complex Programmable Logic Device)  
Elektrisch programmierbares logisches Array, mehrfach programmierbar (meist nicht flüchtig)
- Ein CPLD besteht aus mehreren PAL/PLAs mit einem gemeinsamen globalen Interconnect



SPLD= Simple Programmable Logic Device  
MC= Macro Cell



## Weitere Gatterrealisierungstechniken - PLD - FPGA

- FPGA (Field Programmable Gate Array): Elektrisch programmierbares logisches Array, mehrfach programmierbar (meist flüchtig)
  - Der FPGA Logikbereich besteht aus mehreren PLDs auch Logic-cells genannt
  - Diese Logic-cells bestehen im Wesentlichen aus kleinen RAM-Speichern (auch Look-up-tables (LUT) genannt)
  - Weitere Bestandteile dieser Logic-Cells sind FFs und Multiplexer
  - Diese Logic-cells können durch ein Verbindungsnetzwerk(Matrix) miteinander verschaltet werden

