

Es ist zu empfehlen dieses Übungsblatt nach Ihrem Durcharbeiten mit Kollegen auszutauschen, zu vergleichen und zu korrigieren.

1. Text->VHDL->FPGA

- Schreiben Sie VHDL-Code für ein Modul mit folgende Funktion:
- Das Modul soll eine LED im Sekundentakt ein und ausschalten
- Zunächst(nach dem start-up) soll die LED eingeschalten sein und dann nach einer Sekunde ausgeschalten werden und nach einer Sekunde wieder eingeschalten werden usw.
- Verwenden Sie einen Zähler der die 100MHz Systemtakte zählt, und ein Steuersignal mit dem Namen ticksek kurz für einen Takt auf ,1' setzt, wenn die Taktanzahl für 1s abgelaufen ist
- Benutzen Sie dieses Steuersignal für Ihre LED-Ansteuerung
- Verwenden Sie die **tut_vhdlsync02_given.zip (ex01)** und fügen Sie Ihren Code in **module.vhd** innerhalb der gekennzeichneten Bereiche **##INSERT YOUR CODE HERE** und **##INSERT YOUR CODE HERE END** ein.

a) Simulation

- Überlegen Sie welche Werte Ihr Modul bei dem gegebenen Testbench liefern sollte und Simulieren Sie Ihr Modul
- Achtung!!! Wegen der ansonsten sehr langen Simulationszeit stellen Sie die Zählbedingung anstelle der Menge von 100MHz Takten für 1s auf 3 Takte

F: Welchen Wert hat Ihre Simulation für das Ausgangssignal LED bei 90ns(+1ps)?

b) Synthetisieren und Laden in den FPGA

- Wenn die Simulation des Moduls in Ordnung ist, können Sie nun Ihren Entwurf auf dem FPGA-board testen
- Achtung!!! Stellen Sie nun die Zählbedingung anstelle von 3 wieder zurück auf die Menge von 100MHz Takten für 1s
- Erstellen Sie nun ein Vivadoprojekt zum Erzeugen des FPGA-Bitstreams, den Sie auf den FPGA laden (vgl. tooling_xilinx_vivado.pdf Beispiel simplebsp)
- Legen Sie das Projekt mit dem Namen led unter ex01/vivado an
- Fügen Sie die Dateien unter dem Verzeichnis ex01/hdl sowie ex01/impl dem Projekt hinzu
- Achten Sie darauf, wenn Sie den Testbench überhaupt hinzufügen, dass der Testbench nur als „Simulation“ und nicht als „Implementation“ gekennzeichnet sind
- Erzeugen Sie nun den FPGA-Bitstream
- Laden Sie den Bitstream auf den FPGA

F: Welche LED auf dem Board blinkt nun im Sekundentakt?

2. Text->State chart->VHDL->FPGA

- Schreiben Sie VHDL-Code für ein Modul mit folgender Funktion:
- Das Modul soll eine LED-Laufband bzw. LED Welle mit 4 LEDs (LED0 bis LED3) erstellen
- D.h. beginnend mit LED0 soll die LED eingeschaltet werden eine Sekunde gewartet werden und die LED wieder ausgeschaltet werden und die nächste LED angeschaltet werden usw
- Wenn das Ende erreicht ist (LED3), soll rückwärts (zu LED2) gegangen werden bis wieder LED0 erreicht wird und dann wieder von vorne begonnen werden
- Zunächst(nach dem start-up) soll die LED0 eingeschalten sein
- Verwenden Sie einen Zähler der die 100MHz Systemtakte zählt, und ein Steuersignal mit dem Namen ticksek kurz für einen Takt auf ,1' setzt, wenn die Taktanzahl für 1s abgelaufen ist
- Benutzen Sie dieses Steuersignal für Ihre LED-Ansteuerung

a) State chart

Setzen Sie die LED-Steuerung mit einer MOORE-FSM um. Zeichnen Sie den state chart.

b) Simulation

- Verwenden Sie die **tut_vhdlsync02_given.zip (ex02)** und fügen Sie Ihren Code in **module.vhd** innerhalb der gekennzeichneten Bereiche **##INSERT YOUR CODE HERE** und **##INSERT YOUR CODE HERE END** ein.
- Schreiben Sie den VHDL Code nach der 2-Process-Darstellung und nutzen Sie default values
- Überlegen Sie welche Werte Ihr Modul bei dem gegebenen Testbench liefern sollte und Simulieren Sie Ihr Modul.
- Achtung!!! Wegen der ansonsten sehr langen Simulationszeit stellen Sie die Zählbedingung anstelle der Menge von 100MHz Takten für 1s auf 1 Takt.

F: Welchen Wert hat Ihre Simulation für das Ausgangssignal LED3 bei 90ns(+1ps)?

c) Synthetisieren und Laden in den FPGA

-Wenn die Simulation des Moduls in Ordnung ist, können Sie nun Ihren Entwurf auf dem FPGA-board testen

--Achtung!!! Stellen Sie nun die Zählbedingung anstelle von 1 wieder zurück auf die Menge von 100MHz Takten für 1s

-Erstellen Sie nun Vivadoprojekt zum Erzeugen des FPGA-Bitstreams, den Sie auf den FPGA laden (vgl. tooling_xilinx_vivado.pdf Beispiel simplebsp)

--Legen Sie das Projekt mit dem Namen ledwave unter ex02/vivado an

--Fügen Sie die Dateien unter dem Verzeichnis ex02/hdl sowie ex02/impl dem Projekt hinzu

---Achten Sie darauf, wenn Sie den Testbench überhaupt hinzufügen, dass der Testbench nur als „Simulation“ und nicht als „Implementation“ gekennzeichnet sind

--Erzeugen Sie nun den FPGA-Bitstream

--Laden Sie den Bitstream auf den FPGA

F: Welche LEDs blinken in welche Reihenfolge nach auf dem Board im Sekundentakt auf?

--

3. Text->State chart->VHDL->FPGA

- Schreiben Sie VHDL-Code für ein Modul mit folgender Funktion:
- Das Modul soll auf dem Siebensegmentdisplay die Zahlen 0 bis 9 jeder Sekunde einen neuen Wert ausgeben.
- Wenn das Ende erreicht ist soll wieder von vorne begonnen werden
- Verwenden Sie einen Zähler der die 100MHz Systemtakte zählt, und ein Steuersignal mit dem Namen ticksek kurz für einen Takt auf ,1' setzt, wenn die Taktanzahl für 1s abgelaufen ist
- Verwenden Sie einen weiteren Zähler mit diesem Steuersignal zur Ansteuerung des Siebensegment-Decoders
- Sie dürfen gerne Ihren Siebensegment-Dekoder von tut_vhdlcom02 ex04 (sevenseg.vhd) hier verwenden und als component einbinden.

a) Simulation

- Verwenden Sie die **tut_vhdlsync02_given.zip (ex03)** und fügen Sie Ihren Code in **module.vhd** innerhalb der gekennzeichneten Bereiche **##INSERT YOUR CODE HERE** und **##INSERT YOUR CODE HERE END** ein.
- Überlegen Sie welche Werte Ihr Modul bei dem gegebenen Testbench liefern sollte und Simulieren Sie Ihr Modul.
- Achtung!!! Wegen der ansonsten sehr langen Simulationszeit stellen Sie die Zählbedingung anstelle der Menge von 100MHz Takten für 1s auf 1 Takt.

F: Welchen Wert hat Ihre Simulation für das Ausgangssignal segments bei 210ns(+1ps)?

--

b) Synthetisieren und Laden in den FPGA

- Wenn die Simulation des Moduls in Ordnung ist, können Sie nun Ihren Entwurf auf dem FPGA-board testen.
- Achtung!!! Stellen Sie nun die Zählbedingung anstelle von 1 wieder zurück auf die Menge von 100MHz Takten für 1s
- Erstellen Sie nun Vivadoprojekt zum Erzeugen des FPGA-Bitstreams, den Sie auf den FPGA laden (vgl. tooling_xilinx_vivado.pdf Beispiel simplebsp)
- Legen Sie das Projekt mit dem Namen sevensegcnt unter ex03/vivado an
- Fügen Sie die Dateien unter dem Verzeichnis ex03/hdl sowie ex03/impl dem Projekt hinzu
- Achten Sie darauf, wenn Sie den Testbench überhaupt hinzufügen, dass der Testbench nur als „Simulation“ und nicht als „Implementation“ gekennzeichnet sind
- Erzeugen Sie nun den FPGA-Bitstream
- Laden Sie den Bitstream auf den FPGA

F: Welche Werte sehen Sie auf der Siebensegmentanzeige?

--