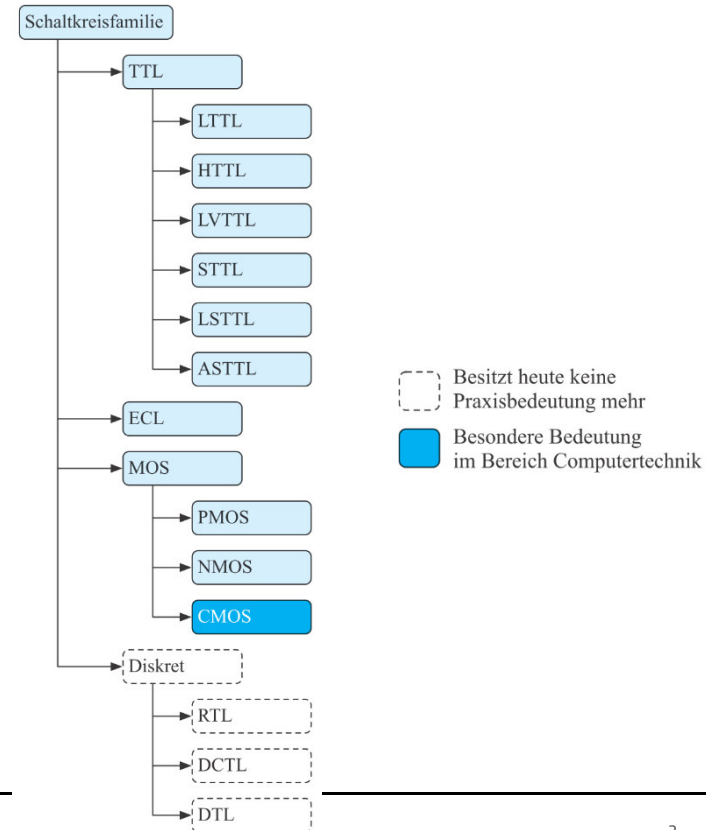


Physikalische Grundlagen (phybasics)

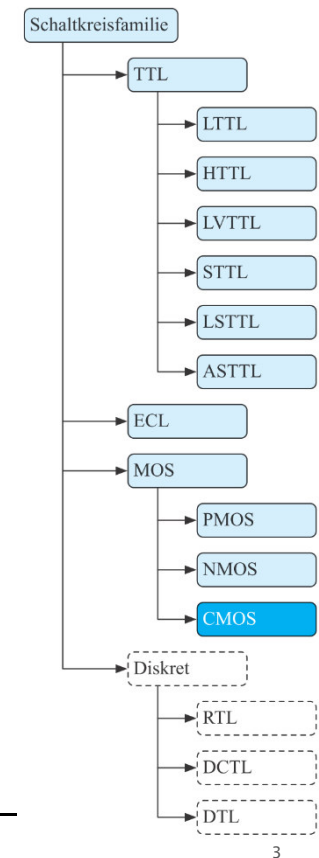
Gatter Realisierung - Motivation/Einleitung

- Logische Gatter lassen sich auf verschiedene Arten aus Transistoren aufbauen
- Es haben sich verschiedene Basistypen/ Schaltkreisfamilien etabliert, die nur in Einzelfällen miteinander kombiniert werden (können)
- Im Bereich der Computertechnik sind TTL und MOS (früher auch ECL) von Bedeutung



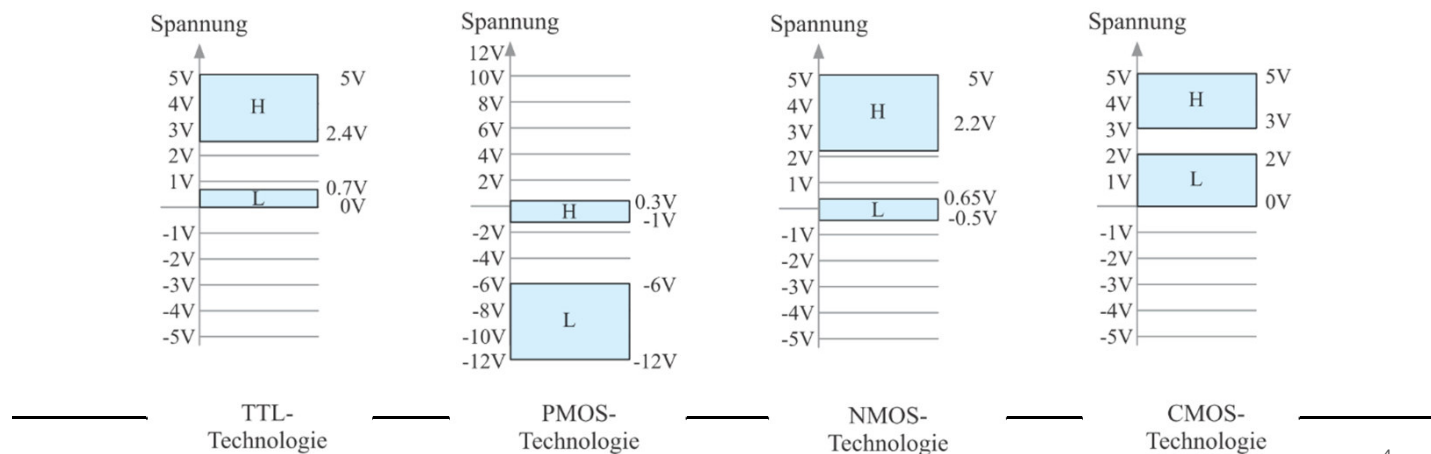
Gatter Realisierung - Schaltkreisfamilien

- TTL(Transistor-Transistor-Logik)
 - sehr robust und unempfindlich gegenüber elektrostatischer Aufladung
 - verschiedene Varianten (Stromaufnahme, Schaltgeschwindigkeit)
- MOS (Metal Oxide Semiconductor)
 - geringe Stromaufnahme
 - empfindlich gegenüber statischer Aufladung
 - Varianten PMOS, NMOS, CMOS
 - CMOS (Complementary Metal Oxide Semiconductor) verwendet sowohl n-Kanal als auch p-Kanal-Feldeffekt Transistoren



Gatter Realisierung - Schaltkreisfamilien - Pegel

- Die Schaltkreisfamilien arbeiten physikalisch verschieden, aber gemeinsam ist, dass sie binär arbeiten und dass sie die Logikzustände anhand von Spannung unterscheiden
- Jedem Logikzustand (1 oder 0) wird dabei ein Pegelbereich zugewiesen (H(igh)-Pegel und L(ow)-Pegel)
 - Der H-Pegel ist dabei der Spannungsbereich der näher an $+\infty$ liegt
 - der L-Pegel ist der Bereich, der näher an $-\infty$ liegt



Gatter Realisierung - Schaltkreisfamilien - Pegel - Positive und Negative Logik (B)

- Typischerweise ordnet man dem L-Pegel den Wert 0 zu und dem H-Pegel den Wert 1
 - Dies nennt man dann positive Logik
- Es gibt aber auch die negative Logik
 - Hier ordnet man dem L-Pegel den Wert 1 und dem H-Pegel den Wert 0 zu

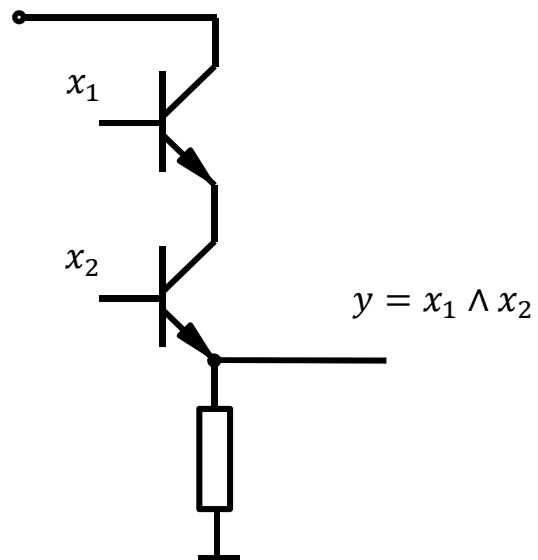
	Pegel		
	x	y	z
0	L	L	L
1	L	H	L
2	H	L	L
3	H	H	H

	Positive Logik		
	x	y	z
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

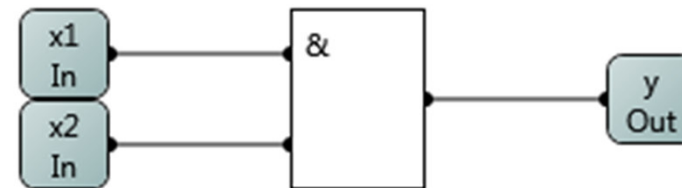
	Negative Logik		
	x	y	z
0	1	1	1
1	1	0	1
2	0	1	1
3	0	0	0

Gatter Realisierung - TTL - AND

- Transistor - Transistor - Logik (TTL) - AND

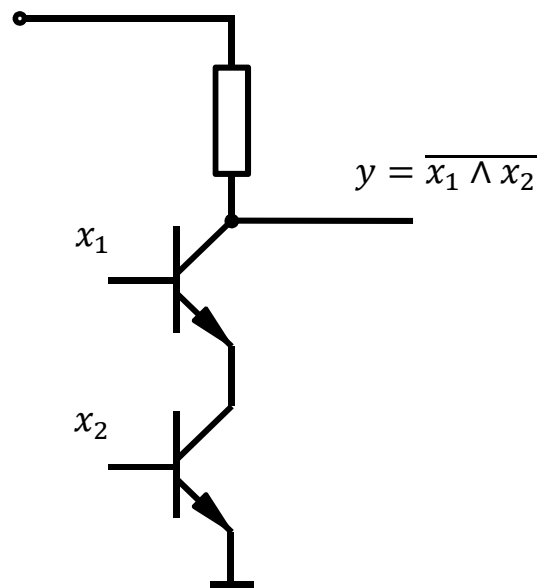


AND

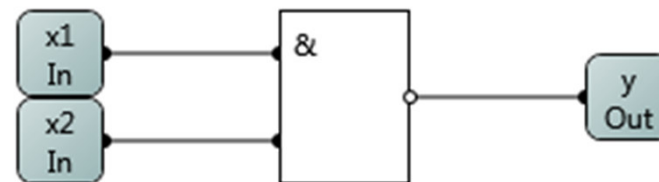


Gatter Realisierung - TTL - NAND

- Transistor - Transistor - Logik (TTL) - NAND

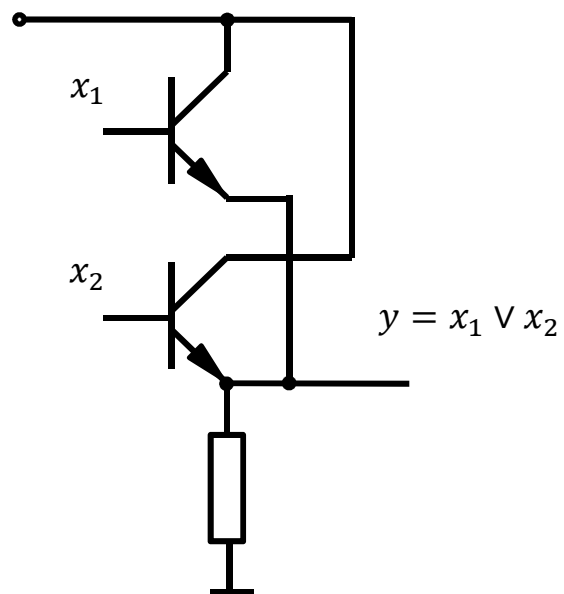


NAND

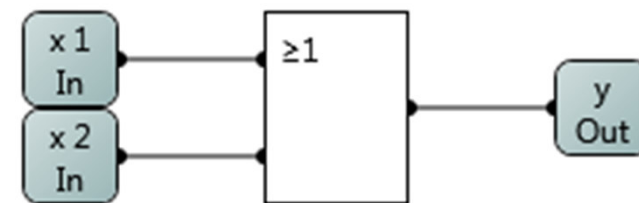


Gatter Realisierung - TTL - OR

- Transistor - Transistor - Logik (TTL) - OR



OR

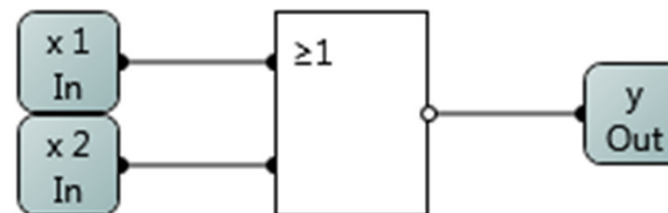


Gatter Realisierung - TTL - NOR - Übung (R)

- Transistor - Transistor - Logik (TTL) - NOR

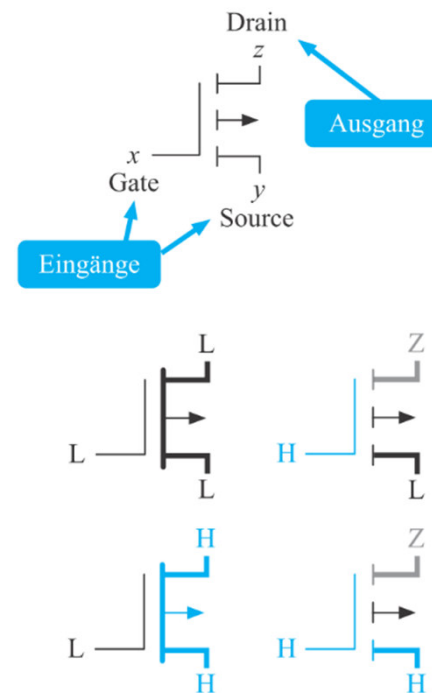
NOR

$$y = \overline{x_1 \vee x_2}$$



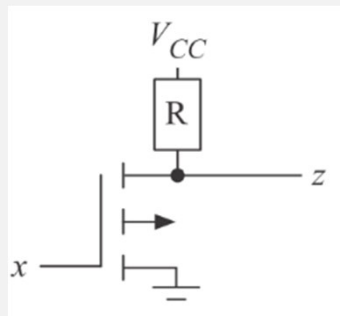
Gatter Realisierung - PMOS

- Die PMOS-Technik verwendet ausschließlich p-Kanal MOS-Transistoren
- Gate und Source werden als Eingänge betrachtet und Drain als Ausgang -> 4 Beschaltungskombinationen
- Wenn das Gate von H liegt, wird der Ausgang (Drain) gesperrt
 - Der Ausgang befindet sich nun im Schwebezustand (floating state) (Z) und übernimmt den dort anliegenden Spannungspegel
- Die Bezeichnung Z kommt von high ImpedanZ = hoher Widerstand / hochohmig



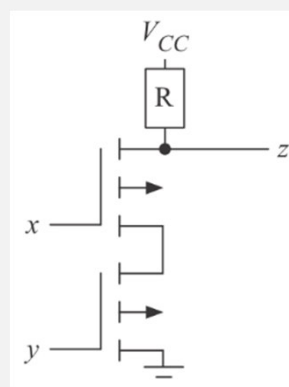
Gatter Realisierung - PMOS -Grundsaltungen

NOT



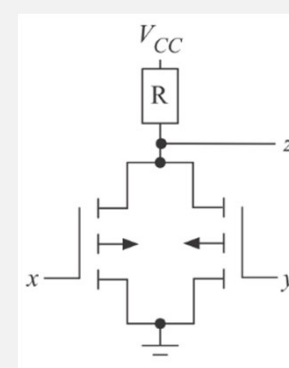
x	z
0	1
1	0

NOR



x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

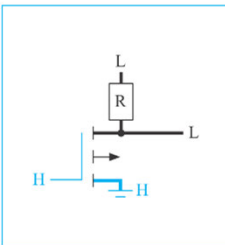
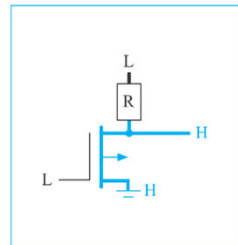
NAND



x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

Gatter Realisierung - PMOS -Grundsaltungen - Pegeldetails (B)

NOT

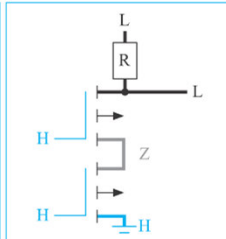
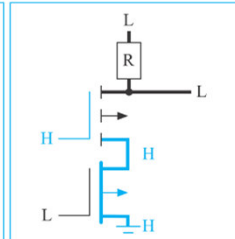
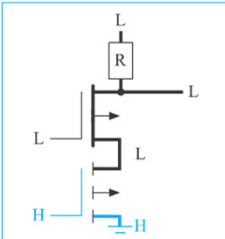
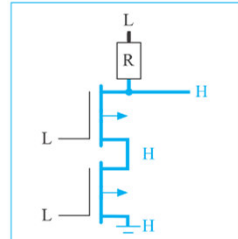


Gesperrt,
Source-Drain-
Strecke ist
unterbrochen

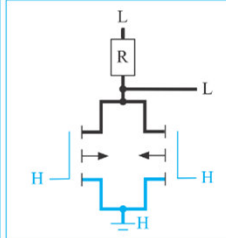
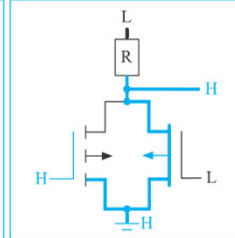
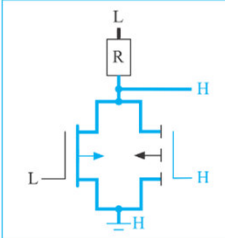
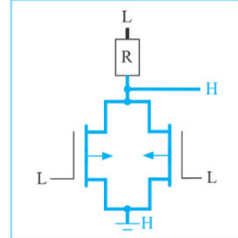
Durchgeschaltet,
Source-Drain-
Strecke auf
Low-Pegel

Durchgeschaltet,
Source-Drain-
Strecke auf
High-Pegel

NOR

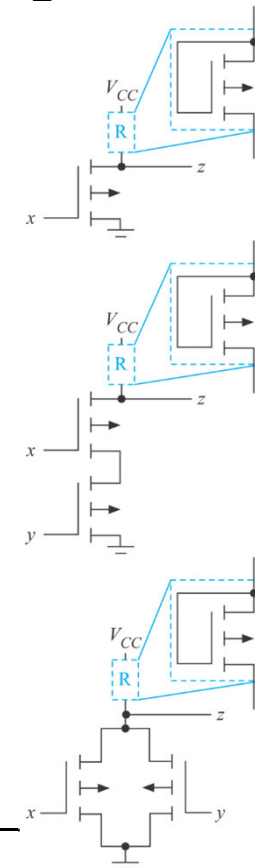


NAND



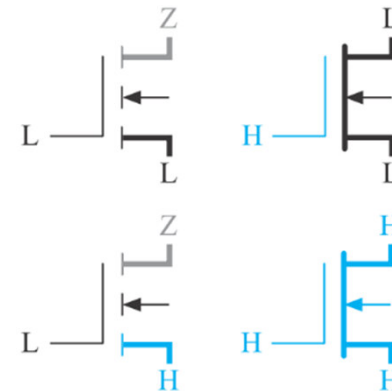
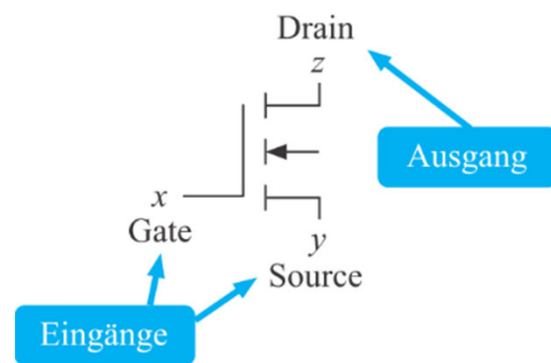
Gatter Realisierung - PMOS -Grundsaltungen - Realisierung Widerstände

- Alle Grundsaltungen haben einen zusätzlichen Lastwiderstand, der benötigt wird, um im durchgeschalteten Zustand den Strom zu begrenzen
- In der Praxis wird der Widerstand durch einen speziell konstruierten MOSFET realisiert, der permanent in Durchlassrichtung geschaltet ist



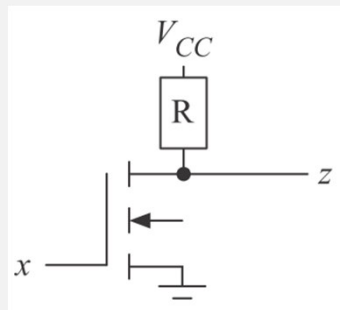
Gatter Realisierung - NMOS

- Die NMOS-Technik verwendet ausschließlich n-Kanal MOS-Transistoren



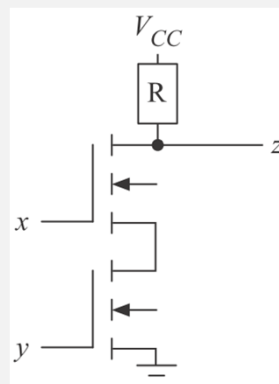
Gatter Realisierung - NMOS - Grundsaltungen

NOT



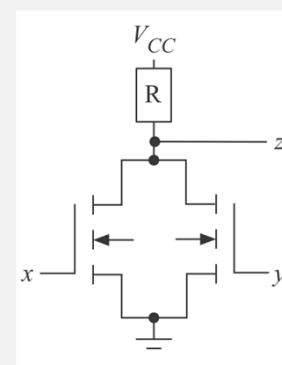
x	z
0	1
1	0

NAND



x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

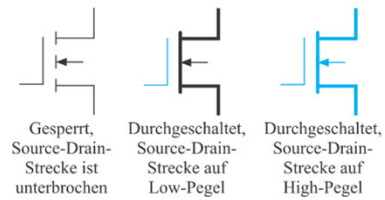
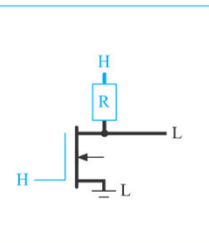
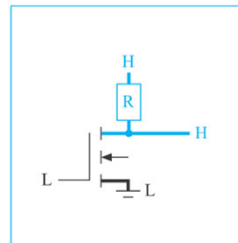
NOR



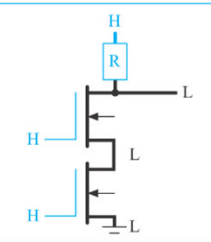
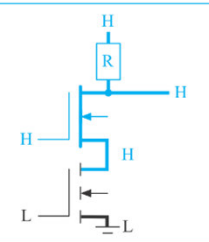
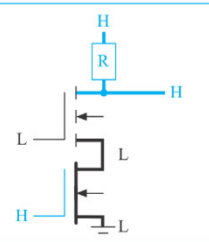
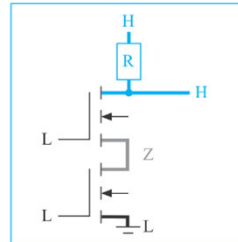
x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

Gatter Realisierung - NMOS - Grundsaltungen - Pegeldetails (B)

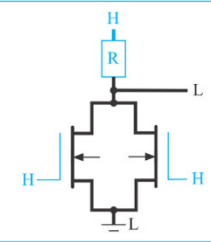
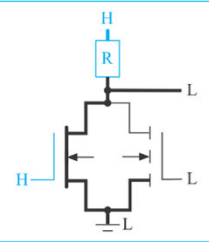
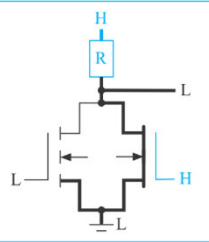
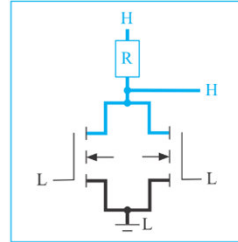
NOT



NAND



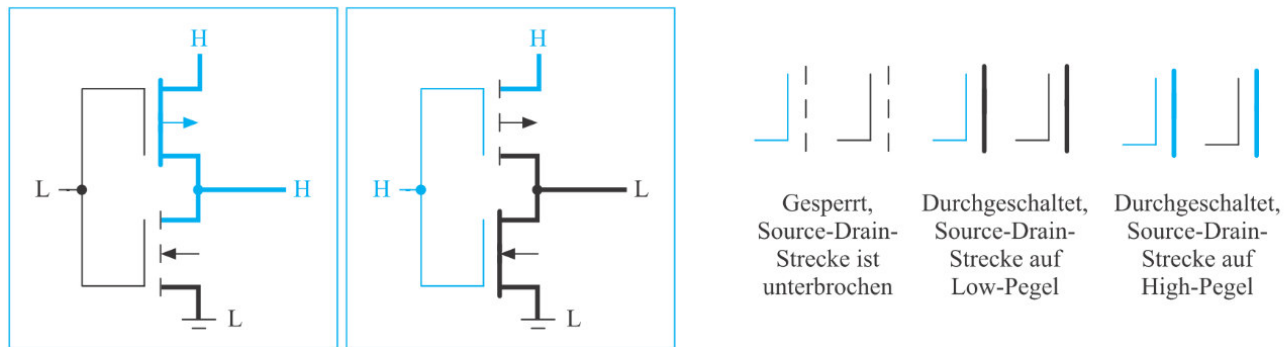
NOR



Gatter Realisierung - CMOS

- CMOS ist die meist verwendete Basistechnologie für ICs
- Durch die symmetrische Zusammenschaltung von n-Kanal und p-Kanal MOSFETs werden extrem stromsparende und hoch integrierbare Gatter geschaffen

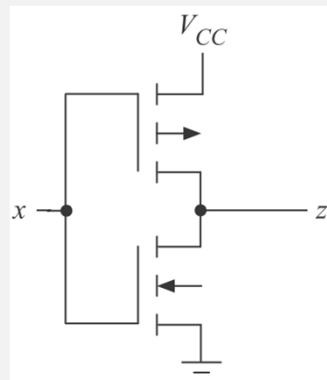
Gatter Realisierung - CMOS - CMOS Prinzip am Beispiel Inverter (NOT)



- Das CMOS Not besteht aus zwei in Serie geschaltete MOSFETs (oben PMOS unten NMOS)
 - L an Gate -> PMOS leitend, NMOS sperrend -> Ausgang H
 - H an Gate -> PMOS sperrend, NMOS leitend -> Ausgang L

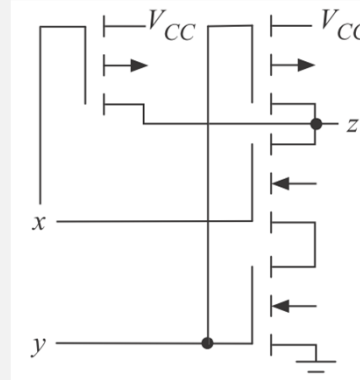
Gatter Realisierung - CMOS - Grundsaltungen

NOT



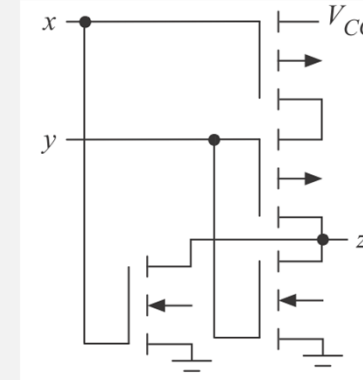
x	z
0	1
1	0

NAND



x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

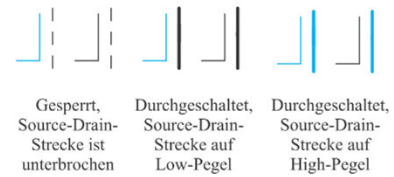
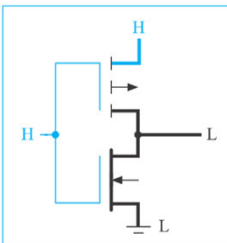
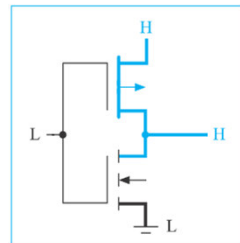
NOR



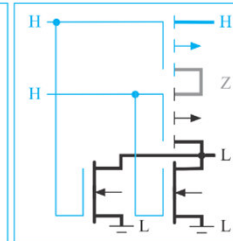
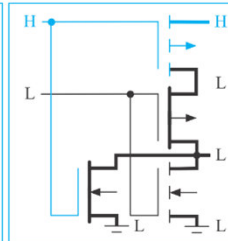
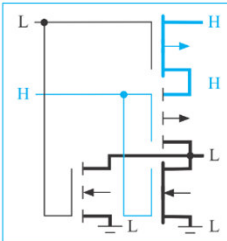
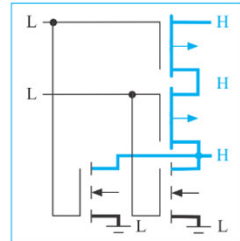
x	y	z
0	0	1
0	1	0
1	0	0
1	1	0

Gatter Realisierung - CMOS -Grundsaltungen - Pegeldetails (B)

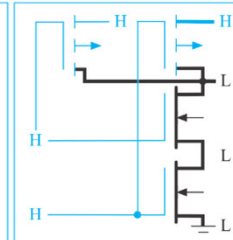
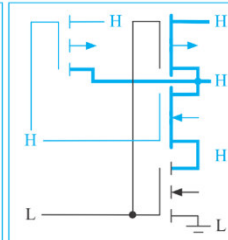
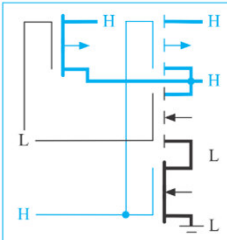
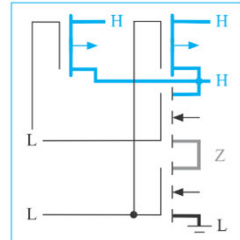
NOT



NOR



NAND



Gatter Realisierung - CMOS - Übung

- Zeichnen Sie ein AND in CMOS-Technik



Gatter Realisierung - CMOS - Eigenschaften I/II

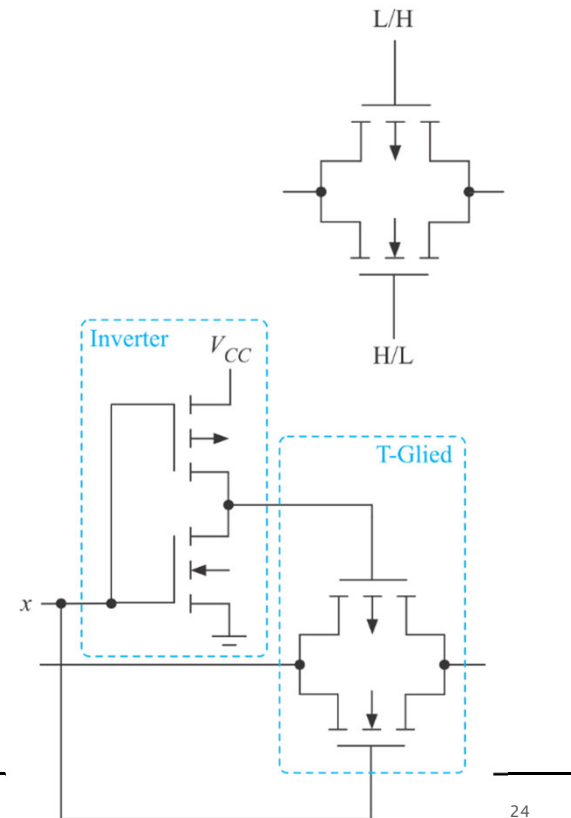
- CMOS Transistoren öffnen und sperren derart, dass kein konstanter Stromfluss zustande kommt
 - Nur in dem Moment des Zustandswechsels fließt ein geringer Umladestrom
 - Leistungsaufnahme hängt von Anzahl der Umladevorgänge ab -> von Taktfrequenz abhängig

Gatter Realisierung - CMOS - Eigenschaften II/II

- Im sperrenden Zustand hochohmig -> kein Stromfluss
- Im leitenden Zustand hat Source-Spannung bedeutenden Einfluss auf Leitfähigkeit:
 - PMOS:
 - Source-Spannung in der Nähe von Versorgungsspannung -> idealer Leiter
 - Source-Spannung in der Nähe von Masse -> Widerstand
 - NMOS:
 - Source-Spannung in der Nähe von Versorgungsspannung -> Widerstand
 - Source-Spannung in der Nähe von Masse -> idealer Leiter
- -> In CMOS Schaltungen PMOS oben in Nähe von Versorgungsspannung und NMOS unten in Nähe von Masse

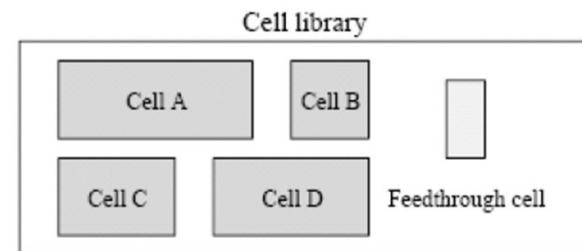
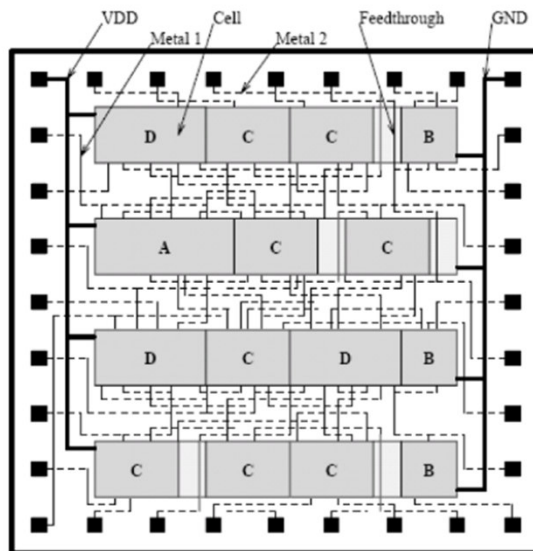
Gatter Realisierung - CMOS - Transmission Gate (T-Gate)

- Das Problem mit der Source-Spannung im leitenden Zustand führt zu dem Problem, dass es nicht möglich ist, mit einem einzigen MOSFET einen gut leitenden Schalter zu bauen
- Abhilfe:
 - Parallelschaltung von p-Kanal und n-Kanal MOSFET mit invertierter Ansteuerung der Gates
 - Bei H-Pegel Source leitet der PMOS besser, bei L-Pegel an Source leitet der NMOS besser



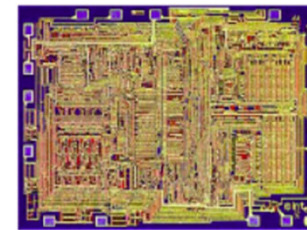
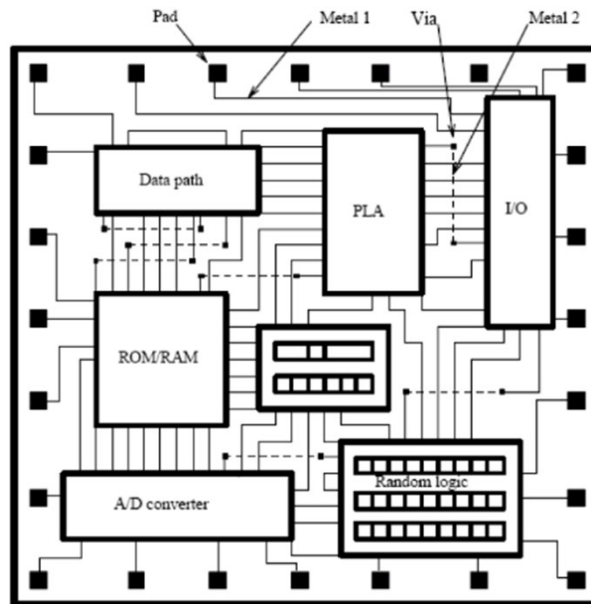
Gatter Realisierung - CMOS Umsetzung - ASIC Std-Zellen

- PRO:
 - Zeitersparnis durch Verwendung von pre-designed logic cells (AND, OR, MUX, FF) die Standard Cells (SC) genannt werden

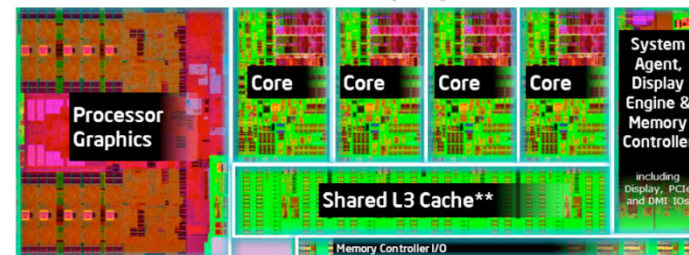


Gatter Realisierung - CMOS Umsetzung - ASIC full-custom

- PRO:
 - Höchste erreichbare Performance, aber aufwendig



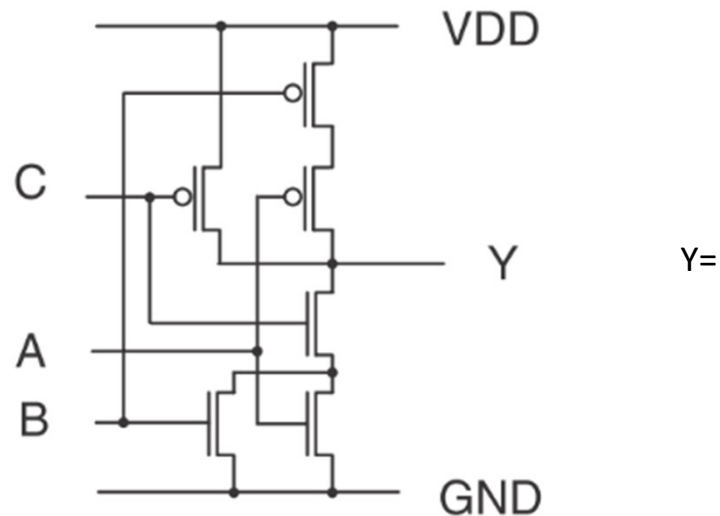
Intel 4004 ('71)



Intel Haswell Core ix-4xxx

Gatter Realisierung - CMOS - Übung (R)

- Interpretieren Sie folgenden Schaltplan: Welche bool'sche Gleichung steckt dahinter?



Hinweise:
-Die oberen Transistoren mit dem Kreis sind PMOS, die unteren ohne Kreis sind NMOS
-Betrachten Sie die NMOS Transistoren und beginnen Sie von unten (source) und arbeiten Sie sich hoch zum Ausgang