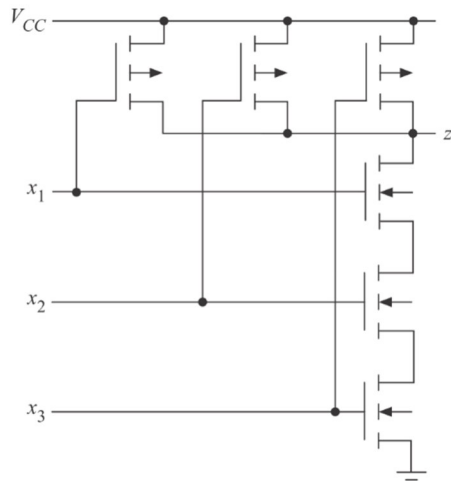


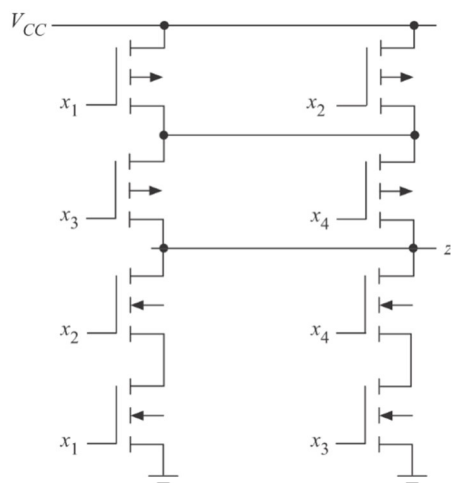
Es ist zu empfehlen dieses Übungsblatt nach Ihrem Durcharbeiten mit Kollegen auszutauschen, zu vergleichen und zu korrigieren.

1. CMOS -> FN

a) Welche Boolesche Gleichung realisiert folgender Schaltplan?

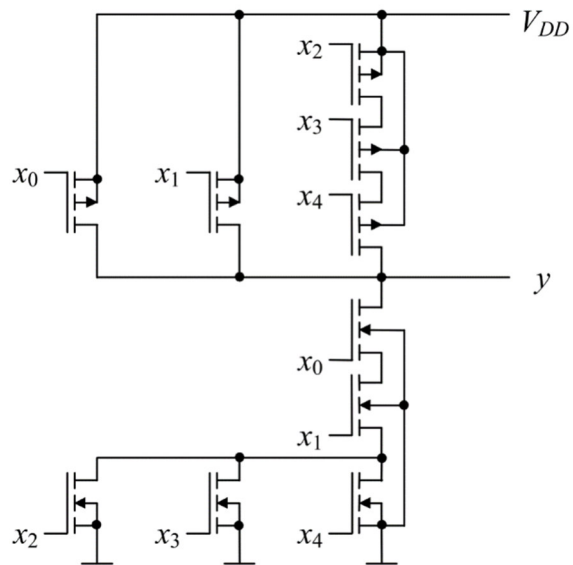


b) Welche Boolesche Gleichung realisiert folgender Schaltplan?



2. CMOS -> FN

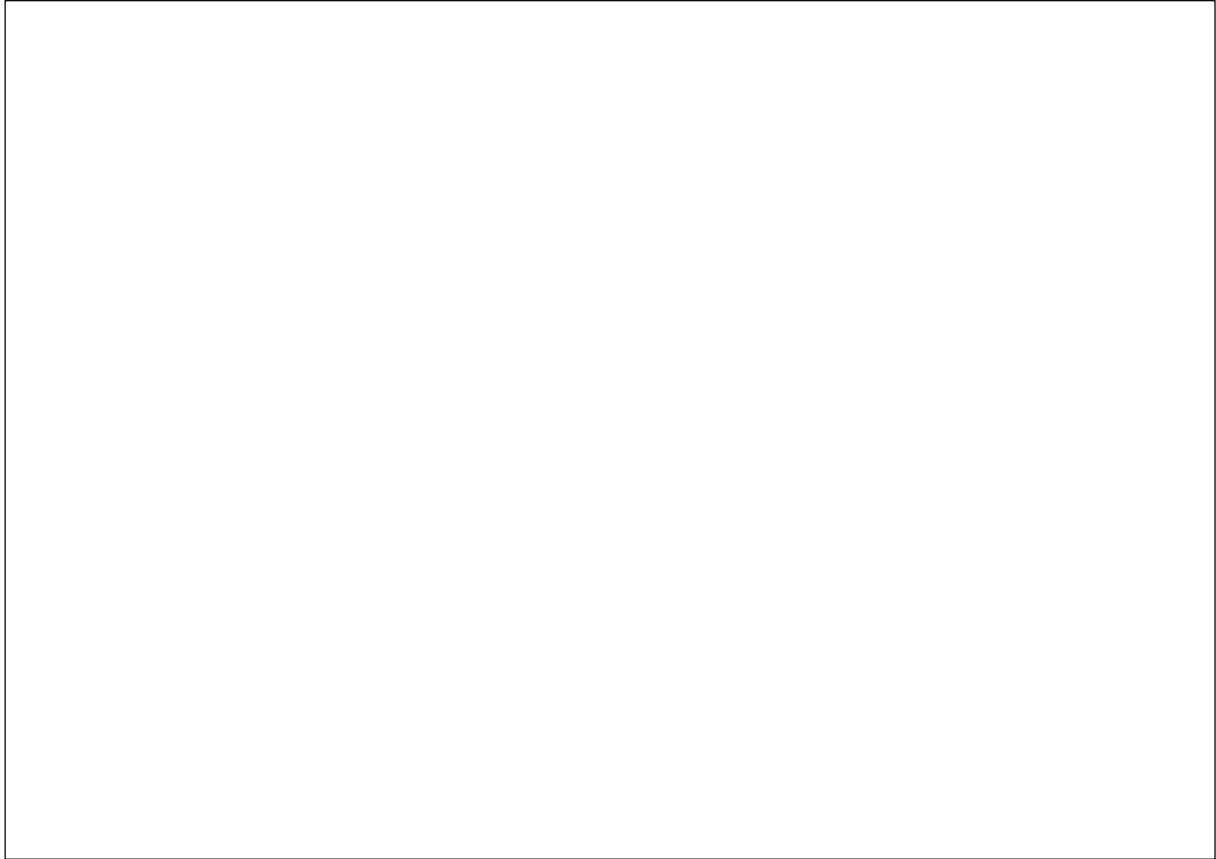
Welche Boolesche Gleichung realisiert folgender Schaltplan?



3. FN->CMOS

- a) Zeichnen Sie zu folgender Bool'schen Gleichung den CMOS-Schaltplan:
 $Y = \neg((AB) + C)$

- b) Zeichnen Sie zu folgender Bool'schen Gleichung den CMOS-Schaltplan:
 $Y = \neg(\neg A + (BC))$



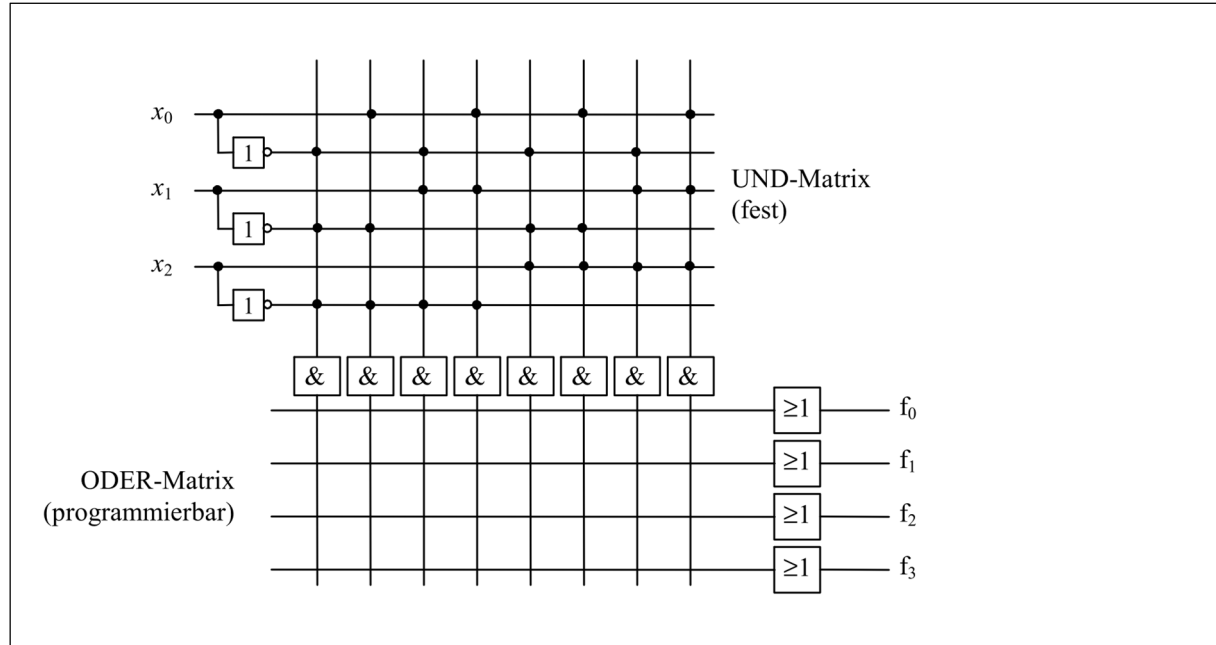
4. FN->Speicher

Konfigurieren/Beschalten Sie die folgenden Speicher damit er folgende Bool'sche Funktionen realisiert:

$$F_0 = x_2 + x_2!x_1x_0$$

$$F_1 = x_2 + x_2x_0$$

$$F_2 = x_2 + x_1 + x_0$$



5. Schematic -> propag delay

Bestimmen Sie Tpd der folgenden Schaltung

Benutzen Sie folgende Werte für die Gatterlaufzeiten:

Gate	t_{pd} (ps)
NOT	15
2-input NAND	20
3-input NAND	30
2-input NOR	30
3-input NOR	45
2-input AND	30
3-input AND	40
2-input OR	40
3-input OR	55
2-input XOR	60

