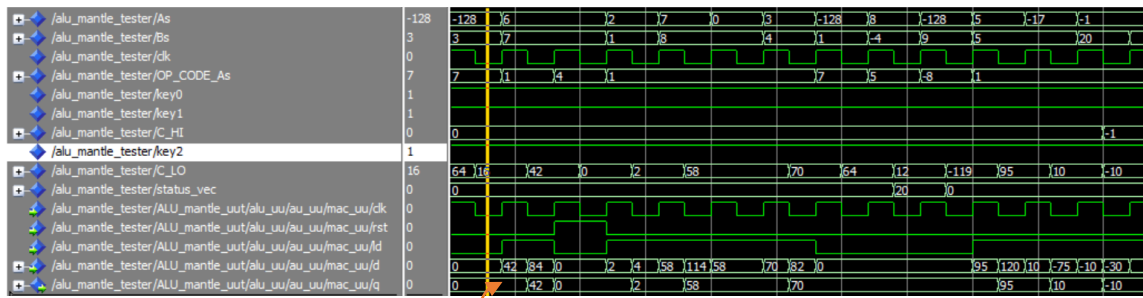
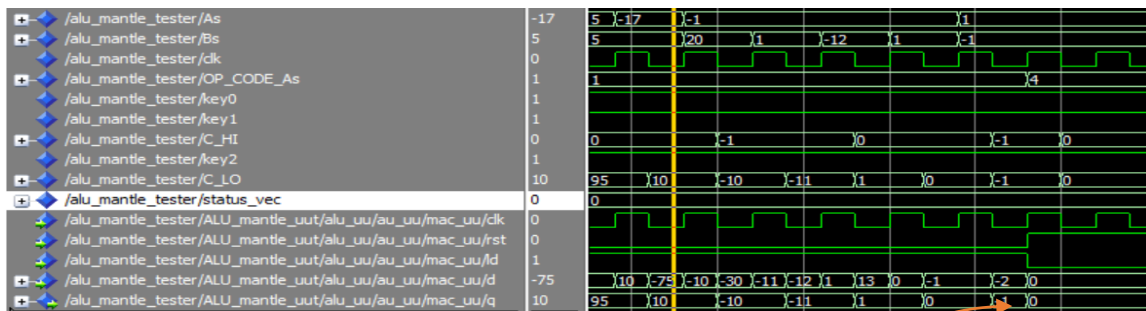


איור 3 – טסט ALU – חיסור, הזזה שמאלה, הזזה ימינה, פעולת MAC



0 משתנה רלו בפעולת MAC ובירידת שטון

איור 4 – טסט ALU – MAC, כפל, RST, MAC, הזזה ימינה, חיסור, חיבור, כפל



פעולת RST מאפס את ה - MAC

איור 5 – טסט ALU – MAC, RST

צריבת הקוד ל-FPGA:

לאחר צריבת הקוד, קיבלנו את המסך הבא:

Flow Summary	
Flow Status	Successful - Fri May 04 14:40:30 2018
Quartus II 64-Bit Version	12.1 Build 177 11/07/2012 SJ Web Edition
Revision Name	ass2
Top-level Entity Name	ALU_mantle
Family	Cyclone II
Device	EP2C20F484C6
Timing Models	Final
Total logic elements	230 / 18,752 (1 %)
Total combinational functions	226 / 18,752 (1 %)
Dedicated logic registers	58 / 18,752 (< 1 %)
Total registers	58
Total pins	46 / 315 (15 %)
Total virtual pins	0
Total memory bits	0 / 239,616 (0 %)
Embedded Multiplier 9-bit elements	1 / 52 (2 %)
Total PLLs	0 / 4 (0 %)

Entity	Logic Cells	Dedicated Logic Registers
ALU_mantle	320 (0)	90 (0)
ALU:alu_uu	300 (0)	48 (0)
arithmeticUnit:au_uu	194 (47)	48 (0)
outputSelector:os_uu	89 (89)	0 (0)
shift_right_or_left:srl_uu	17 (17)	0 (0)
DFF_Register:dffa_uu	8 (8)	8 (8)
DFF_Register:dffb_uu	8 (8)	8 (8)
DFF_Register:dffop_uu	4 (4)	4 (4)
DFF_falling:dmachigh_uu	Parameter Settings	8 (8)

איור 6 – סיכום צריבת הקוד ל - FGPA – כמות רכיבים לוגיים

כמו שניתן לראות, מספר יחידות הלוגיקה המנוצלות עבור היחידה שבנינו הינו נמוך, ועומד על מעט יותר מאחוז. רוב היחידות הלוגיות מנוצלות עבור המחבר ועבור הבורר ביציאת יחידת ה – ALU.

התדר המקסי' עבור היחידה שמימשנו הינו:

Show Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	43.24 MHz	43.24 MHz	clk	

איור 7 – תדר מקסי'

```
create_clock -name {clk} -period 25.000 [get_ports {clk}]
derive_pll_clocks
```

איור 8 – קביעת זמן מחזור למימוש תדר מקסי

על ידי קביעת זמן המחזור ל – 25,000 פיקו שניות, נקבל תדר שעון 40 מגה הרץ, העומד בתאני התדר המקסי' של המערכת.

המסלול הקריטי במערכת שבנינו, נמצא במעבר דרך כניסה A, רגיסטר A, המכפל, דרך ה – FA של המחבר N ביטים ולבסוף דרך הבורר ביציאת ה – ALU, דרך רגיסטר יצאה LOW והחוצה ליציאה LOW.

כמו שניתן להבין, הפעולה הגוררת את המסלול הקריטי הינה פעולת ה – MAC, 0001. פעולה זו גוררת את המסלול מאחר ומצריכה מעבר מידע דרך הכי הרבה רכיבים ב – ALU, (רגיסטר כניסה, מכפל, מחבר, בורר, רגיסטר יציאה). בנוסף, פעולה זו דורשת את המחבר, הרכיב הגדול ב – ALU.

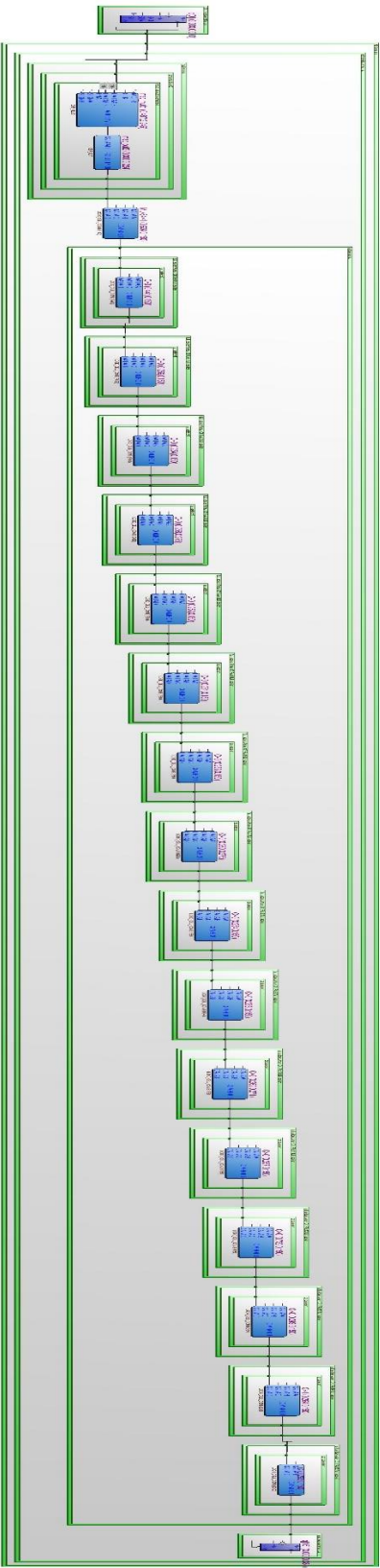
עבור יחידה המיועדת לבצע פעולת MAC מרובה, נקבע את השעון כמו שמתואר למעלה.

אם היחידה אינה מיועדת לבצע פעולת MAC למכביר, נייצר פעולות op לאחר קבלת האופרנד של פעולת MAC, על מנת לתת ליחידה את הזמן הנדרש לחישוב.

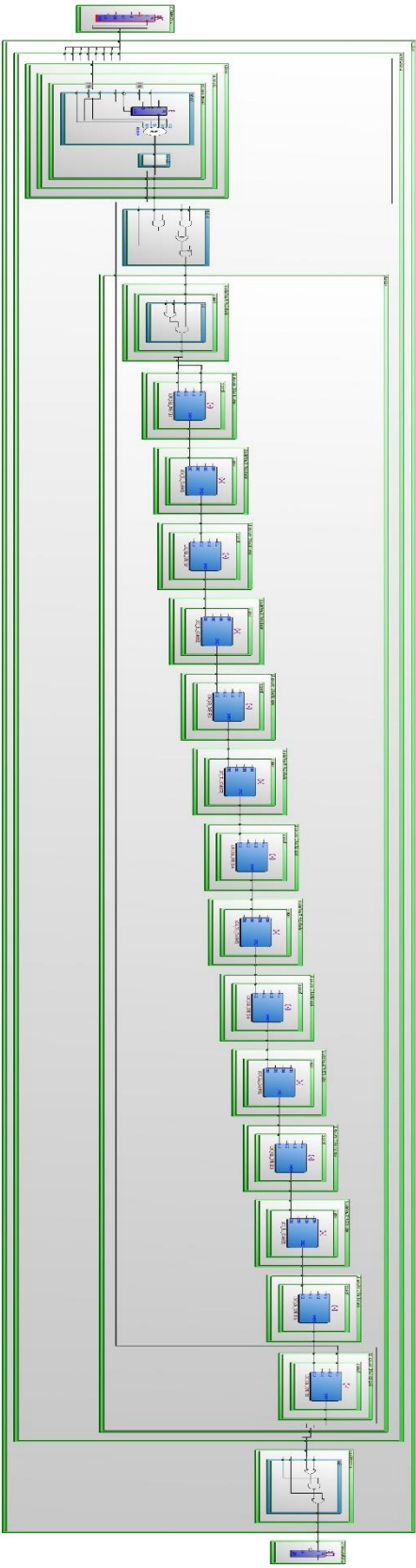
המסלול הקריטי מתואר באיורים 9,10.

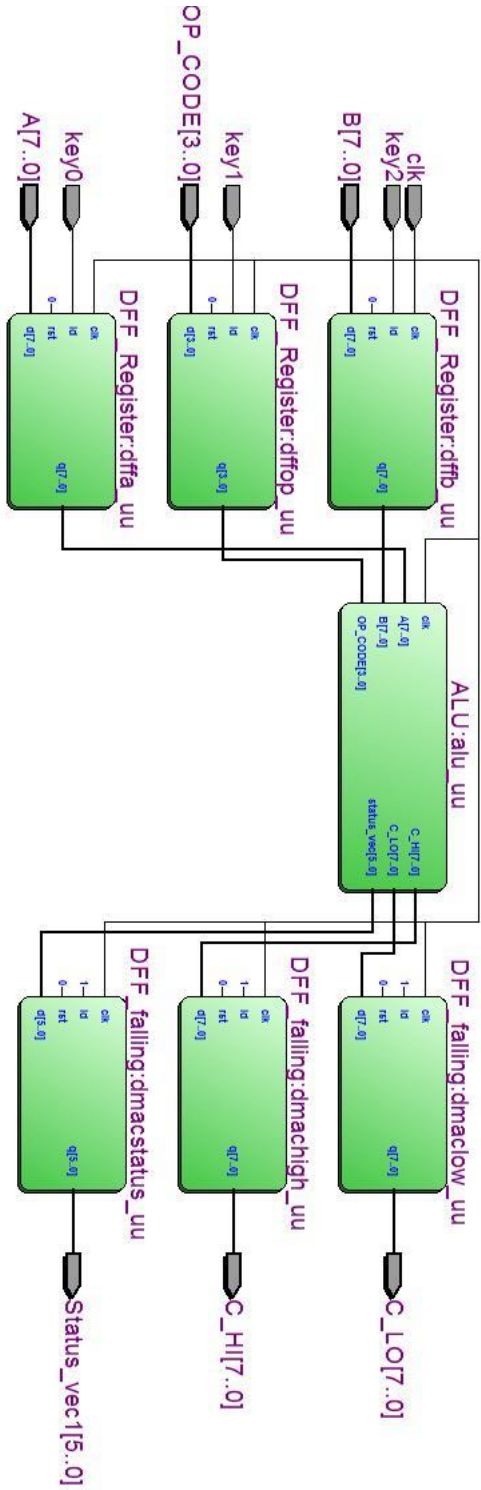
באיורים 11 – 16 ניתן לראות את תוצאות ה – RTL viewer, עבור רכיבי היחידה.

איור 9 – מסלול קריטי

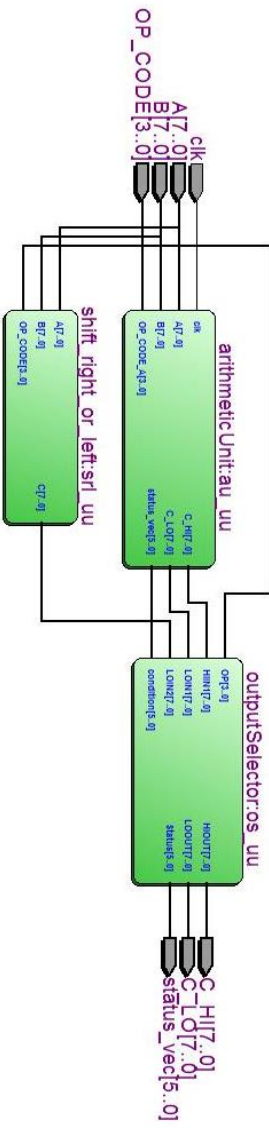


איור 10 – מסלול קריטי בכל רכיב

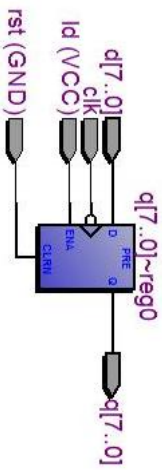




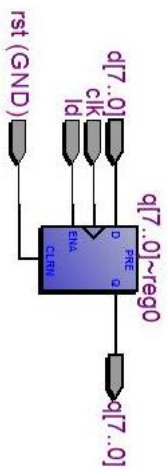
איור 12 – יחידה ה-ALU

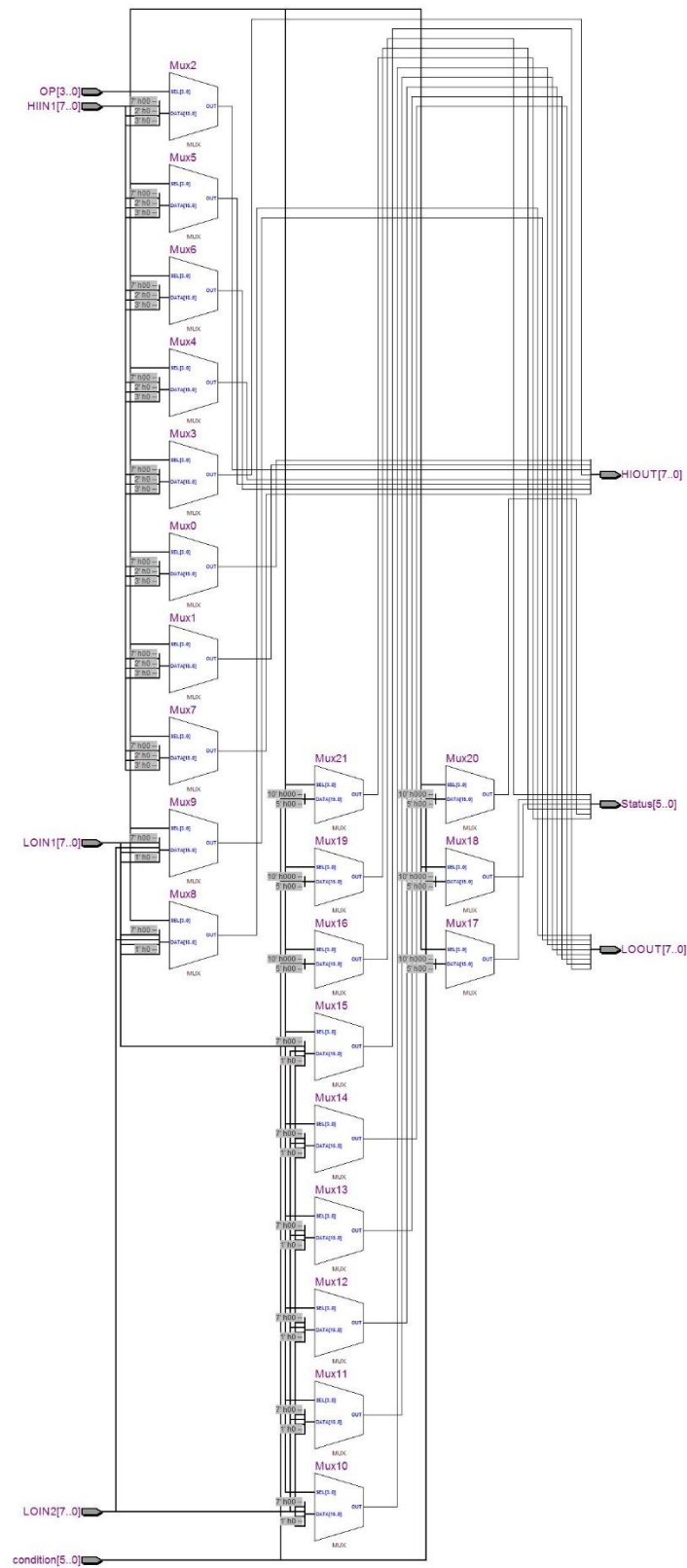


איור 13 – DFF ירידה, ליציאה

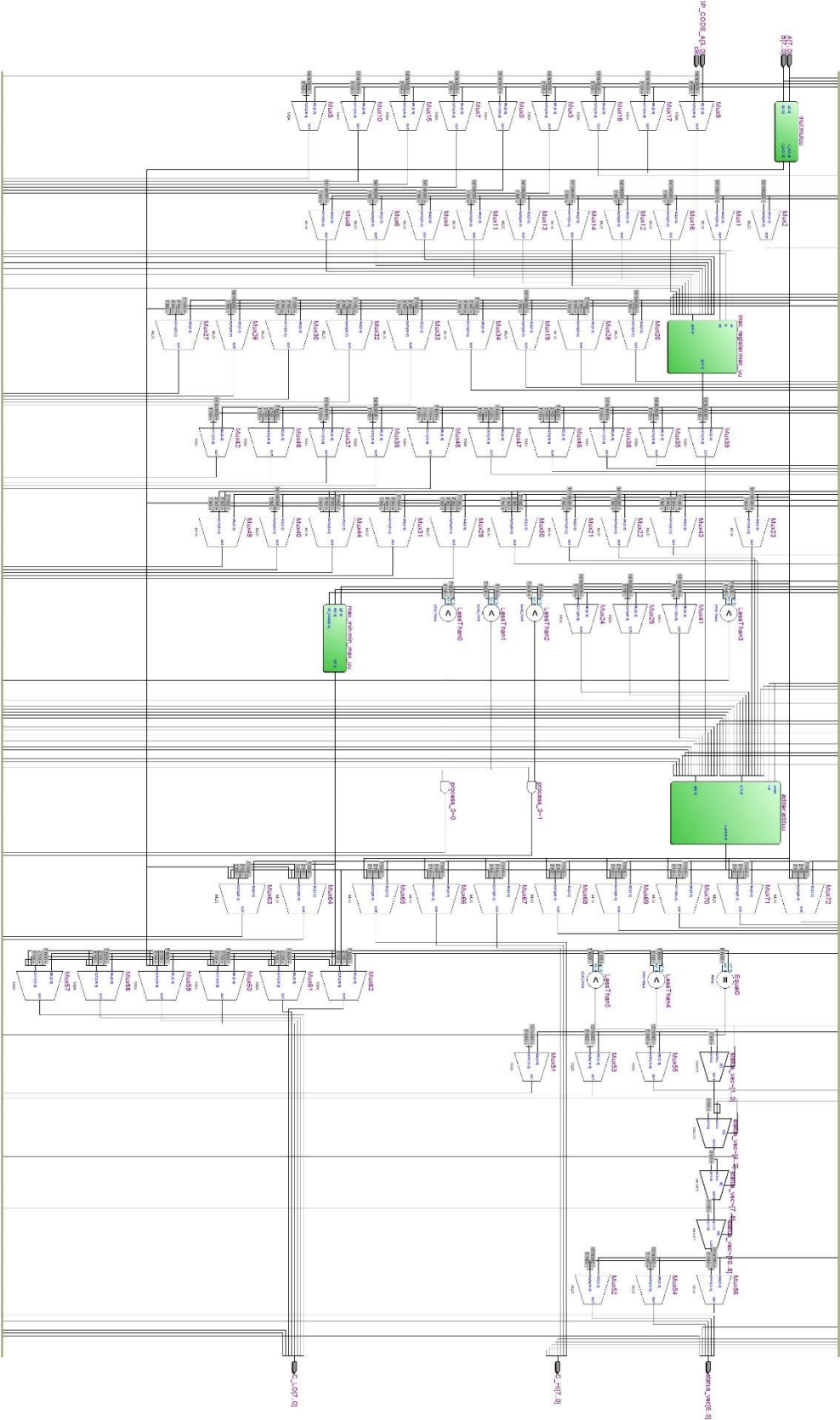


איור 14 – DFF עליה, לכניסה

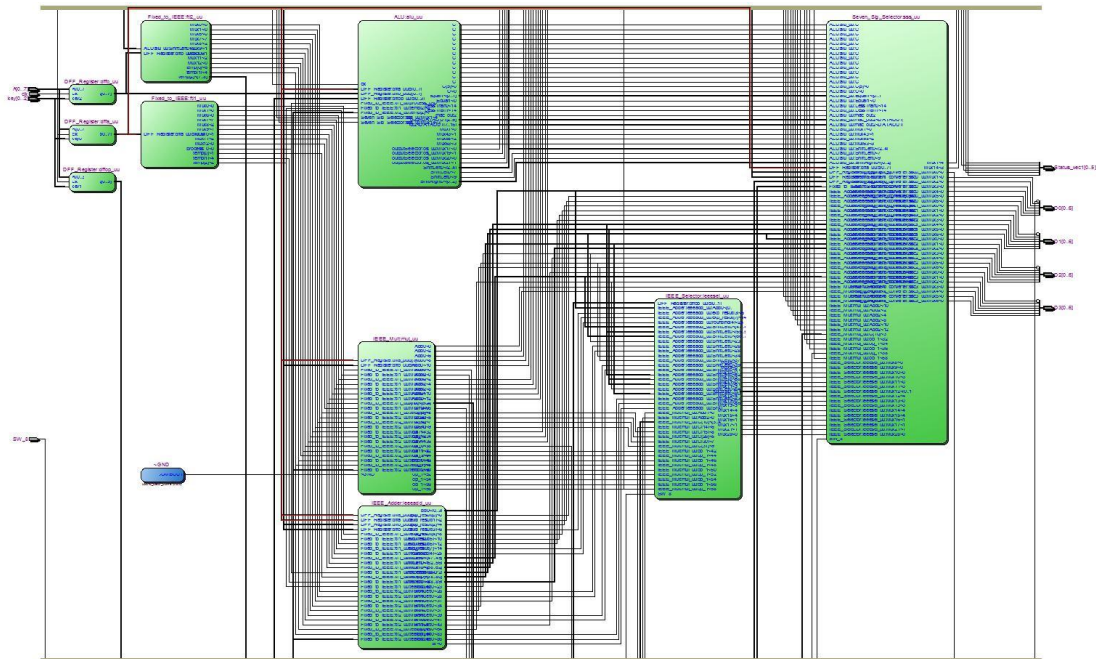




איור 16 – יחידה אריתמטית המכילה מחבר N ביטים, מכפל ורגיסטר MAC



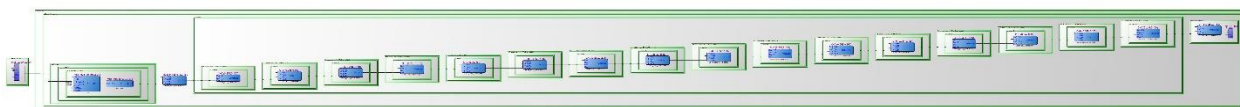
Hardware Test Case



איור 17 - Top-level של המערכת.

שם	כיוון	גודל	פונק'
A	כניסה	8 ב	הכנסת מספר דרך המתגים
Clk	כניסה	ביט	שעון
D0,D1,D2,D3	כניסה	7 ביט	יציאות הספרות ל - seven segment
Status_vec1	יציאה	6 ביט	וקטור מצב עבור חיסור
key0-3	יציאה	ביט	דגימת A עבור אופרנד A,B,OP
SW_8	כניסה	ביט	בחירת 16 הביט הגבוהים או הנמוכים

איור 18 – port table for TOP LRVL



איור 19 – critical path for TOP LRVL

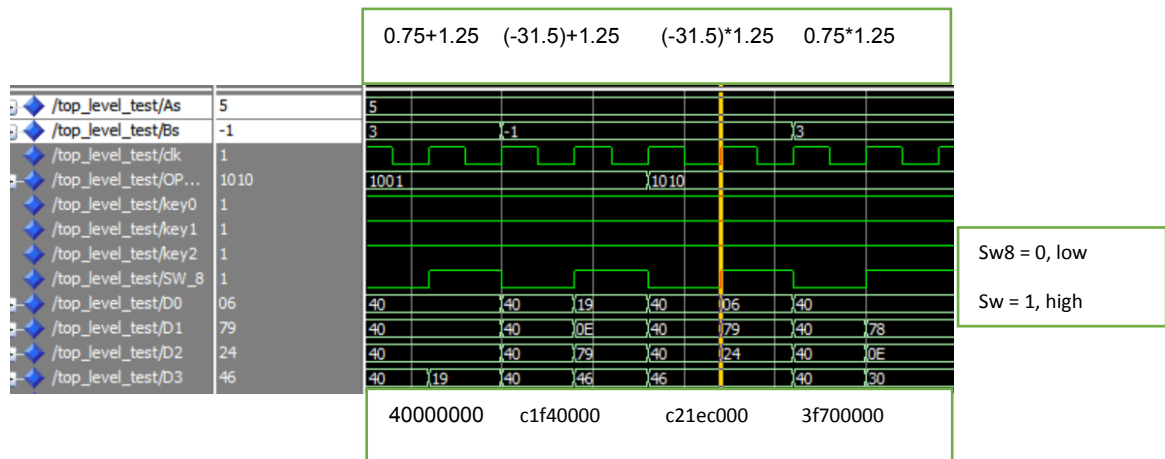
כמו שניתן לראות, גם עבור היחידה החדשה שיצרנו, גם כאן, המבולל הקריטי הינו עבור פקודת המאק. ולכן התדר המקס' עבור המערכת יהיה זהה למקרה הראשון.

Fmax	Restricted Fmax	Clock Name	Note
44.32 MHz	44.32 MHz	clk	

איור 20 – f-max for TOP LRVL

Flow Summary	
Flow Status	Successful - Wed May 09 00:55:04 2018
Quartus II 64-Bit Version	12.1 Build 177 11/07/2012 SJ Web Edition
Revision Name	TOP_LEVEL
Top-level Entity Name	TOP_LEVEL
Family	Cyclone II
Device	EP2C20F484C6
Timing Models	Final
Total logic elements	996 / 18,752 (5 %)
Total combinational functions	994 / 18,752 (5 %)
Dedicated logic registers	68 / 18,752 (< 1 %)
Total registers	68
Total pins	47 / 315 (15 %)
Total virtual pins	0
Total memory bits	0 / 239,616 (0 %)
Embedded Multiplier 9-bit elements	8 / 52 (15 %)
Total PLLs	0 / 4 (0 %)

איור 21 – TOP LRVL flow summary and logic usage from quartus



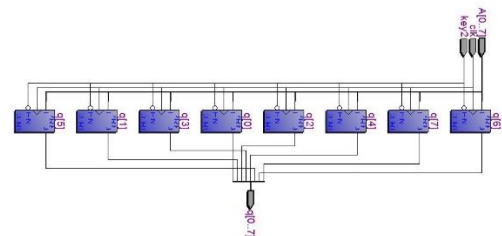
איור 22 – TOP LEVEL test for

- הטסט עבור ה- LEVEL-TOP זהה לשר הטסים המוצגים מטה, אלא בהצגה ל- seven segment, על כן אציג את פעולות החיבור והכפל של IEEE

למימוש המערכת, יצרתי רכיבים נוספים, ממיר נקודה קבועה לנקודה צפה, מכפל ומחבר נקודה צפה, ובורר אשר יברור את הכפל והחיבור, כמו גם בורר עבור המערכת כולה, אשר ממיר לתצוגת שבע סגמנטים.

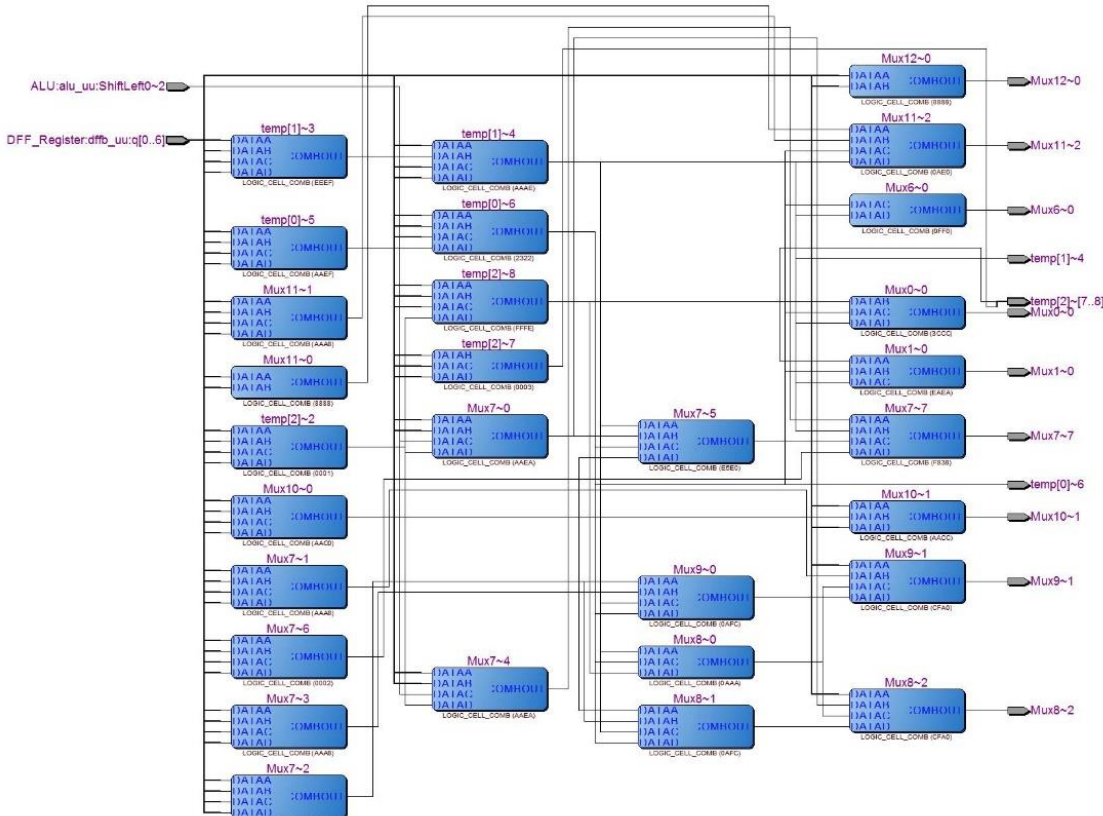
להלן פירוט הרכיבים:

רגיסטרי הכניסות: DFF, עבור שבע ביטים, המקבל תמיד Id ומופעל בעליית שעון. אנו משתמשים בו לשמירת ערכי A,B,OP יציבים.



איור 23 - DFF

ממיר נקודה קבועה לנקודה צפה



איור 24 – ממיר נקודה קבועה לנקודה צפה

שם	כיוון	גודל	פונק'
Fixed_Num	כניסה	8 ב'ט	הכנס'ט מספר דרך המתגים
IEEE_Num	יציאה	32 ב'ט	הוצאת מספר ב'ייצוג IEEE

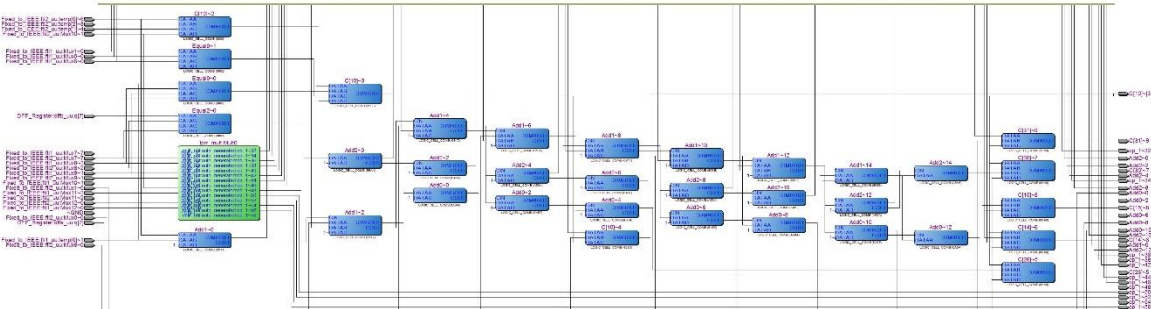
איור 25 – טבלת פורטים עבור ממיר נקודה קבועה לנקודה צפה

◆ /fixed_to_ieee_test...	00000011	00000000	10000000	11111111	11111110	01111001	10011011	10000001	00000011
◆ /fixed_to_ieee_test...	3F400000	00000000	80000000	C1FE0000	C1FC0000	41F20000	C0D80000	BE800000	3F400000

איור 26 – טסט עבור ממיר נקודה קבועה לנק' צפה: 0, 0, -31.75, -31.5, 30.25, -6.75, -0.25, 0.75

ההממיר מעתיק את ה- MSB מחפש את האחד המוביל עבור החלק השלם או השבר, מייצג את 23 LSB בלעדיו ומנרמל את האקספוננט בהתאם. לבסוף, מתקבל וקטור של 32 ביטים המייצג מספר בנקודה צפה.

מכפל נקודה צפה:



איור 27 – מכפל נק צפה

שם	כיוון	גודל	פונק'
A,B	כניסה	32 ביט	הכנסת מספר בייצוג IEEE
C	כניסה	32 ביטים	תוצאה בייצוג IEEE

איור 28 – טבלת פורטים עבור מכפל נק צפה

		-11.25 0.5	-5.625 -127.8	718.857 0.75	539.15625	0
/ieee_mult_test/A	80000000	C1340000	C0B40000	4433B800	4406CA00	80000000
/ieee_mult_test/B	80000000	3F000000	C2FF999A	3F400000	4406CA00	80000000
/ieee_mult_test/C	00000000	C0B40000	4433B800	4406CA00	488DF02E	00000000
		-5.625	718.875	539.15625	290689.47	0

איור 29 – טסט עבור מכפל נק צפה

כופל את המנטיסות, לאחר שרשור אחד מוביל ב-MSB, ולאחר מכן, מחפש את האחד המוביל. במקרה שלנו האחד יכול להתקבל בביט ה-MSB או אחד אחריו ולכן המכפל, בודק את שני המצבים, מעביר את המנטיסה הנכונה ומנרמל את האקספוננט בהתאם. ביט הסימן מתקבל על ידי קסור בים שני ביטי הסימן של המספרים הנכפלים. הדעת ניתנה לגבי כפל באפס, ונשמר מקרה קצה עבור מקרה זה.

מחבר נקודה צפה:



איור 30 – מחבר נק צפה

שם	כיוון	גודל	פונק'
A,B	כניסה	32 ביט	הכנסת מספר בייצוג IEEE
Sub	כניסה	ביט	חיבור/חיסור
res	יציאה	32 ביט	תוצאת הפעולה בייצוג IEEE

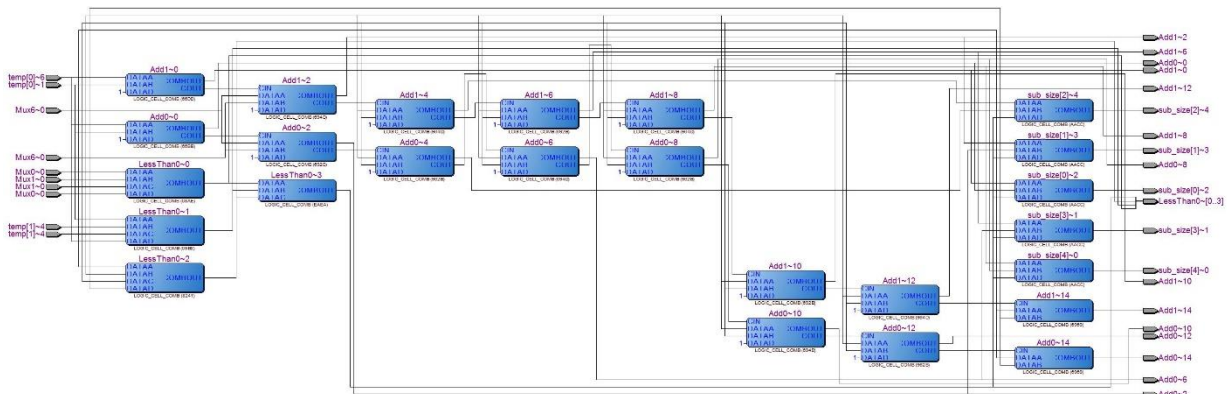
איור 31 – טבלת פורטים עבור מחבר נק צפה

		-11.25 0.5	-5.625 -127.8	718.857 0.75	539.15625	0	-50.1 3.7
/ieee_adder_test/a	C2486666	C1340000	C0B40000	4433B800	4406CA00	80000000	C2486666
/ieee_adder_test/b	406CCCCD	3F000000	C2FF999A	3F400000	4406CA00	80000000	406CCCCD
/ieee_adder_test/sub	0						
/ieee_adder_test/res	C239999A	C12C0000	C3056CCD	4433E800	4486CA00	80800000	C239999A
		-10.75	-133.425	719.625	1078.3125	0	-46.4

איור 32 – טסט עבור מחבר נק צפה

במודל זה, נעזרנו באיור התיאורטי ממבוא למחשבים. המודל מכיל:

-מחסר אקספוננטים למציאת בסיס גבוה ונרמול, ועבור חישוב הסימן:

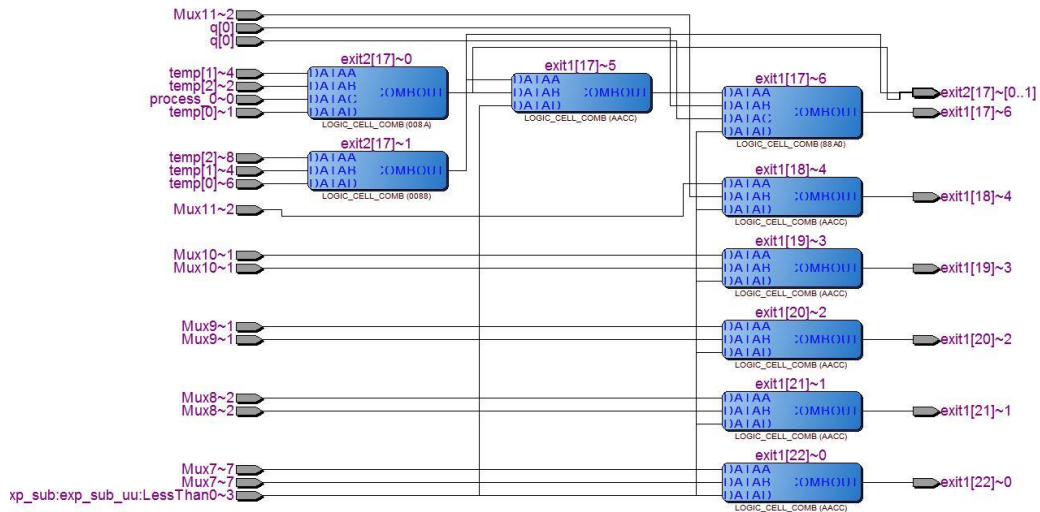


איור 33 – מחסר אקס'

שם	כיוון	גודל	פונק'
exponent_a, exponent_b	כניסה	8 בייט	הכנסת האקס'
sub_size	יציאה	8 בייט	הפרש בין האקס'
sign	יציאה	ביט	מוציא אחד עבור חישוב מחשב הסימן ומחליף המנטיסות

איור 34 – טבלת פורטים עבור מחסר אקס'

-מחליף מיקום ראשון, עבור קביעת המנטיסה שתעבור יישור:

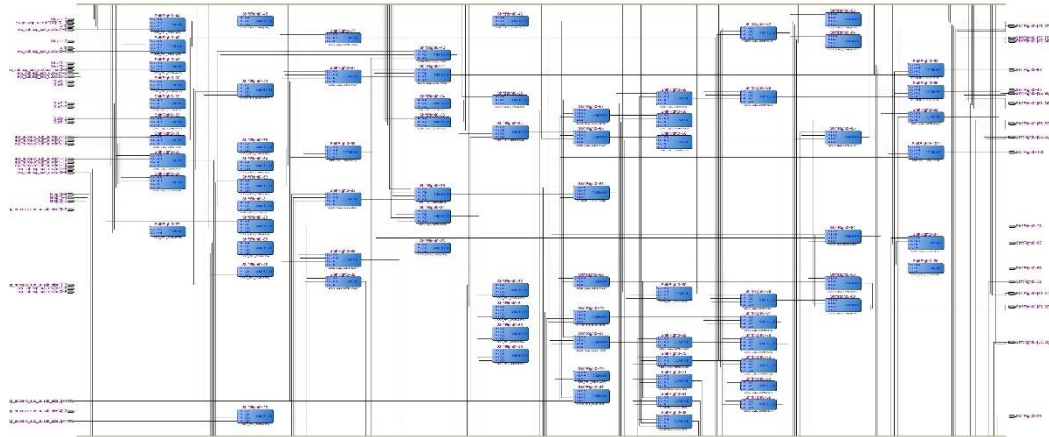


איור 35 – מחליף מיקום

שם	כיוון	גודל	פונק'
f1,f2	כניסה	23 בייט	הכנסת המנט'
swaper	כניסה	ביט	קביעת ההחלפה לי מחסר האקס'
Exit1	יציאה	26 בייט	מוציא מנט'1 עם שרשרת 001
Exit2	יציאה	24 בייט	מוציא מנט'2 למיישר המנט' עם שרשרת 1

איור 36 – טבלת פורטים עבור מחליף מיקום

-יחידת יישור מנטיסה, המקבלת את ההפרש בין האקספוננטים ומיישרת את המנטיסה הנחוצה בהתאם, על ידי הזזה ימינה:

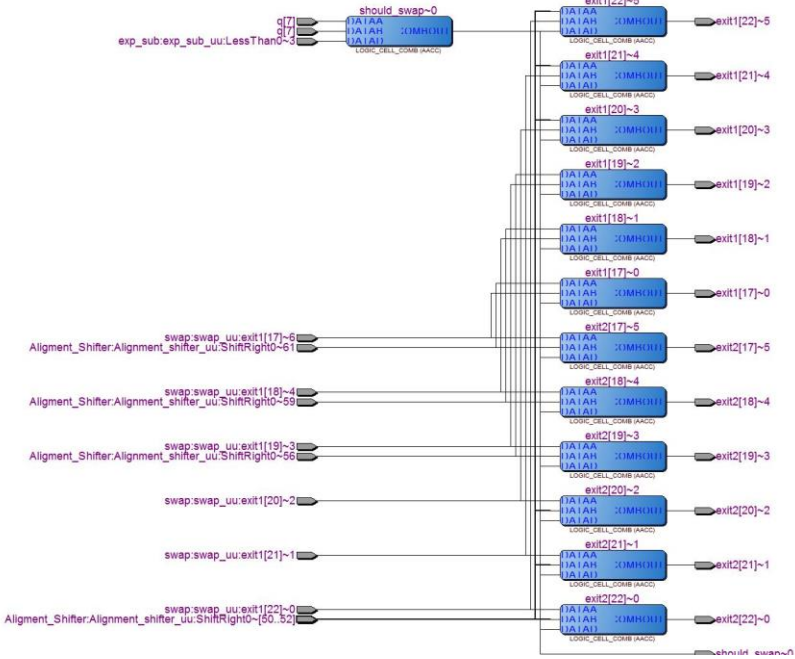


איור 37 – יחידת יישור מנטיסות

שם	כיוון	גודל	פונק'
f1	כניסה	24 ביט	הכנסת המנט'
Anum	כניסה	8 ביט	קביעת מספר הביטים ליישור על ידי מחסר האקס'
fnew	יציאה	26 ביט	מוציא מנט' עם שרשור 00

איור 38 – טבלת פורטים עבור יחידת יישור מנטיסות

-מחליף מיקום שני לווידוא סדר החיסור הנכון, למשל בחיסור מספר שלילי וחיובי:

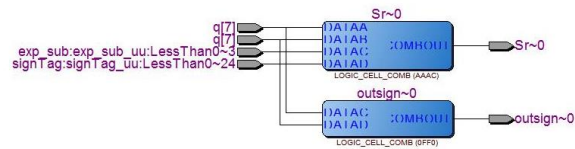


איור 39 –מחליף מיקום

שם	כיוון	גודל	פונק'
f1,f2	כניסה	23 ביט	הכנסת המנט'
swaper	כניסה	ביט	קביעת ההחלפה לי מחסר האקס'
Exit1	יציאה	26 ביט	מוציא מנט'1 עם שרשור 2 אפסים
Exit2	יציאה	23 ביט	מוציא מנט'2 למיישר המנט'

איור 40 – טבלת פורטים עבור מחליף מיקום

-מחבר ראשון, לחיבור או חיסור המנטיסה ומחבר שני לביצוע ערך מוחלט למנטיסה בשעת הצורך.
 -יחידת sign computation, אשר מחשבת האם יש צורך בחיסור או חיבור, עבור המחבר הראשון ,
 ועוזרת בחישוב סימן התוצאה. היחידה מממשת את הפונקציה הלוגית $\gamma = B'CE + B'CD + BC'E + BC'D + AD'E$:

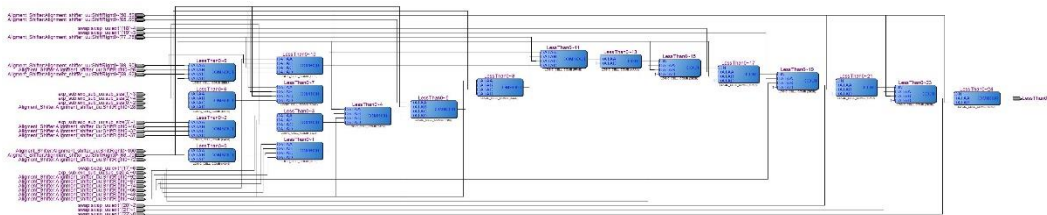


איור 41 – יחידת sign computation

שם	כיוון	גודל	פונק'
Sign, sign_significand,s1,s2,fanot, sign_substract,Sr	כניסה	ביט	לוגיקה למוצא
	יציאה	ביט	מוציא קו לחישוב הסימן בתוצאה ולמחבר לביצוע חיסור או חיבור

איור 42 – טבלת פורטים עבור יחידת sign computation

- יחידה לחישוב המנטיסה הגבוהה יותר, עבור חישוב יחידת ה – sign comp:

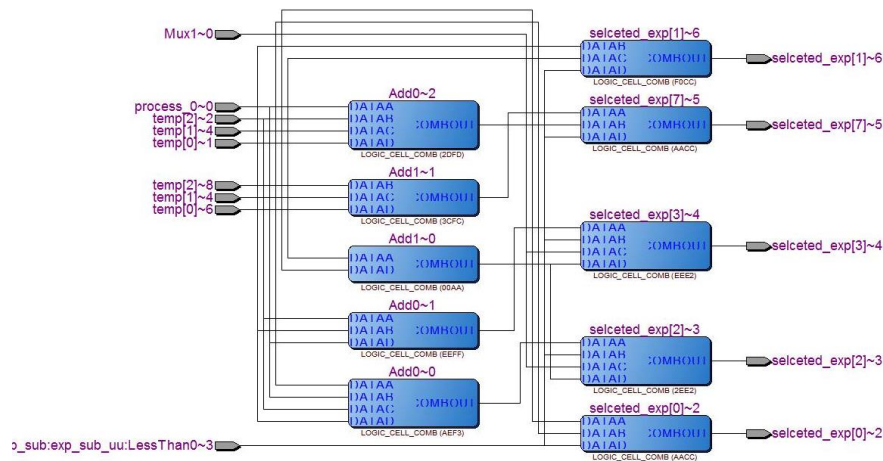


איור 43 – יחידה לחישוב מנט' גבוהה

שם	כיוון	גודל	פונק'
A,B	כניסה	23 ביט	הכנסת המנט'
C	יציאה	ביט	1 או אפס לפי המנט' הגבוהה

איור 44 – טבלת פורטים עבור יחידה לחישוב מנט' גבוהה

- יחידה לבחירת האקספוננט להצגה בתוצאה, כלומר האקס' אליו ביצענו יישור:

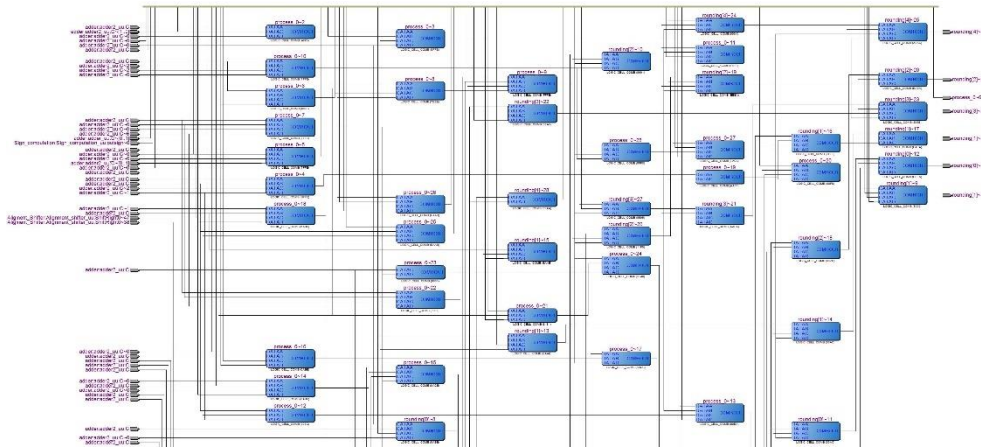


איור 45 – יחידה בחירת אקס' בתוצאה

שם	כיוון	גודל	פונק'
f1,f2	כניסה	26 ביט	הכנסת המנט'
sign,sign_a,sign_b	כניסה	ביט	לוגיקה לקביעת ההחלפה
exit1, exit2	יציאה	26 ביט	מוציא מנט' למחבר הראשון

איור 46 – טבלת פורטים עבור 'יחידה בחירת אקס' בתוצאה

- יחידה לספירת אפסים, עבור יישור המנטיסה ונרמול בהתאם לאקס':

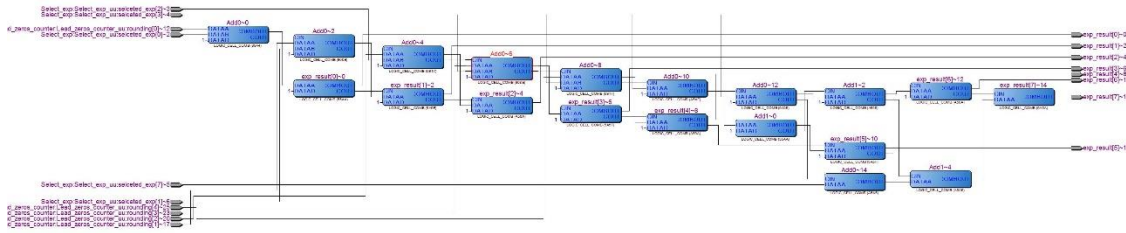


איור 47 – יחידה לספירת אפסים מובילים

שם	כיוון	גודל	פונק'
fraction	כניסה	25 ביט	הכנסת המנט'
rounding	יציאה	5 ביט	הוצאת כמות האפסים המובילים

איור 48 – טבלת פורטים עבור 'יחידה לספירת אפסים מובילים

- יחידה המבצעת נרמול לפי הנדרש לאקס'

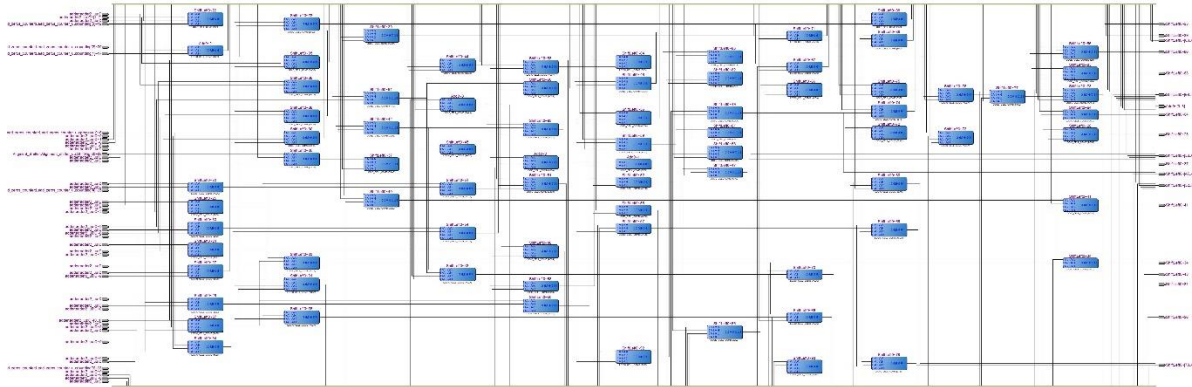


איור 49 – יחידת נרמול אקס'

שם	כיוון	גודל	פונק'
exponent_a, exponent_b	כניסה	8 ביט	הכנסת האקס'
selected_exp	יציאה	8 ביט	מוציא אקס' מתאים

איור 50 – טבלת פורטים יחידת נרמול אקס'

- יחידה לנרמול ועיגול עבור המנטיסה:

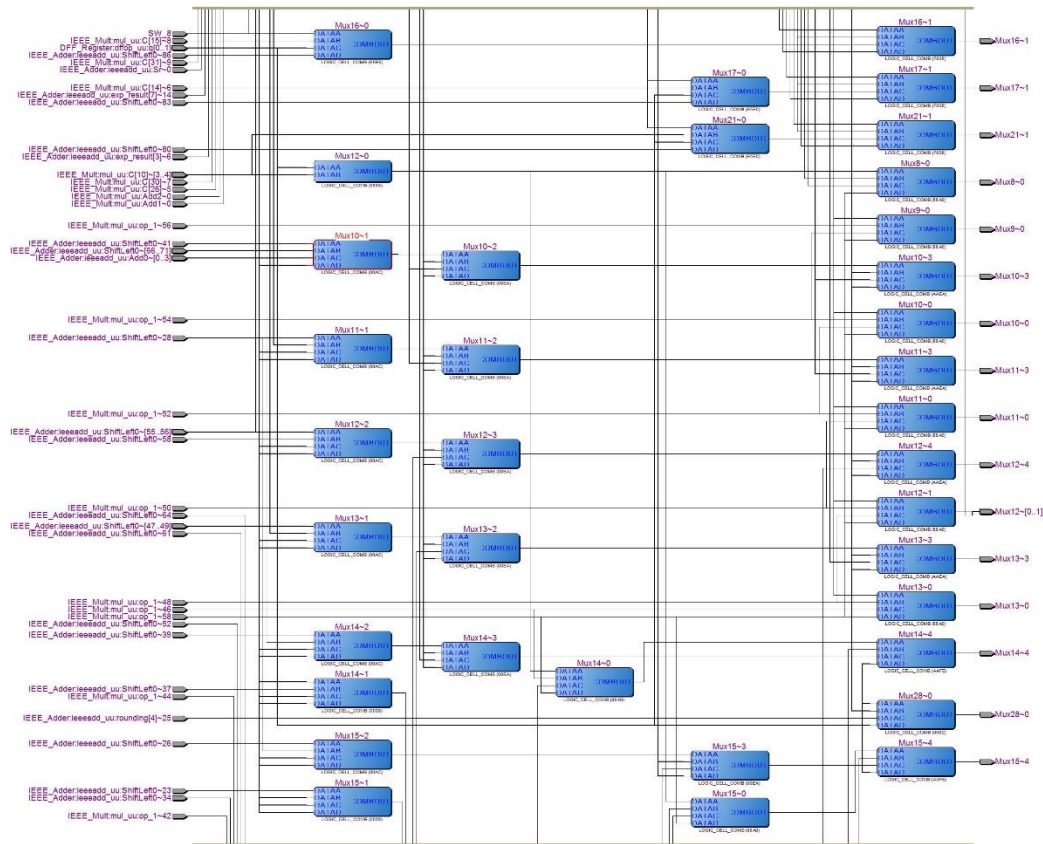


איור 51 – יחידה לנרמול ועיגול מנט'

שם	כיוון	גודל	פונק'
fin	כניסה	25 ביט	הכנסת המנט'
Anum	כניסה	ביט	מספר האפסים המובילים
fout	יציאה	25 ביט	מוציא מנט' מנומלת

איור 52 – טבלת פורטים עבור יחידה לנרמול ועיגול מנט'

- בורר עבור הנקודה הצפה:
בורר לפי ה OP האם להוציא את מוצא המחבר או המכפל:



איור 53 – בורר תוצאות הנק' הצפה

שם	כיוון	גודל	פונק'
OP	כניסה	4 ביט	הכנסת OP
A,B	כניסה	32 ביט	מוצא המכפל והמחבר
C	יציאה	32 ביט	מוציא את תוצאת המחבר או המכפל בהתאם ל-OP

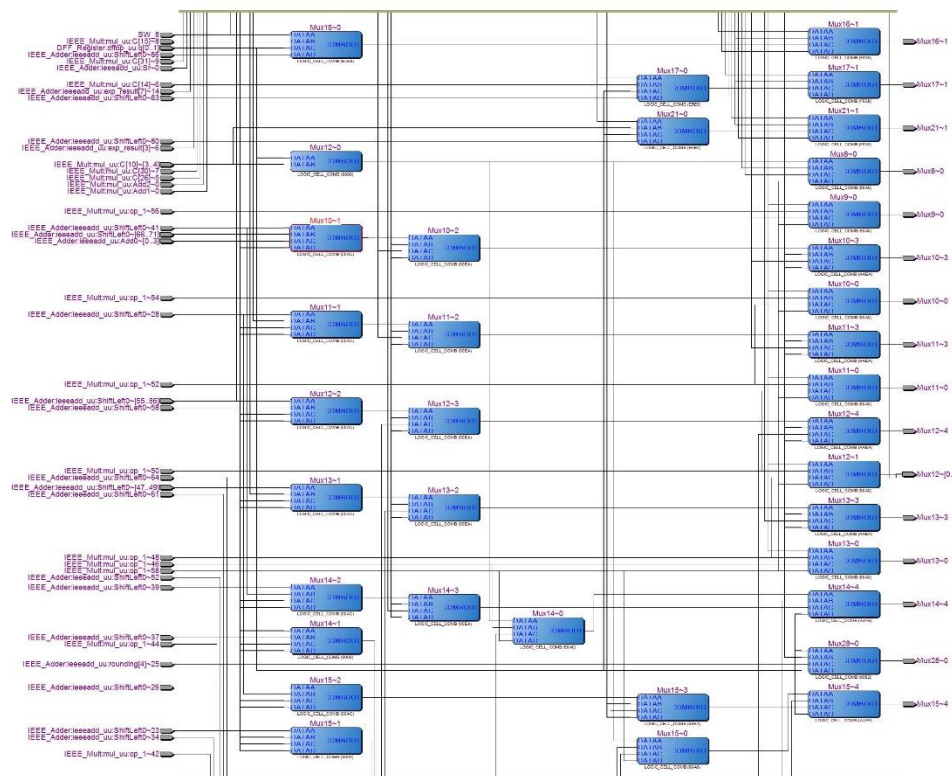
איור 54 – טבלת פורטים עבור בורר הנק' הצפה

- בורר הממיר לשבע ספרות:

בורר את מוצא ה-ALU ויחידות ה-IEEE, בנוסף מבצע המרה לתצוגה ב- seven segment

מספר דצימאלי	מספר ב- seven segment ייצוג ב- hex
0	40
1	79
2	24
3	30
4	19
5	12
6	02
7	78
8	00
9	18
10	08
11	03
12	46
13	21
14	06
15	0E

איור 55 – טבלת ייצוג seven segment



איור 56 – בורר הממיר לשבע ספרות

שם	כיוון	גודל	פונק'
HIGH_alu, LOW_alu	כניסה	8 ביט	כניסות עבור מוצע ה- ALU
HI_LO_fp	כניסה	32 ביט	כניסה עבור מוצא בורר ה- IEEE
OP	כניסה	4 ביט	כניסה עבור ה- OP
8_SW	כניסה	ביט	לברירה בין הצגת 16 הביט העליונים או הנמוכים
Digit0, Digit1, Digit2, Digit3	יציאה	7 ביט	מוצא בתצוגת seven segment

איור 57 – טבלת פורטים עבור בורר הממיר לשבע ספרות

דוגאות לשימוש בסיגנל טאפ:

חיסור:

Type	Alias	Name	64	96	128	160	192	224	256	288	320
in		A[0]									
in		A[1]									
in		A[2]									
in		A[3]									
in		A[4]									
in		A[5]									
in		A[6]									
in		A[7]									
out		D0[0]									
out		D0[1]									
out		D0[2]									
out		D0[3]									
out		D0[4]									
out		D0[5]									
out		D0[6]									
out		D1[0]									
out		D1[1]									
out		D1[2]									
out		D1[3]									
out		D1[4]									

הכנסת 1 ב - A ו B

Name	64	96	128	160	192	224	256	288	320
A[0]									
A[1]									
A[2]									
A[3]									
A[4]									
A[5]									
A[6]									
A[7]									
D0[0]									
D0[1]									
D0[2]									
D0[3]									
D0[4]									
D0[5]									
D0[6]									
D1[0]									
D1[1]									
D1[2]									
D1[3]									
D1[4]									

הכנסת 5 ב - OP

Name	64	96	128	160	192	224	256	288	320
D3[3]									
D3[4]									
D3[5]									
D3[6]									
# DFF_A								00h	
# DFF_B								00h	
# DFF_OP								0h	
key0									
key1									
key2									
Status_vec1								2Ah	
...tus_vec1[5]									
...tus_vec1[4]									
...tus_vec1[3]									
...tus_vec1[2]									
...tus_vec1[1]									
...tus_vec1[0]									

שינוי וקטור הסטאטוס בהתאם

כפל נקודה צפה

Name	64	96	128	160	192	224	256
A[0]							
A[1]							
A[2]							
A[3]							
A[4]							
A[5]							
A[6]							
A[7]							
D0[0]							
D0[1]							
D0[2]							
D0[3]							
D0[4]							
D0[5]							
D0[6]							
D1[0]							
D1[1]							
D1[2]							
D1[3]							
D1[4]							

הכנסת 0.75 ב-A

0

Name	64	96	128	160	192	224	256	288	32
A[0]									
A[1]									
A[2]									
A[3]									
A[4]									
A[5]									
A[6]									
A[7]									
D0[0]									
D0[1]									
D0[2]									
D0[3]									
D0[4]									
D0[5]									
D0[6]									
D1[0]									
D1[1]									
D1[2]									
D1[3]									
D1[4]									

הכנסת 1.5 ב-B

0

Name	64	96	128	160	192	224	256	288
A[0]								
A[1]								
A[2]								
A[3]								
A[4]								
A[5]								
A[6]								
A[7]								
D0[0]								
D0[1]								
D0[2]								
D0[3]								
D0[4]								
D0[5]								
D0[6]								
D1[0]								
D1[1]								
D1[2]								
D1[3]								
D1[4]								

הכנסת 10 ב-OP

Name	64	96	128	160	192	224	256	288
D2[4]								
D2[5]								
D2[6]								
D3[0]								
D3[1]								
D3[2]								
D3[3]								
D3[4]								
D3[5]								
D3[6]								
DFF_A								
DFF_B								
DFF_OP								
key0								
key1								
key2								
Status_vec1								
SW_0								

שינוי יציאות ה-segment seven בהתאם

פעולת מאק:

Name	64	96	128	160	192	224	256	288	320
A[0]									
A[1]									
A[2]									
A[3]									
A[4]									
A[5]									
A[6]									
A[7]									
D0[0]									
D0[1]									
D0[2]									
D0[3]									
D0[4]									
D0[5]									
D0[6]									
D1[0]									
D1[1]									
D1[2]									
D1[3]									

הכנסת 1 ב – OP,A,B

Name	64	96	128	160	192	224	256	288	320
A[6]									
A[7]									
D0[0]									
D0[1]									
D0[2]									
D0[3]									
D0[4]									
D0[5]									
D0[6]									
D1[0]									
D1[1]									
D1[2]									
D1[3]									
D1[4]									
D1[5]									
D1[6]									
D2[0]									
D2[1]									
D2[2]									
D2[3]									

שינוי יציאות ה – seven segment בהתאם

Name	64	96	128	160	192	224	256	288	320
A[5]									
A[6]									
A[7]									
D0[0]									
D0[1]									
D0[2]									
D0[3]									
D0[4]									
D0[5]									
D0[6]									
D1[0]									
D1[1]									
D1[2]									
D1[3]									
D1[4]									
D1[5]									
D1[6]									

שינוי יציאות ה – seven segment בהתאם עקב אי שינוי ה-OP לאחר שנייה

0