



Проектирование СБИС

11.04.04 Электроника и наноэлектроника
Твердотельная микро- и наноэлектроника

Содержание курса

3.2 Краткое содержание разделов

1. Проектирование СБИС

1.1. Проектирование СБИС

Классификация интегральных схем. Основные типы СБИС. Заказные и полужаказные СБИС: сходства и различия. Маршрут проектирования СБИС. Этапы front-end и back-end. Вопросы и проблемы проектирования СБИС. Корнерсы..

2. Последовательные и параллельные интерфейсы

2.1. Внешние интерфейсы

SPI-интерфейс. Виды подключений. Режимы работы. Преимущества и недостатки интерфейса.. I2C-интерфейс. Схемотехника, прием и передача данных. Преимущества и недостатки интерфейса.. U(5)ART-интерфейс. Передача данных. Асинхронное и синхронное подключение. Преимущества и недостатки интерфейса.. Сериализер / десериализер.

2.2. Внутрикристалльные интерфейсы стандарта AMBA

Высокоскоростная шина AMBA AHB, Периферийная шина AMBA APB. Усовершенствованная шина AMBA AXI, AXI Lite, AXI Stream.

3. Кодирование информации при передаче данных

3.1. Кодирование информации при передаче данных

Физическое кодирование. Потенциальный код без возврата к нулю NRZ. Потенциальный код с инверсией при единице NRZI. Метод bipolarного кодирования с альтернативной инверсией AMI. Код Manchester II. Бифазное кодирование.. Логическое кодирование. Скремблирование. Избыточные коды. Избыточность кода. Коды 4B/5B, 8B/10B, 8B/6T. Сеть Ethernet.

3.2. Коды с обнаружением и исправлением ошибок

Коды с обнаружением и исправлением ошибок. Виды. Расстояние Хэмминга.. Бит четности / нечетности. Избыточные коды. Коды Хэмминга. Особенности.. Пакетные ошибки. Коды Боуза — Чоудхури — Хоквингема, Рида-Соломона. Циклический избыточный код (CRC). Особенности..

4. Верификация RTL-описания

4.1. Верификация с использованием SystemVerilog

Сравнением VerilogHDL и SystemVerilog. Объектно-ориентированное программирование (ООП). Парадигмы ООП. Классы. Интерфейсы в SystemVerilog.

4.2. Верификация с применением UVM методологии

Особенности UVM методологии. Фазы UVM.

5. Статическая память

5.1. Виды памяти

ОЗУ и ПЗУ. Однопортовая и двухпортовая статическая память. FIFO-буфер. Синхронный и асинхронный буфер. Пересечение тактовых доменов. Проблематика метастабильности. Решение проблемы. Стековая память. LIFO-буфер.

6. Проектирование комбинационной логики

6.1. Проектирование комбинационной логики

Дизъюнктивная нормальная форма. Совершенная дизъюнктивная нормальная форма. Конъюнктивная нормальная форма. Совершенная конъюнктивная нормальная форма. Базис Жигалкина. Методы проектирования логики: карты Карно, метод Квайна. Сложность схем по Квайну.

6.2. Быстродействие комбинационной логики

Время задержки начала формирования сигнала (time contamination) и время задержки распространения сигнала (time propagation). Синхронизация. Расфазировка тактового сигнала (clock skew). Запас по времени (slack). Джиттер - фазовое дрожание цифрового сигнала (jitter). Борьба с джиттером.

7. Алгоритмы выполнения арифметических операций

7.1. Алгоритмы сложения

Сумматоры с последовательным переносом. Сумматоры с ускоренным переносом. Сумматоры с групповым переносом. Вычитание.

7.2. Алгоритмы умножения

Простое умножение. Частичные произведения. Алгоритм Карацубы. Алгоритм Бута. Алгоритм Шенхаге-Штрассена.

7.3. Умножение матриц

Умножение квадратных матриц. Последовательный алгоритм Штрассена. Параллельные алгоритмы умножения.

7.4. Алгоритмы деления

Методы медленного деления: восстанавливающее деление, невосстанавливающее деление, деление SRT. Методы быстрого деления: деление Ньютона-Рафсона, деление Гольдшмидта.

7.5. Операции над числами с плавающей точкой

Числа с фиксированной и плавающей точками. Нормализация чисел с плавающей точкой. Сложение, вычитание, умножение и деление чисел с плавающей точкой.

8. Физическое проектирование СБИС

8.1. Топология СБИС

Использование библиотек. Планирование кристалла. Построение общей топологии кристалла. Верификация проекта: проверка на соблюдение норм КТО, восстановление исходной схемы по ее топологическому рисунку..

8.2. Особенности топологии СБИС

Клюковое дерево. Ресетовое дерево. Эффект антенны.

Введение



Классификация интегральных схем

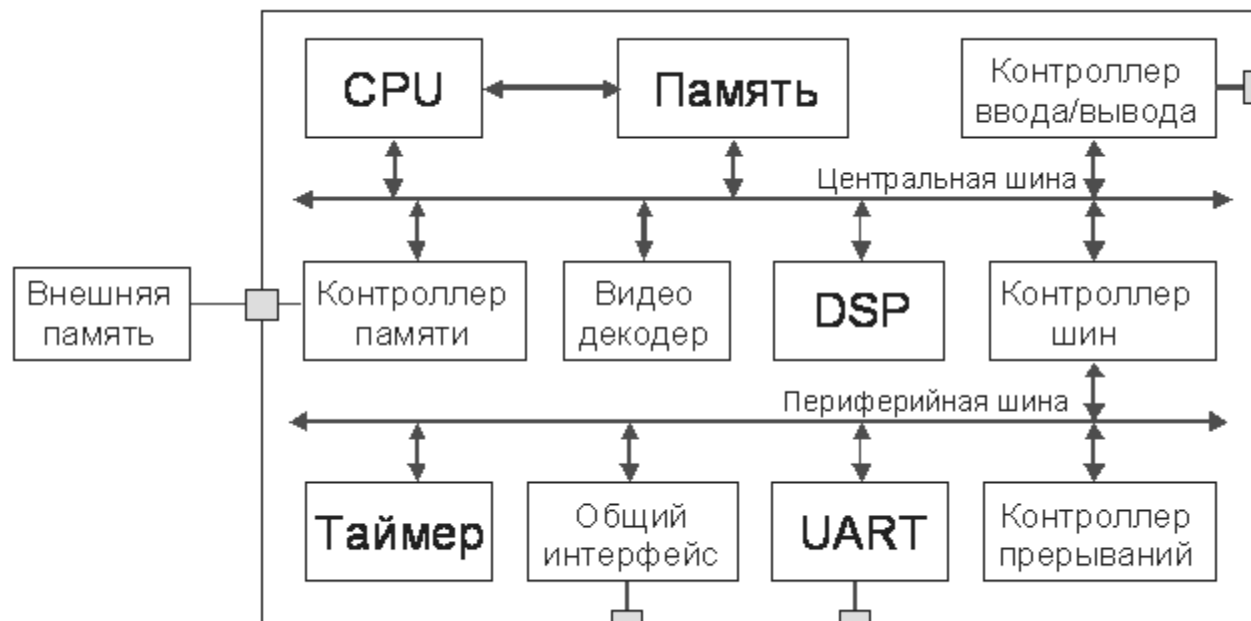
- Аналоговые
- Цифровые
- Смешанные (цифро-аналоговые)



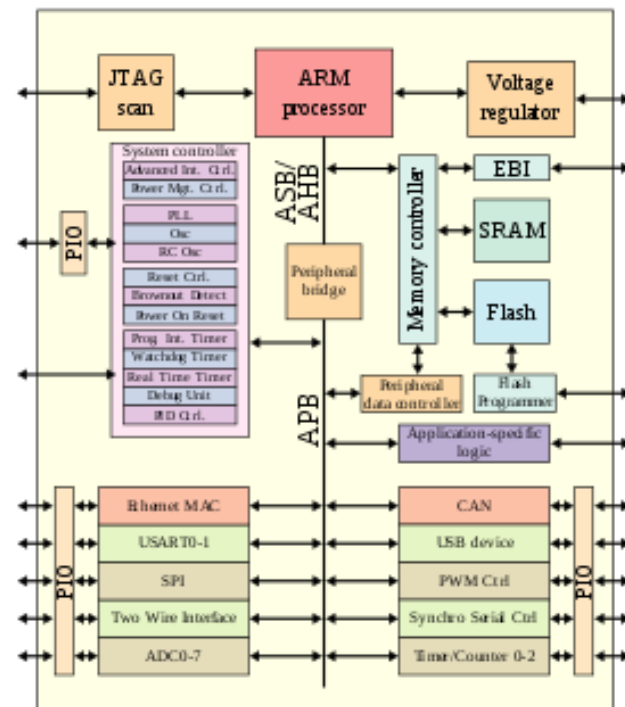
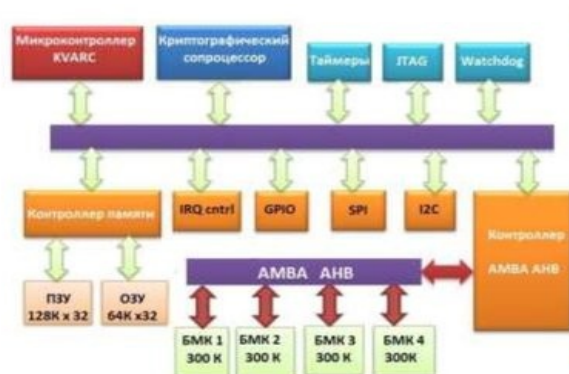
Классификация по степени интеграции

- Малая интегральная схема (МИС, SSI) - десятки логических элементов
- Средняя интегральная схема (СИС, MSI) - сотня логических элементов
- Большая интегральная схема (БИС, LSI) - тысячи логических элементов
- Сверхбольшая интегральная схема (СБИС, VLSI) - свыше десятков тысяч
- *Ультрабольшая интегральная схема (УБИС, ULSI) - более миллиона*

Система-на-кристалле



СнК (SoC)



Полузаказная СБИС
 К5512БП1Ф
 АО "НИИМА "Прогресс"



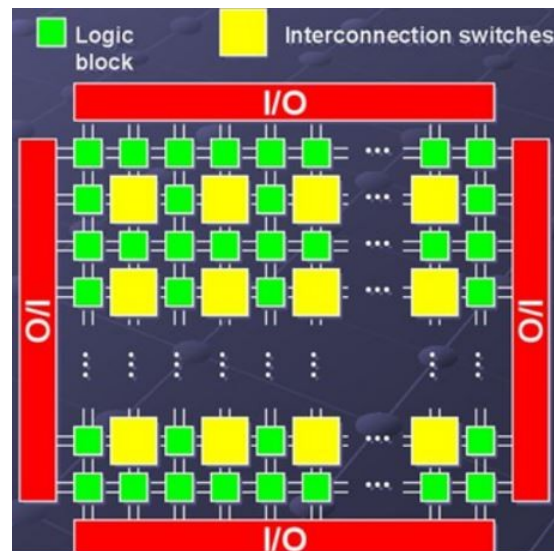
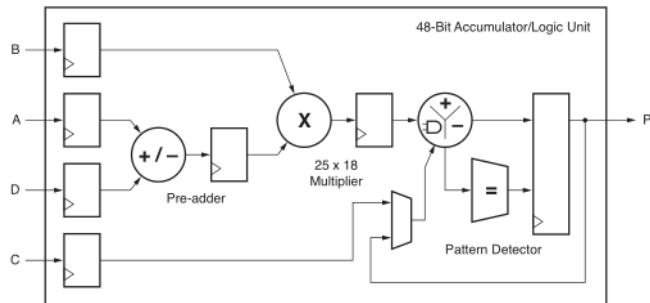
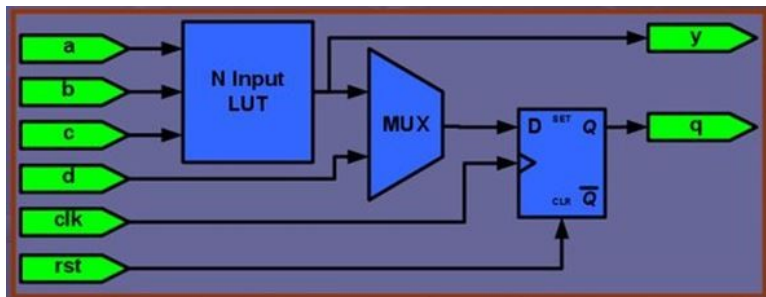
Основные типы СБИС

VLSI - Very-Large Scale Integration

ASIC - application-specific integrated
circuit

- Полнозаказные СБИС (Full-Custom ASICs)
- Полузаказные матричные СБИС на основе стандартных ячеек-модулей (Standard-Cell-Based ASICs)
 - БМК
 - ПЛИС

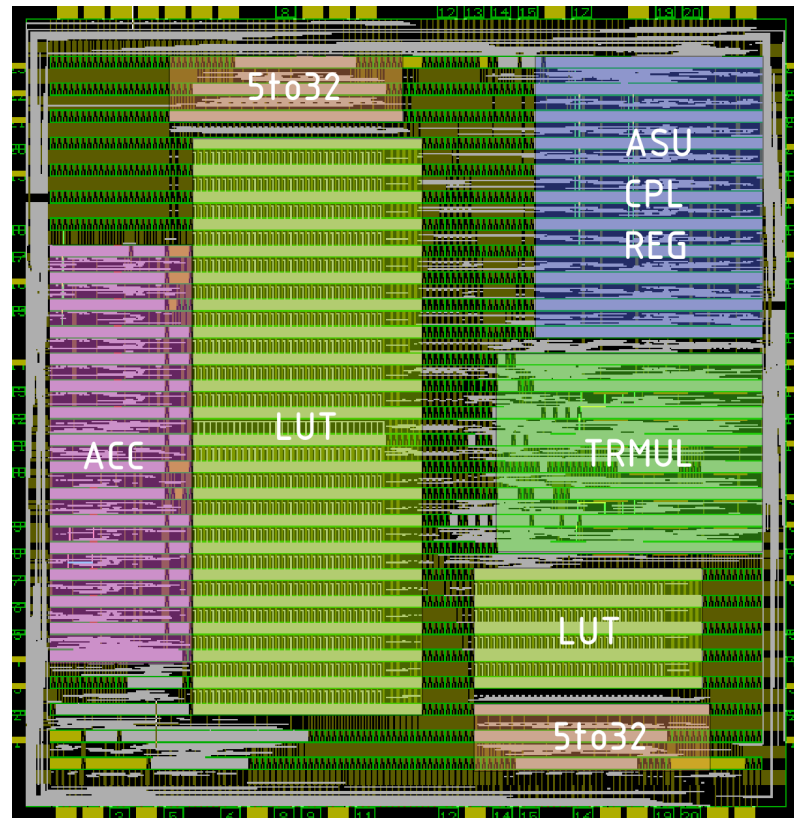
ПЛИС



БМК

Базовый матричный кристалл

- ОАО Ангстрем, г. Зеленоград, Москва
- МВЦ, г. Нижний Новгород
- АО НИИМА “Прогресс”
- НПК «Технологический центр», г. Зеленоград, Москва
- ОАО НПО «Физика», г. Москва
- «Интеграл», г. Минск

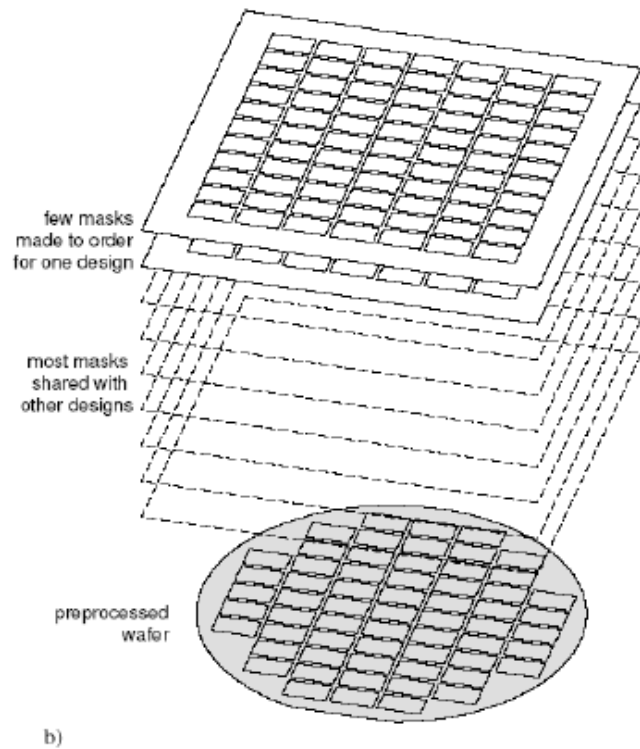
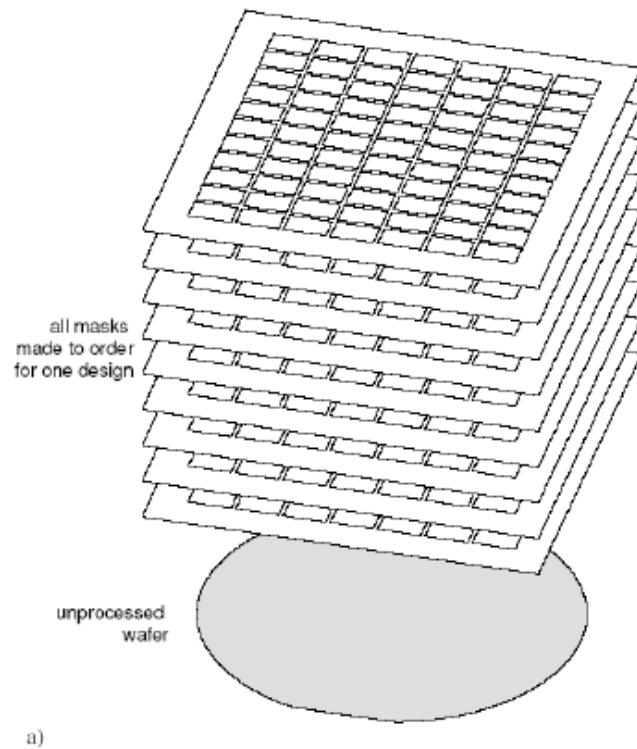


<https://habr.com/ru/post/418759/>

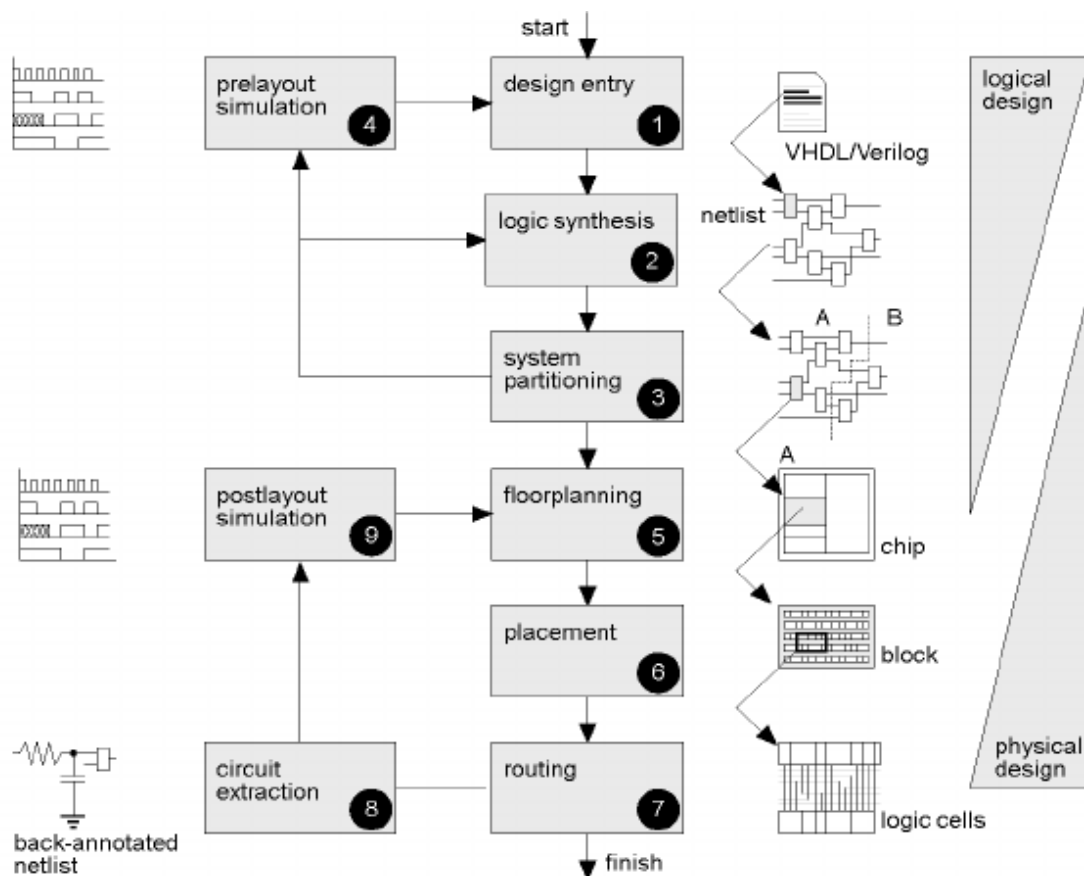
Заказные и полузаказные СБИС

а) заказная СБИС

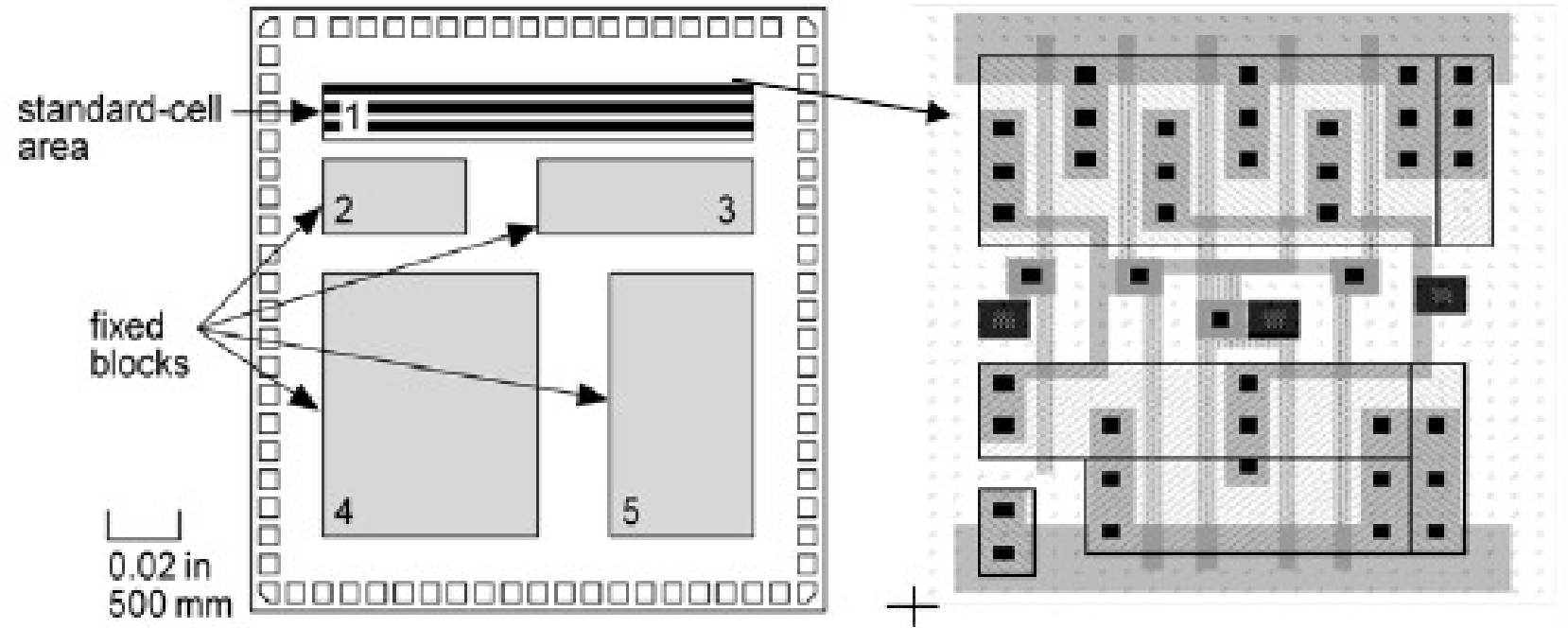
б) полузаказная СБИС



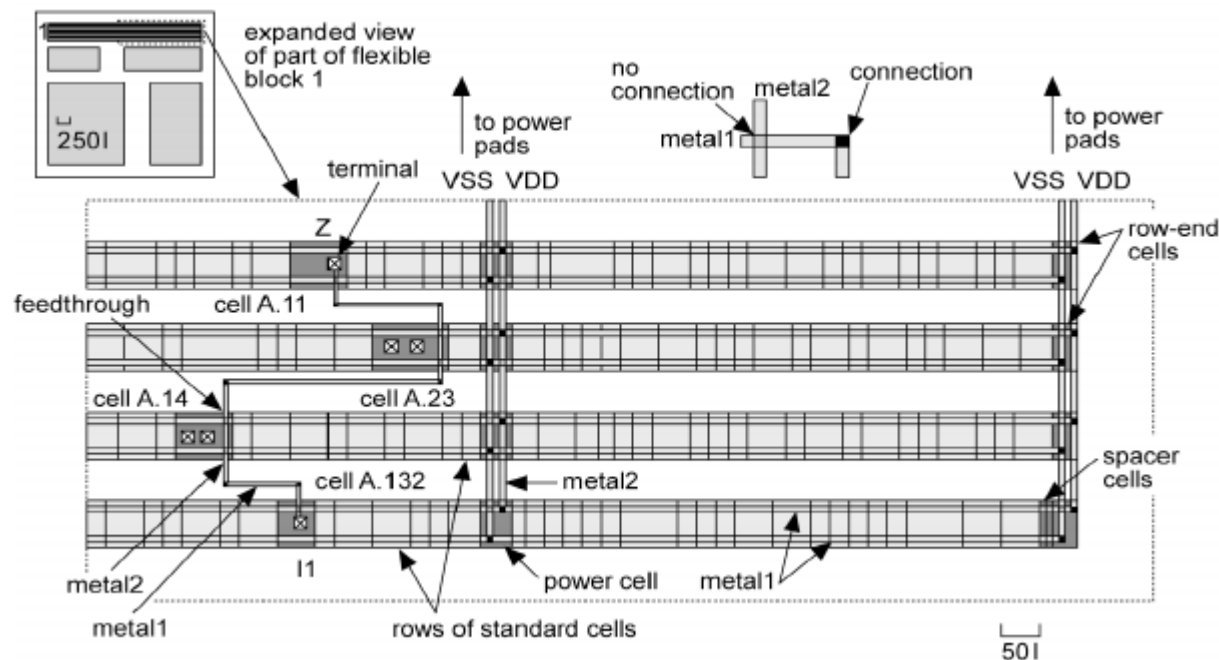
Маршрут проектирования СБИС



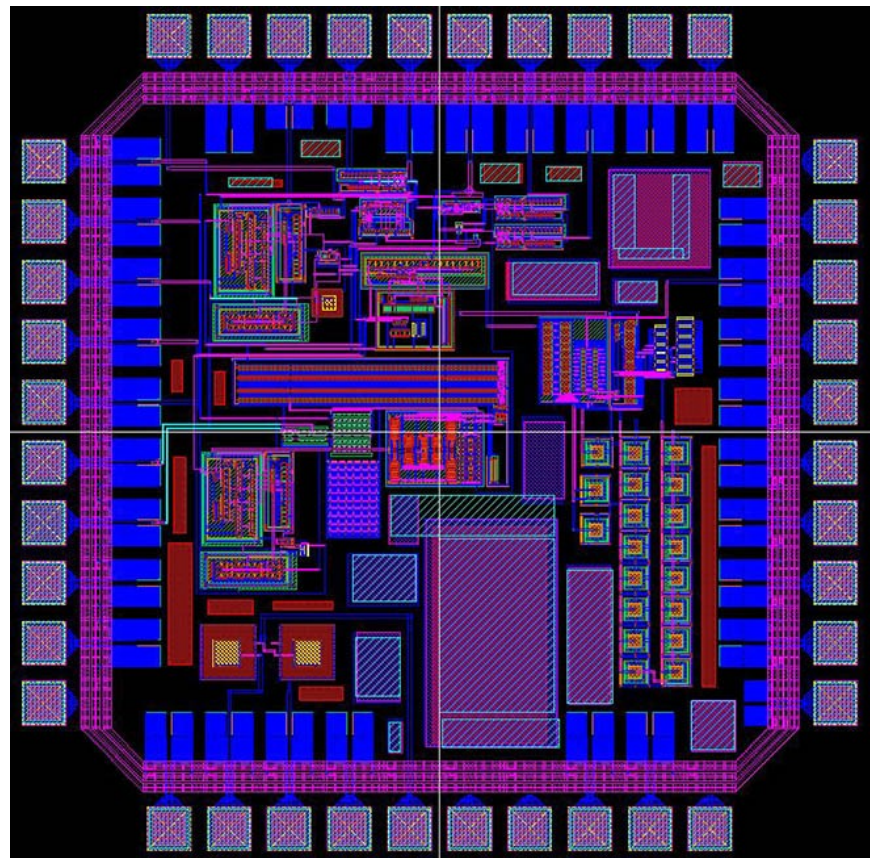
Размещение и трассировка

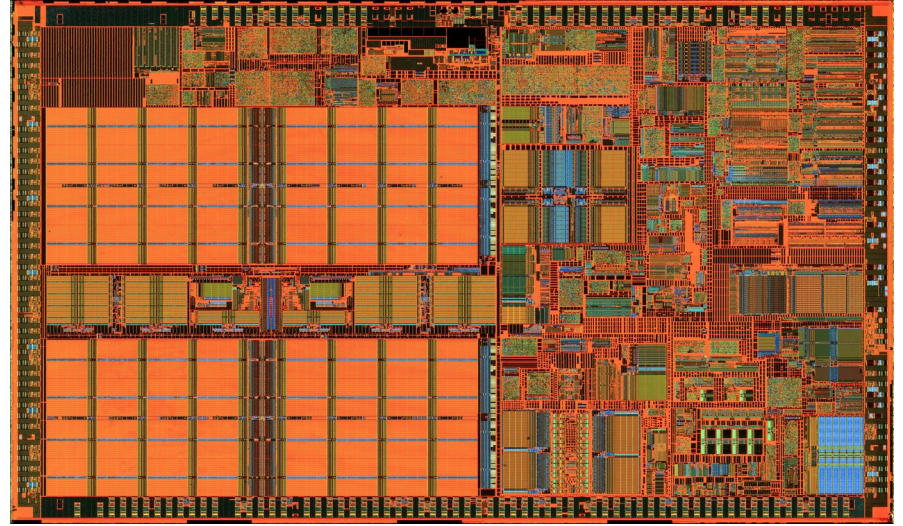
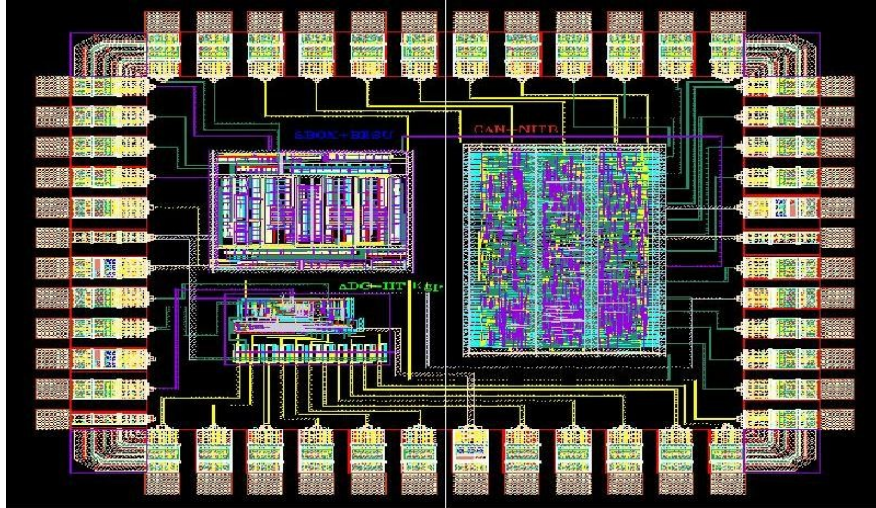


Структура топологии полузаказной СБИС



Результат проектирования —
набор фотошаблонов





Intel Celeron Tualatin (PGA 370)



Система автоматизации проектирования (САПР)

- CAD - computer-aided design / CAM - computer-aided manufacturing
 - система автоматизированного черчения
 - система автоматизированного проектирования
 - система моделирования
- EDA - electronic design automation
 - система верификации
 - система подготовки к производству

Основные производители САПР



cādence®

- Stratus™
- Genus™
- Innovus™
- Virtuoso™
- Tempus™ & Voltus™
- etc.

Mentor
Graphics®

- HDL Designer™
- Precision™
- Calibre™
- Olympus-SoC™
- etc.

SYNOPSYS®
Silicon to Software™

- VCS™
- Fusion Compiler™
- IC Compiler™
- IC Validator™
- etc.

Вопросы и проблемы проектирования

- Вариация техпроцесса
 - corner
- Строгость правил проектирования
- Распределение тактовых сигналов
- Удачный первый выход изделия
 - Design for manufacturing (DFM)
 - Design for testing (DFT)
 - Design for X (DFX)
- Электромиграция



Типы “корнеров”

- front-end of line (FEOL) углы
 - Fast, Typical, Slow:
 - FF, TT, SS
 - FS, SF
- back-end of line (BEOL) углы
 - cbest, cworst
 - rcbest, rcworst



Технологические углы (PVT “корнеры”)

- Вариация техпроцесса
- Температура
- Напряжение питания



Использование библиотек

Вариант № 1: Использование набора библиотечных инструментов (process design kit - PDK)

Вариант № 2: Приобретение библиотеки элементов от независимых поставщиков

Вариант № 3: Можно разработать свою собственную библиотеку элементов и макроблоков



a)

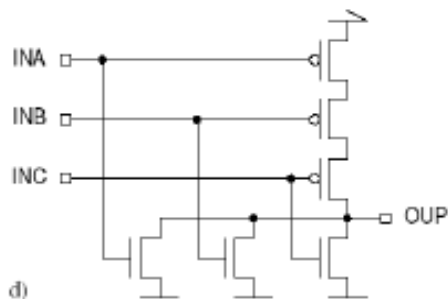
```
entity nor3 is
  generic (
    tpd : time := 1.0 ns );
  port (
    INA, INB, INC : in StdLogic;
    OUP : out StdLogic );
end nor3;

architecture procedural of nor3 is
begin
  OUP <= not (INA or INB or INC) after tpd;
end procedural;
```

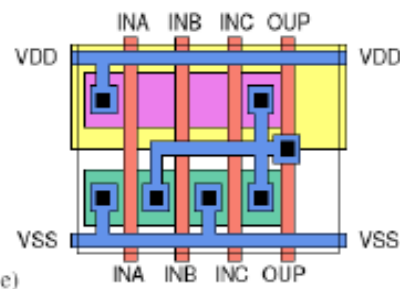
b)

stimuli			responses
INA	INB	INC	OUP
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0
0	0	0	1
1	1	1	0

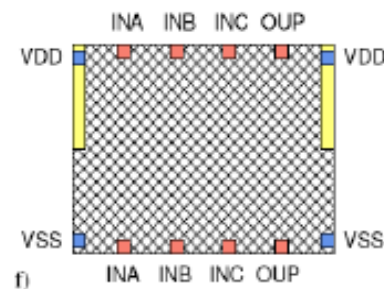
c)



d)



e)



f)