

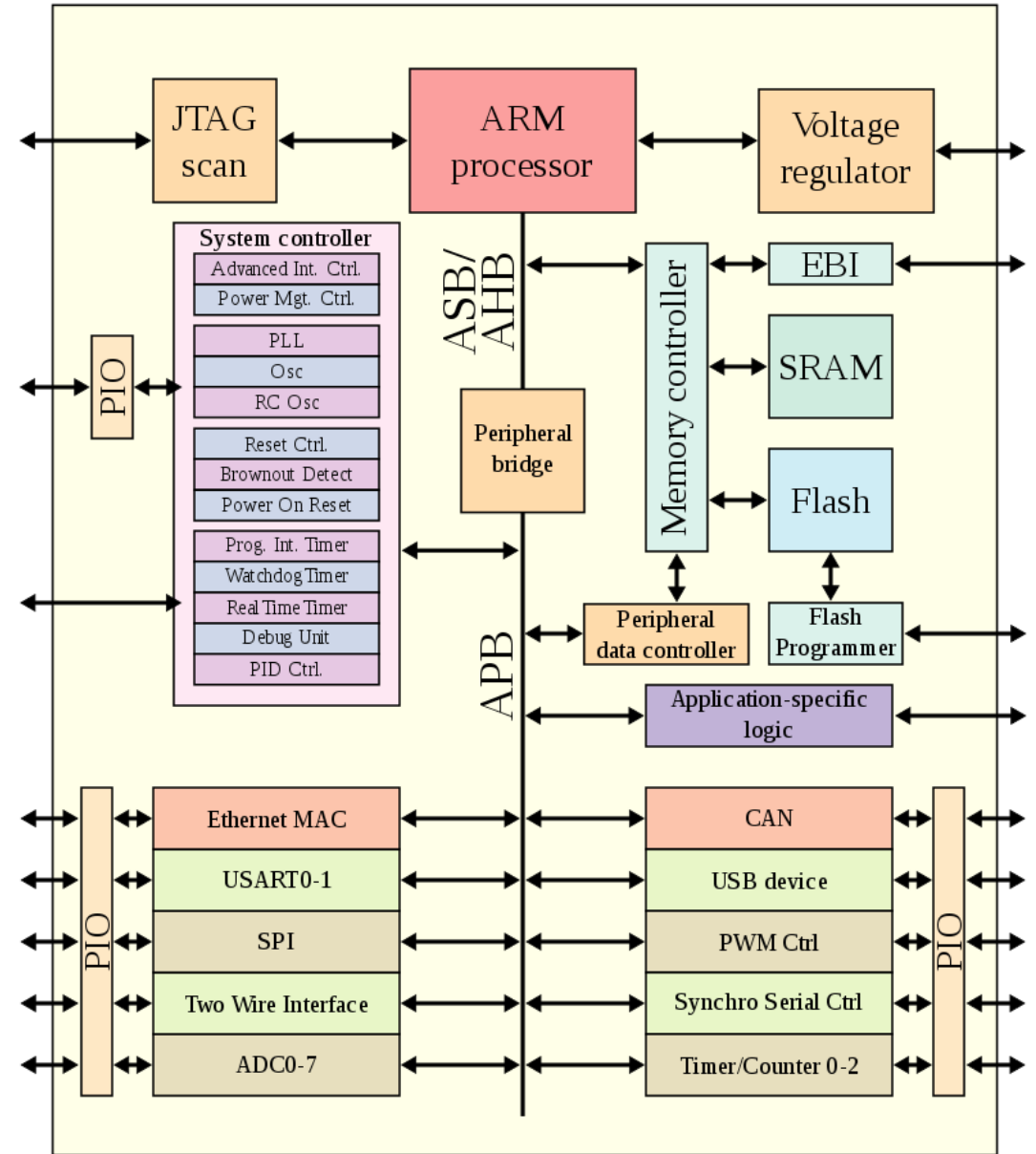
Интерфейсная шина AMBA

Занятие 4

AMBA шина

Advanced Microcontroller Bus

Architecture - усовершенствованная
архитектура шины микроконтроллера

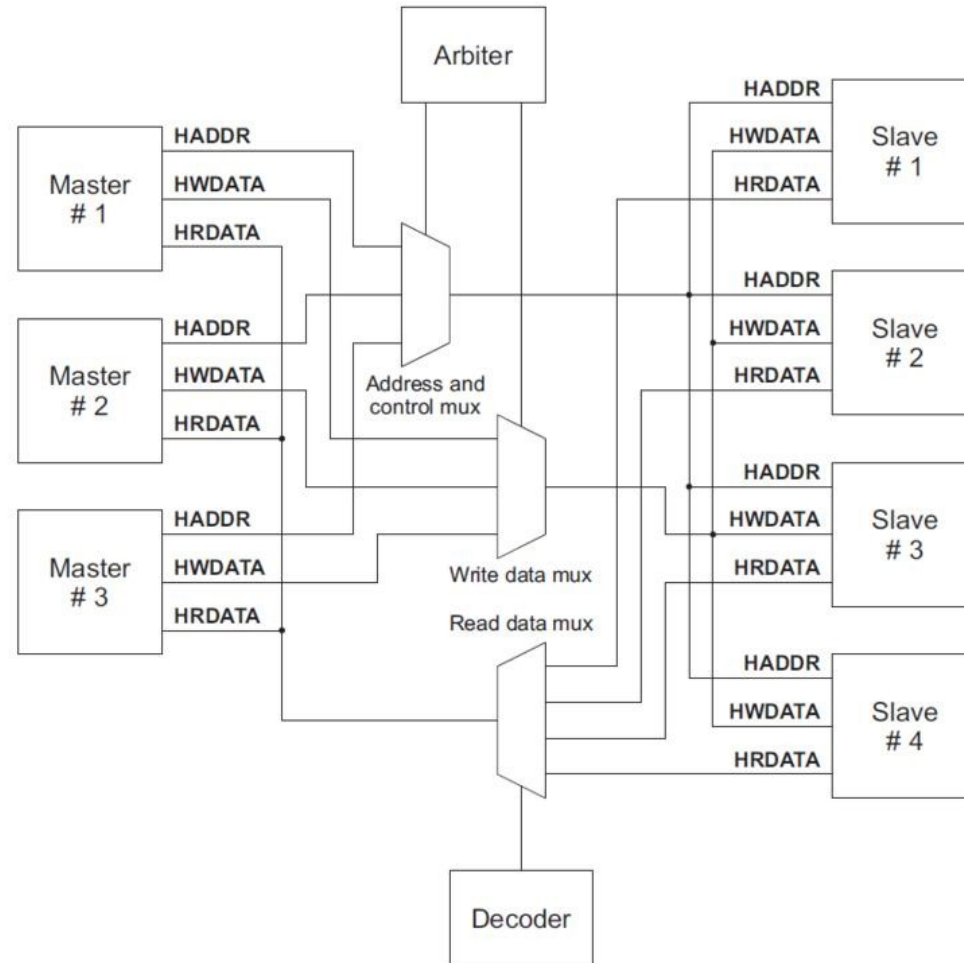


Разновидности AMBA

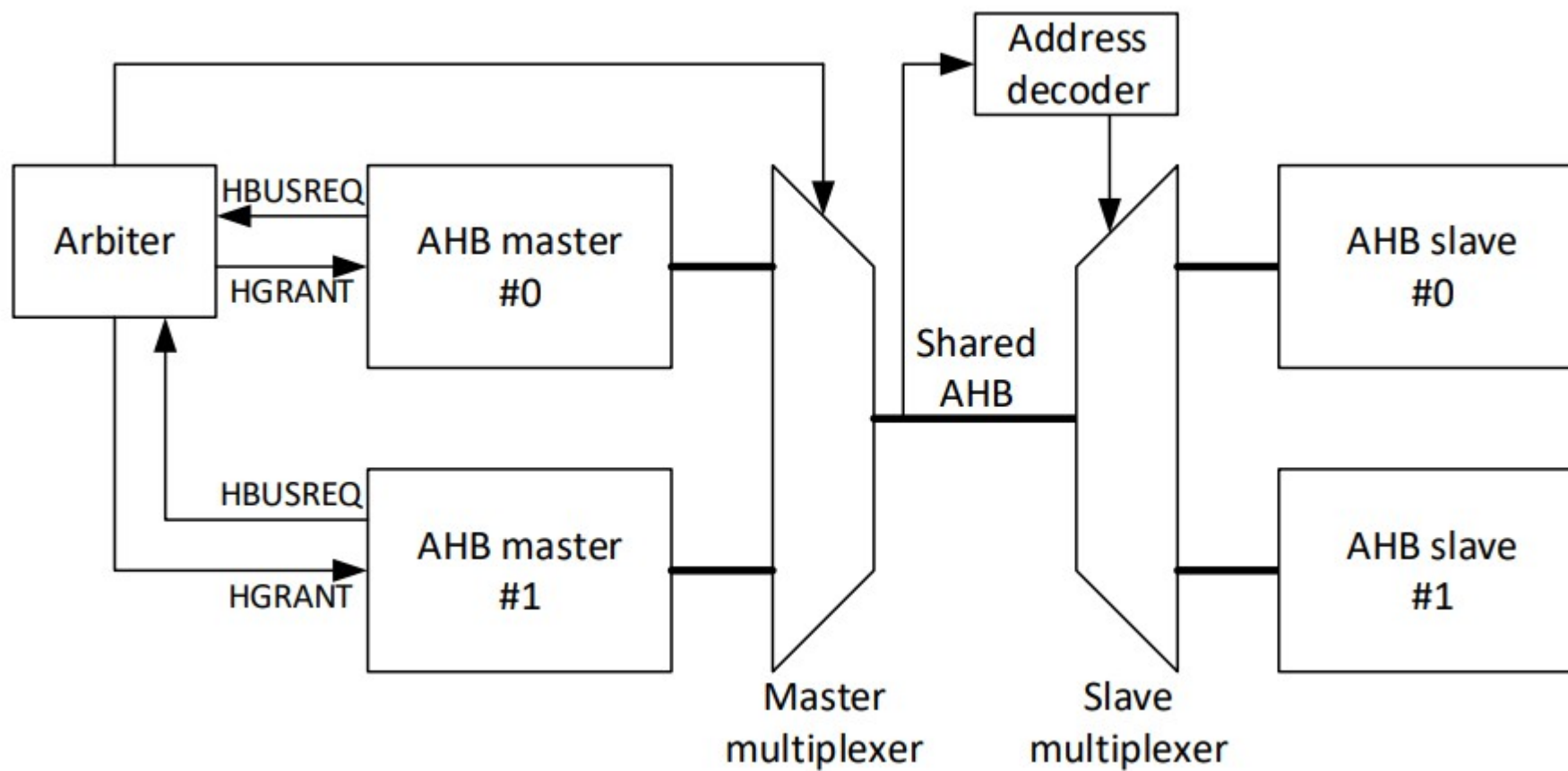
Key AMBA specifications		AMBA	AMBA 2	AMBA 3	AMBA 4	AMBA 5
CHI Coherent Hub Interface	Credited coherent protocol Layered architecture for scalability					CHI
ACE AXI coherency Extensions	ACE is a superset of AXI – system-wide coherency across multicore clusters				ACE +Lite	ACE5 +Lite
AXI Adv. eXtensible Interface	AXI supports separate A/D phases, bursts, multiple outstanding addresses, OoO responses			AXI3	AXI4 +Lite, +Stream	AXI5
AHB Adv. High-performance Bus	AHB supports 64/128 bit multi-managers AHB-Lite for single managers		AHB	AHB +Lite		AHB5 +Lite
APB Advanced Peripheral Bus	System bus for low bandwidth peripherals	APB	APB2	APB3	APB4	APB5

Протокол АНВ

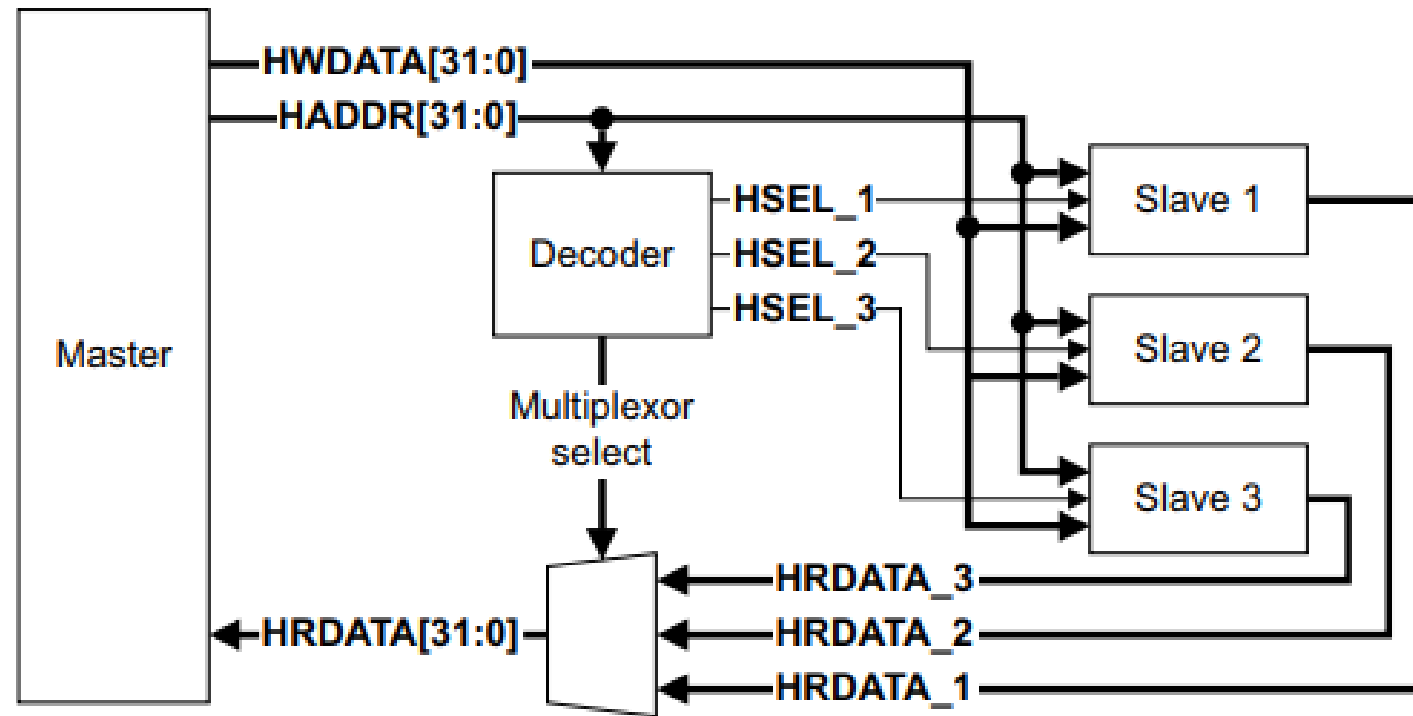
Advanced **H**igh-perfomance **B**us - усовершенствованная высокопроизводительная шина



Арбитраж



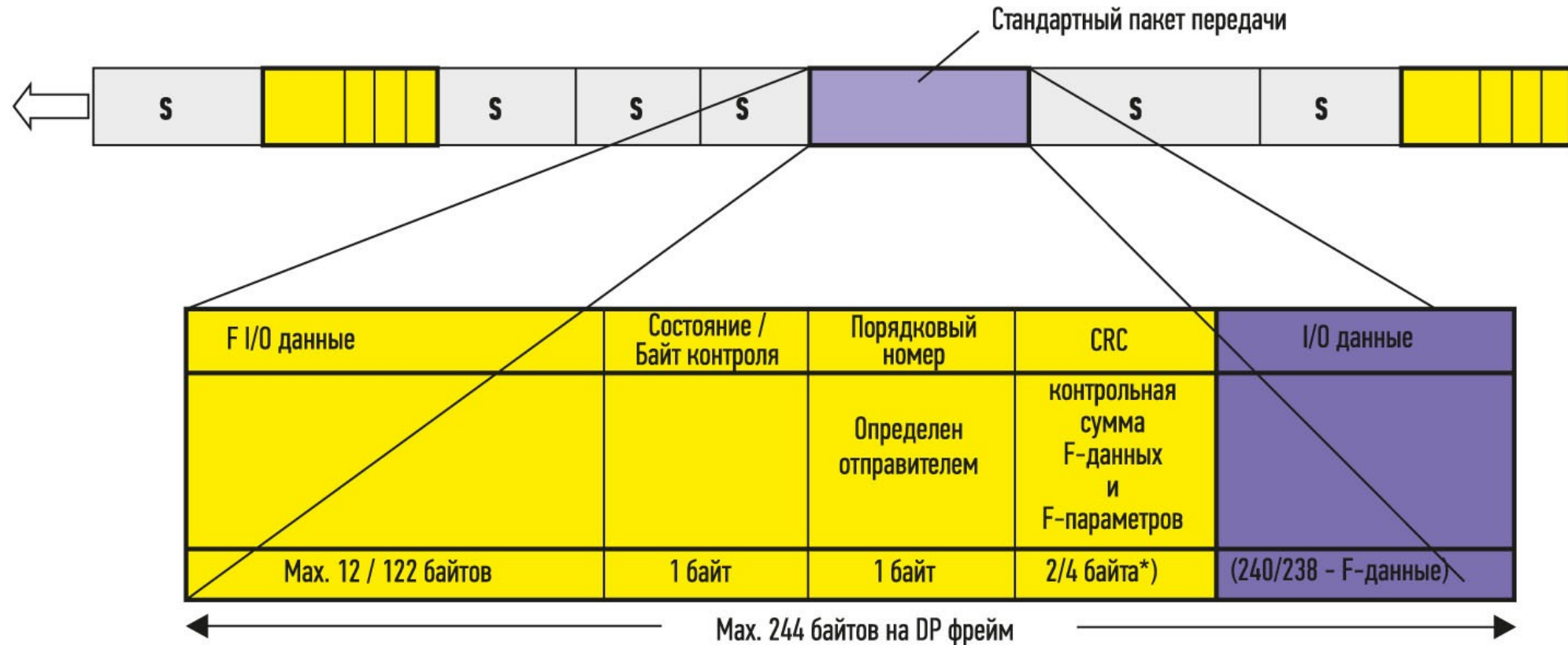
AHB-Lite



Особенности АНВ Lite

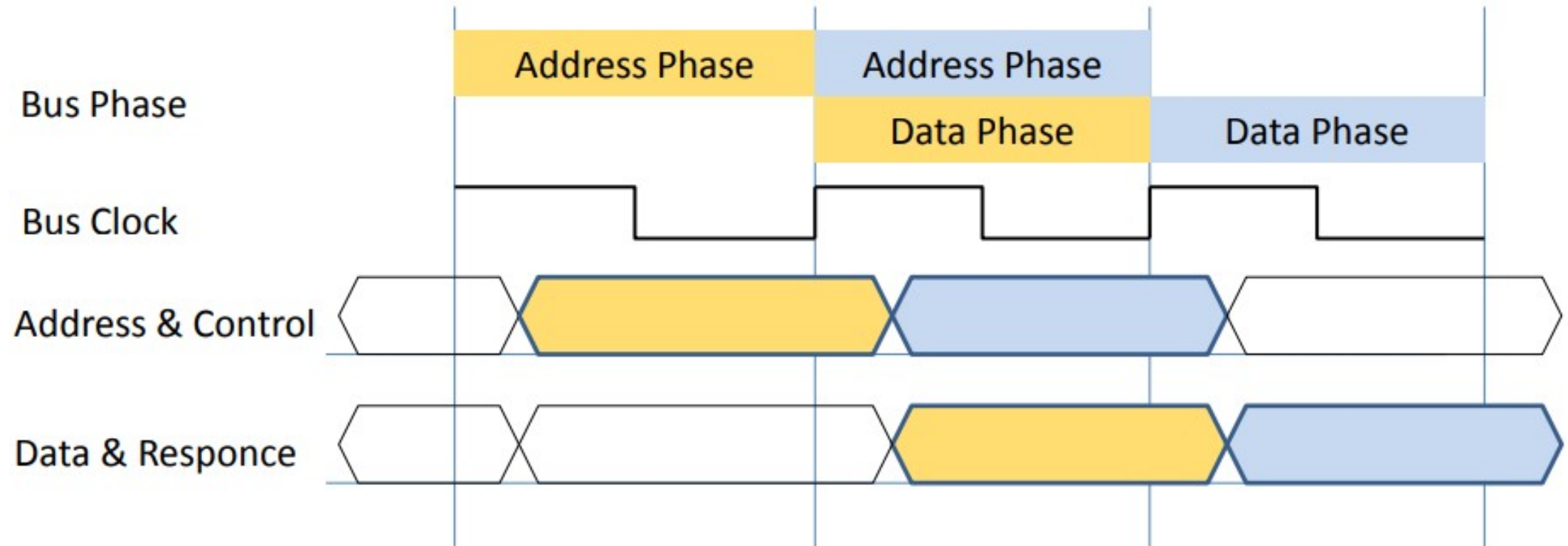
- одно ведущее устройство
- нет арбитража
- несколько простых ведомых устройств
- пакетная и конвейерная передача данных
- все операции по переднему фронту тактового сигнала
- однонаправленные взаимодействия, нет tri-state
- ширина шины — 32, 64, 128, 256, 512 или 1024 бит

Пакетная передача данных

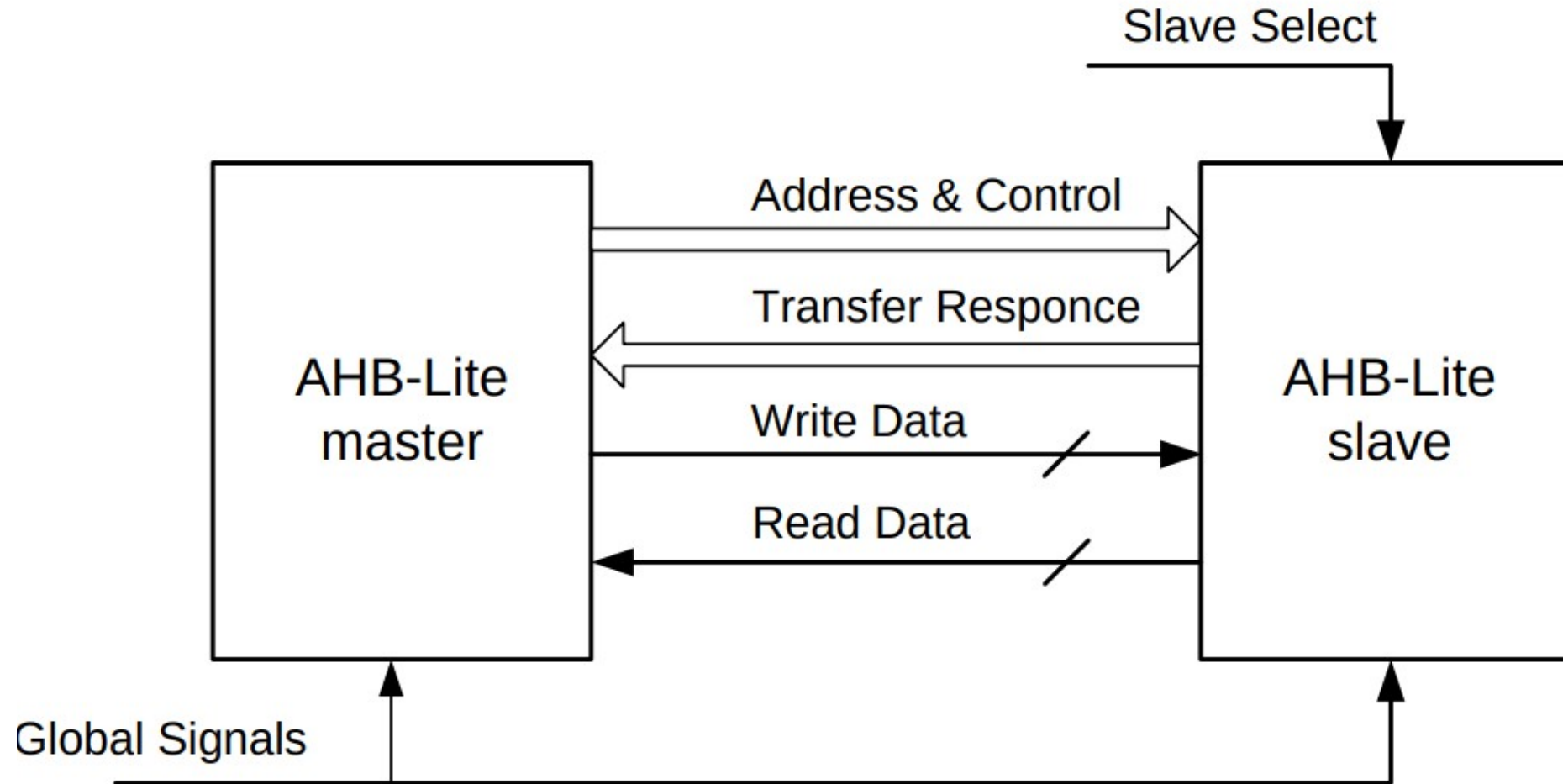


*) 2 байта для макс. 12 байтов F I/O данных
4 байта для макс. 122 байтов F I/O данных

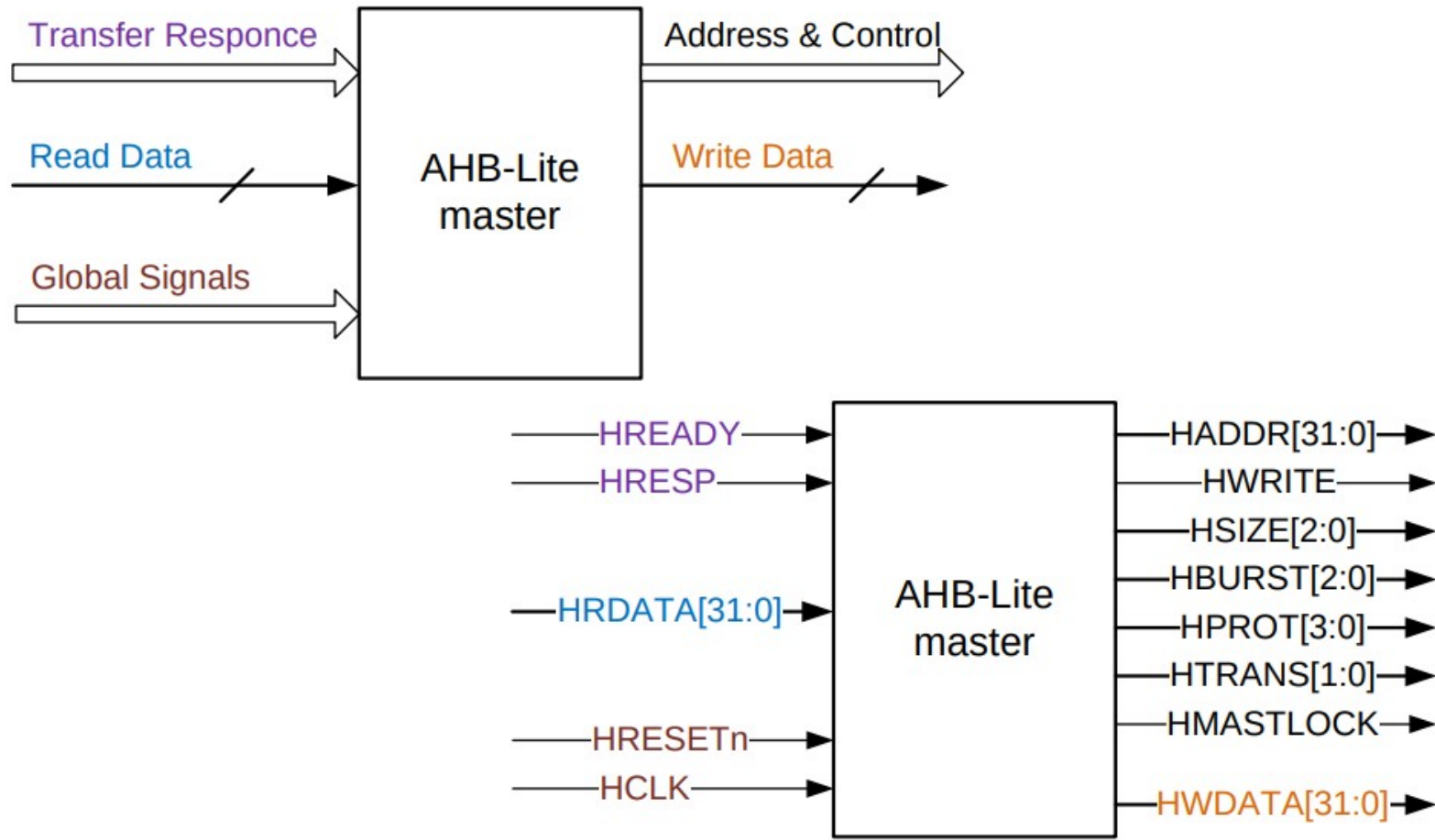
Конвейерная передача данных



Ведущее и ведомое устройства



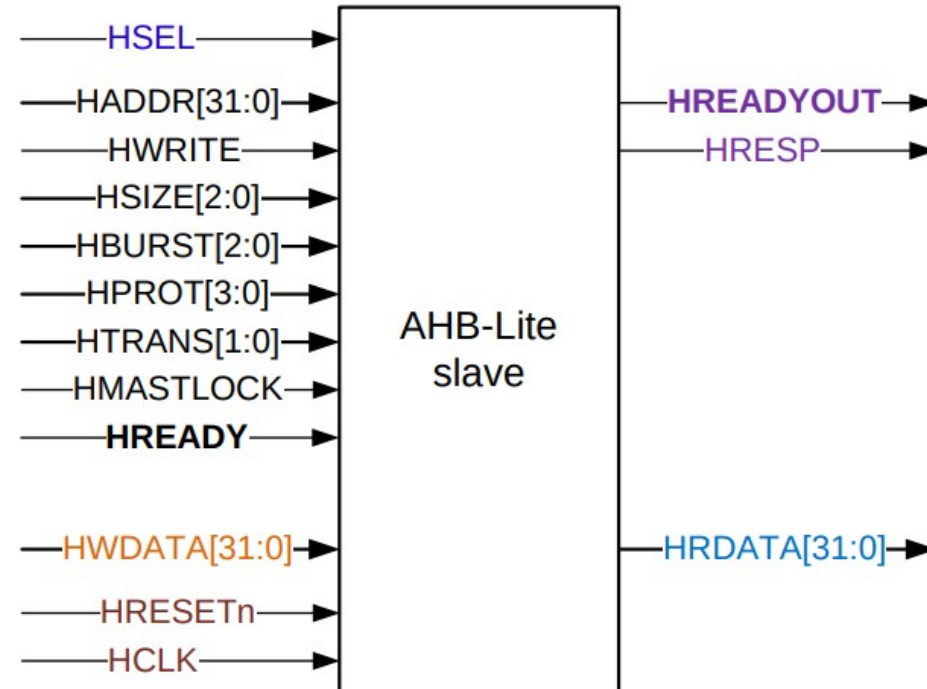
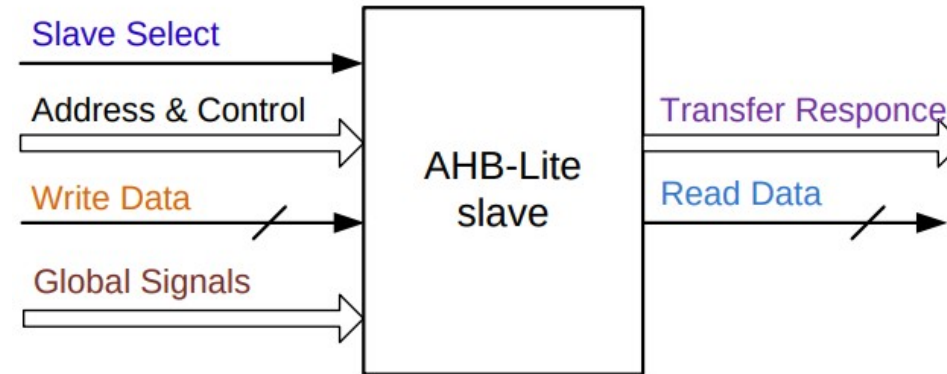
Сигналы ведущего устройства



Сигналы мастера

Сигнал	Направление	Описание
HADDR[31:0]	Slave + Decoder	32-битная системная шина адреса
HBURST[2:0]	Slave	Тип пакета указывает, является ли передача одиночной передачей или является частью пакета. Поддерживаются пакеты фиксированной длины по 1, 4, 8 и 16 тактов. Пакет может быть увеличивающимся или обёрнутым. Также поддерживаются увеличивающиеся пакеты неопределенной длины
HMASTLOCK	Slave	При ВЫСОКОМ уровне этот сигнал указывает на то, что текущая передача является частью заблокированной последовательности. При заблокированной последовательности арбитр (в полной АНВ) не может менять сигнал разрешения
HPROT[3:0]	Slave	Сигналы управления защитой предоставляют дополнительную информацию о доступе к шине и в первую очередь предназначены для использования любым модулем, который хочет реализовать некоторый уровень защиты. Сигналы указывают, является ли передача выборкой кода операции или доступом к данным, и является ли передача доступом в привилегированном режиме или доступом в пользовательском режиме. Не всем ведомым устройствам нужно пользоваться этой шиной
HSIZE[2:0]	Slave	Указывает размер передачи, который обычно составляет байт (8 бит), полслова (16 бит) или слово (32 бита). Протокол допускает большие размеры передачи, максимум до 1024 бит.
HTRANS[1:0]	Slave	Указывает тип передачи текущей передачи.* Это может быть: <ul style="list-style-type: none">● IDLE (ожидание)● BUSY (занят)● NONSEQUENTIAL (не последовательный)● SEQUENTIAL (последовательный)
HWDATA[31:0]	Slave	Шина данных записи передает данные от ведущего устройства к ведомым устройствам во время операций записи. Рекомендуется использовать минимальную ширину шины данных в 32 бита. Однако это может быть расширено, чтобы обеспечить работу с более высокой пропускной способностью.
HWRITE	Slave	Указывает направление передачи. При ВЫСОКОМ уровне этот сигнал указывает на передачу записи, а при НИЗКОМ - на передачу чтения. Он имеет ту же синхронизацию, что и адресные сигналы, однако он должен оставаться постоянным на протяжении всей пакетной передачи

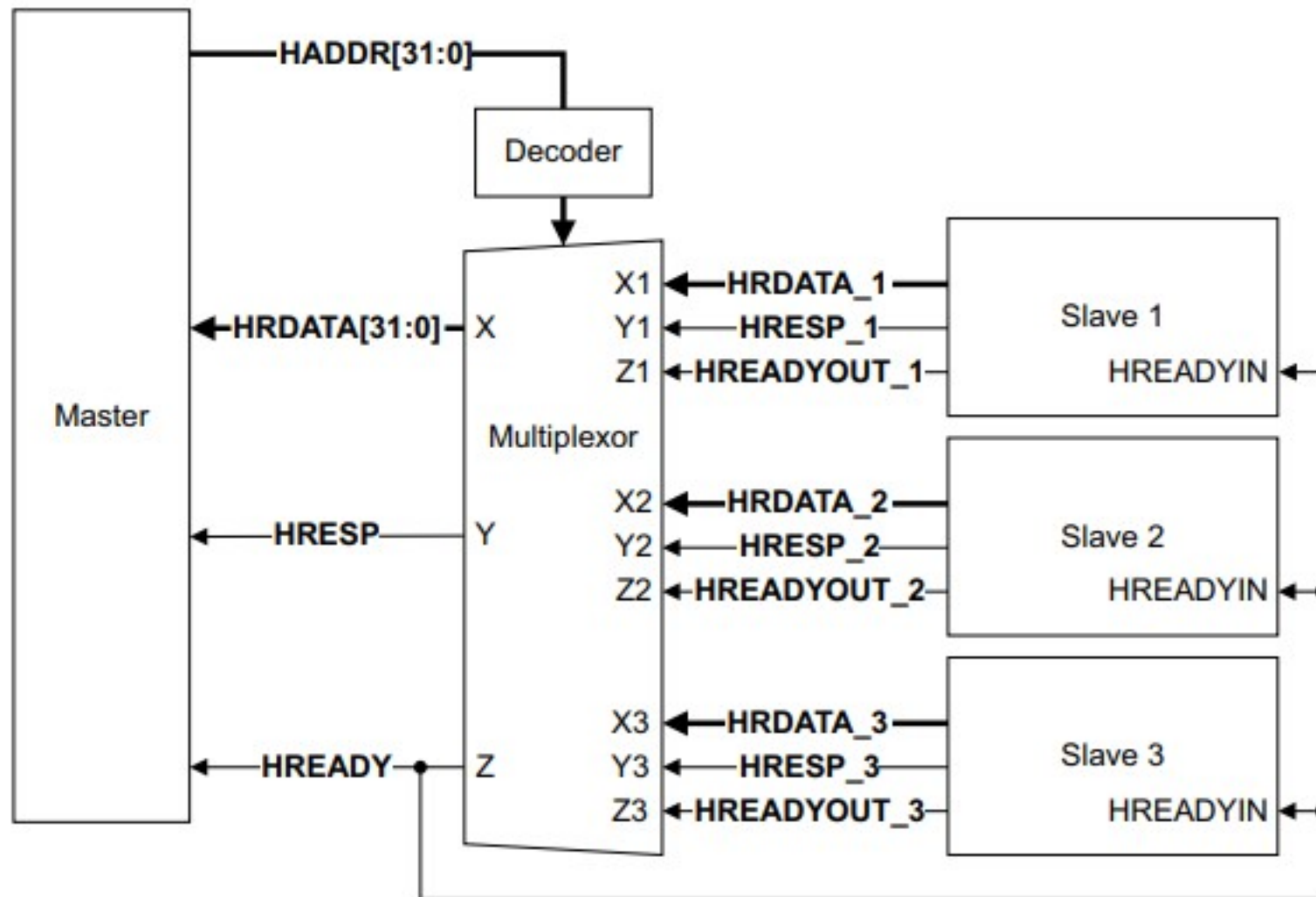
Сигналы ведомого устройства



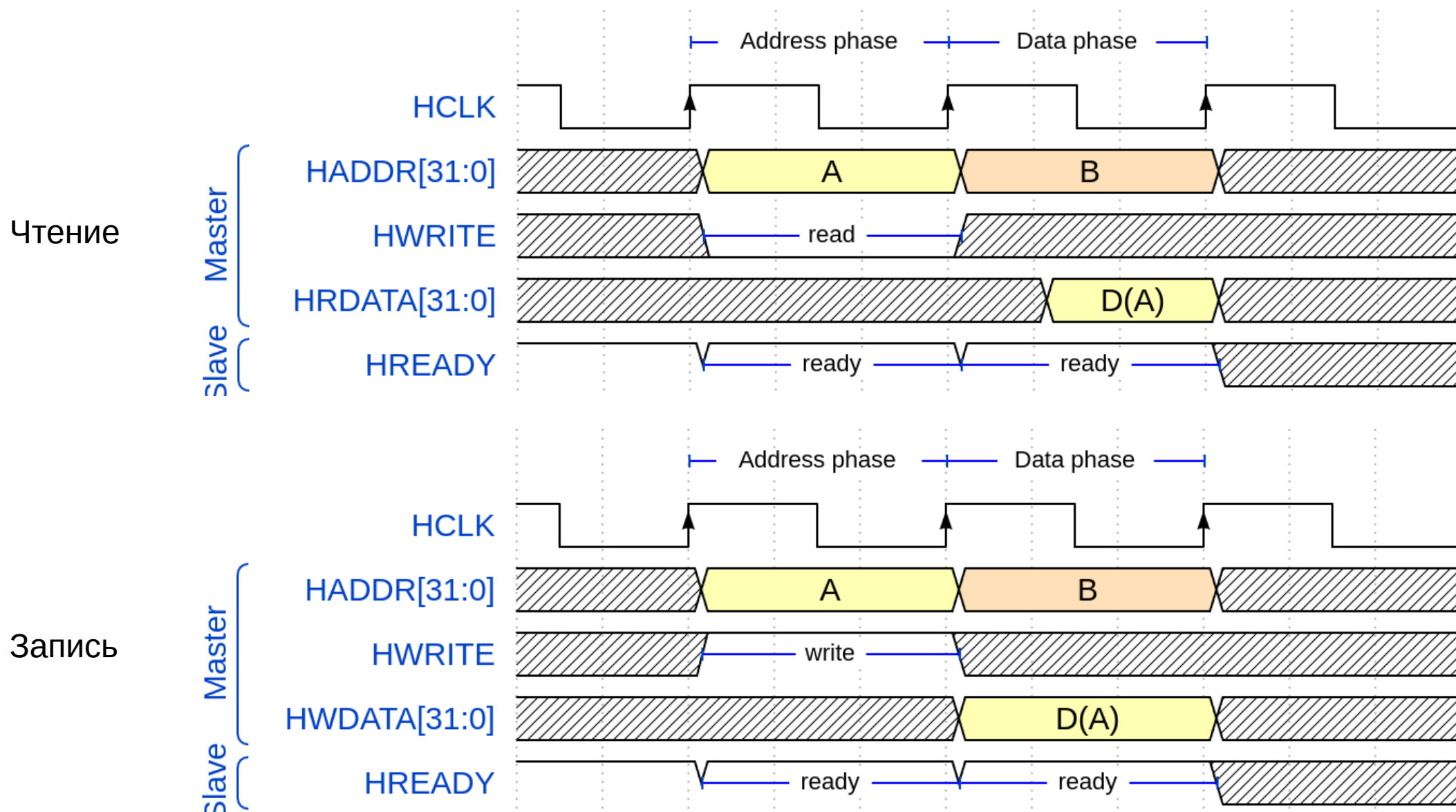
Сигналы слейва

Сигнал	Направление	Описание
HRDATA[31:0]	Mux	Во время операций чтения шина считывания данных передает данные с выбранного ведомого устройства на мультиплексор. Затем мультиплексор передает данные ведущему устройству. Рекомендуется использовать минимальную ширину шины данных в 32 бита.
HREADYOUT	Mux	При высоком уровне сигнал HREADYOUT указывает на то, что передача по шине завершена (состояние READY). Этот сигнал может быть переведен на низкий уровень, чтобы продлить передачу (состояние WAIT).
HRESP[1:0]	Mux	Ответ на передачу после прохождения через мультиплексор предоставляет ведущему устройству дополнительную информацию о статусе передачи: <ul style="list-style-type: none">● 0 – OKAY – передача прошла без ошибок● 1 – ERROR – передача прошла с ошибкой● 2 – RETRY – необходима повторная передача посылки● 3 – SPLIT

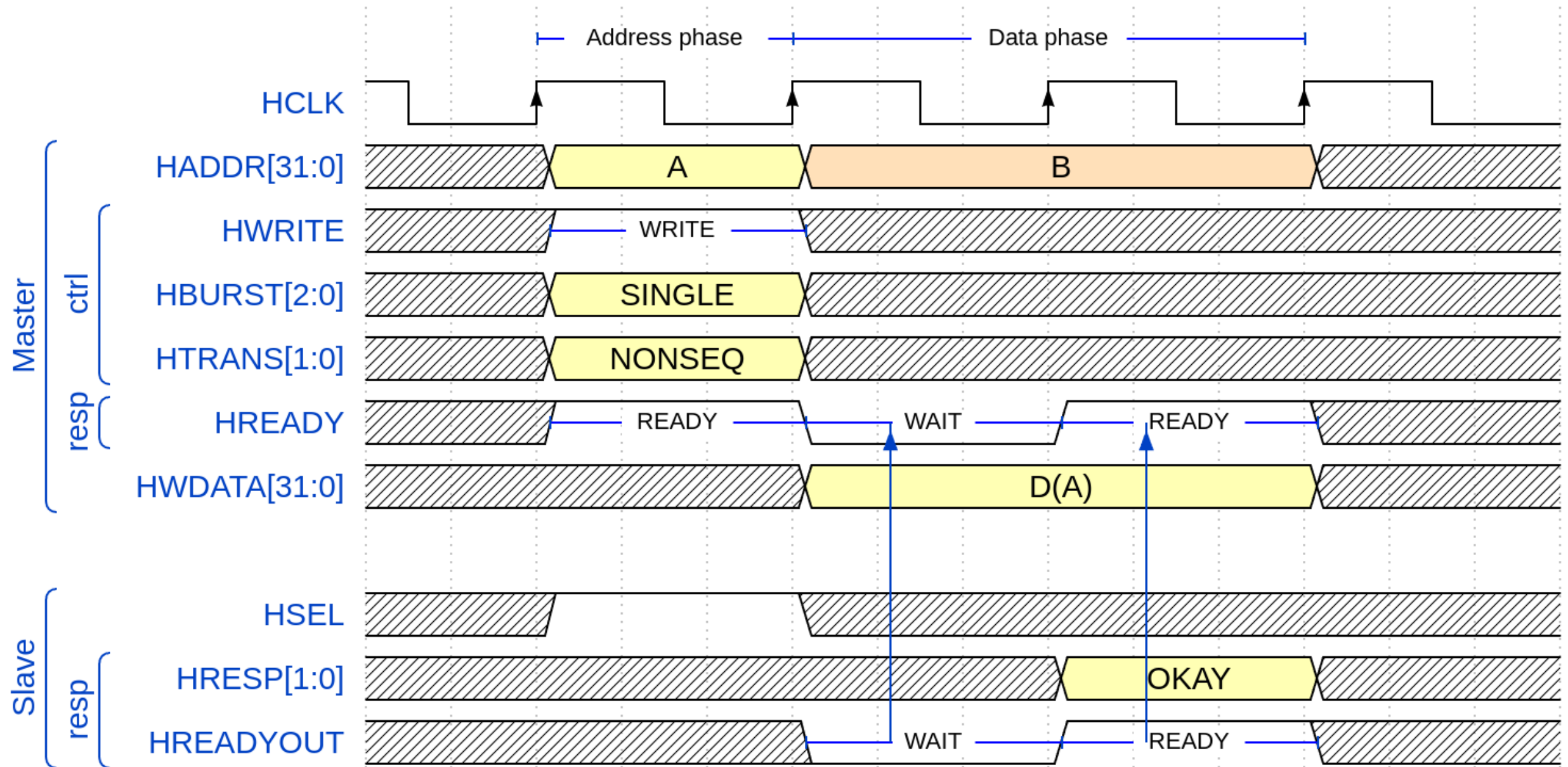
Межсоединения в шине



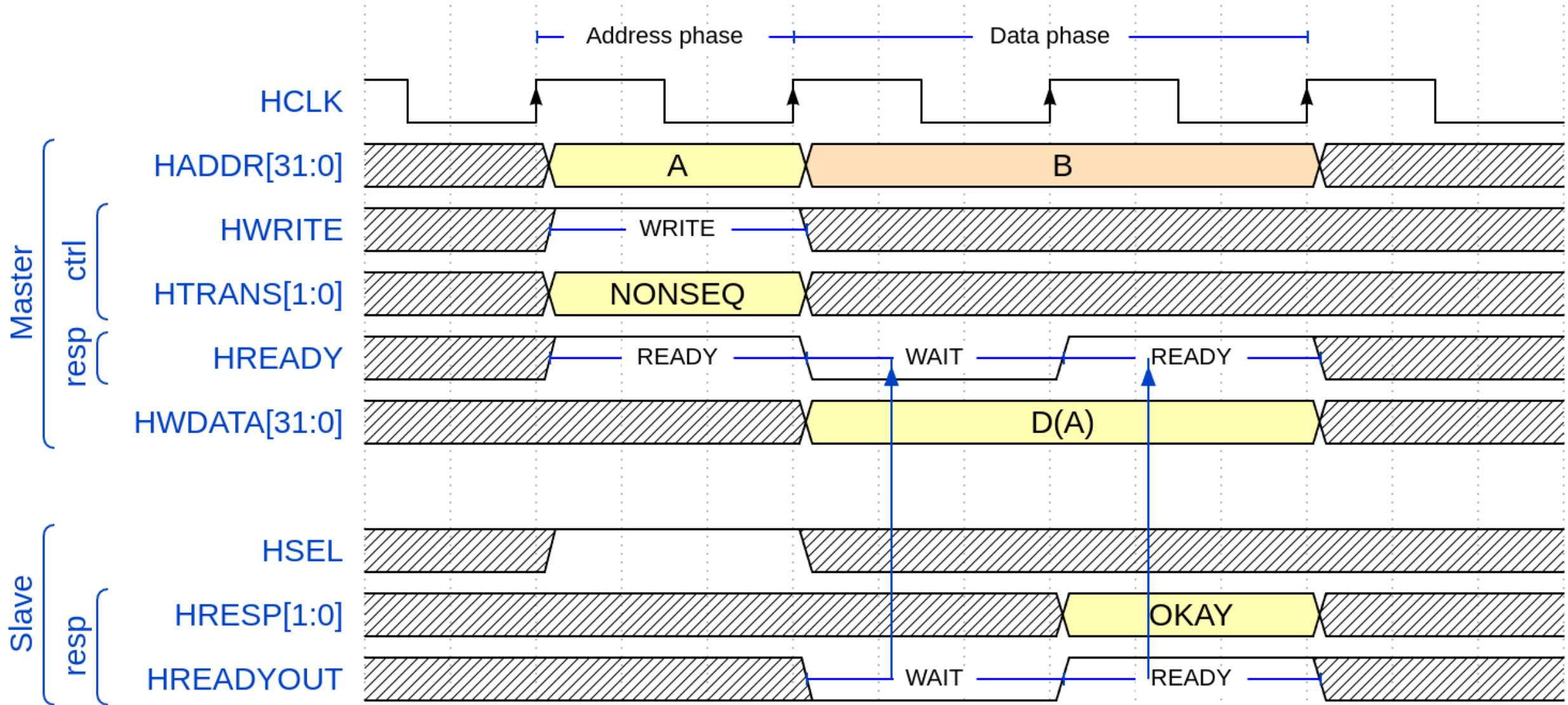
Пример транзакций



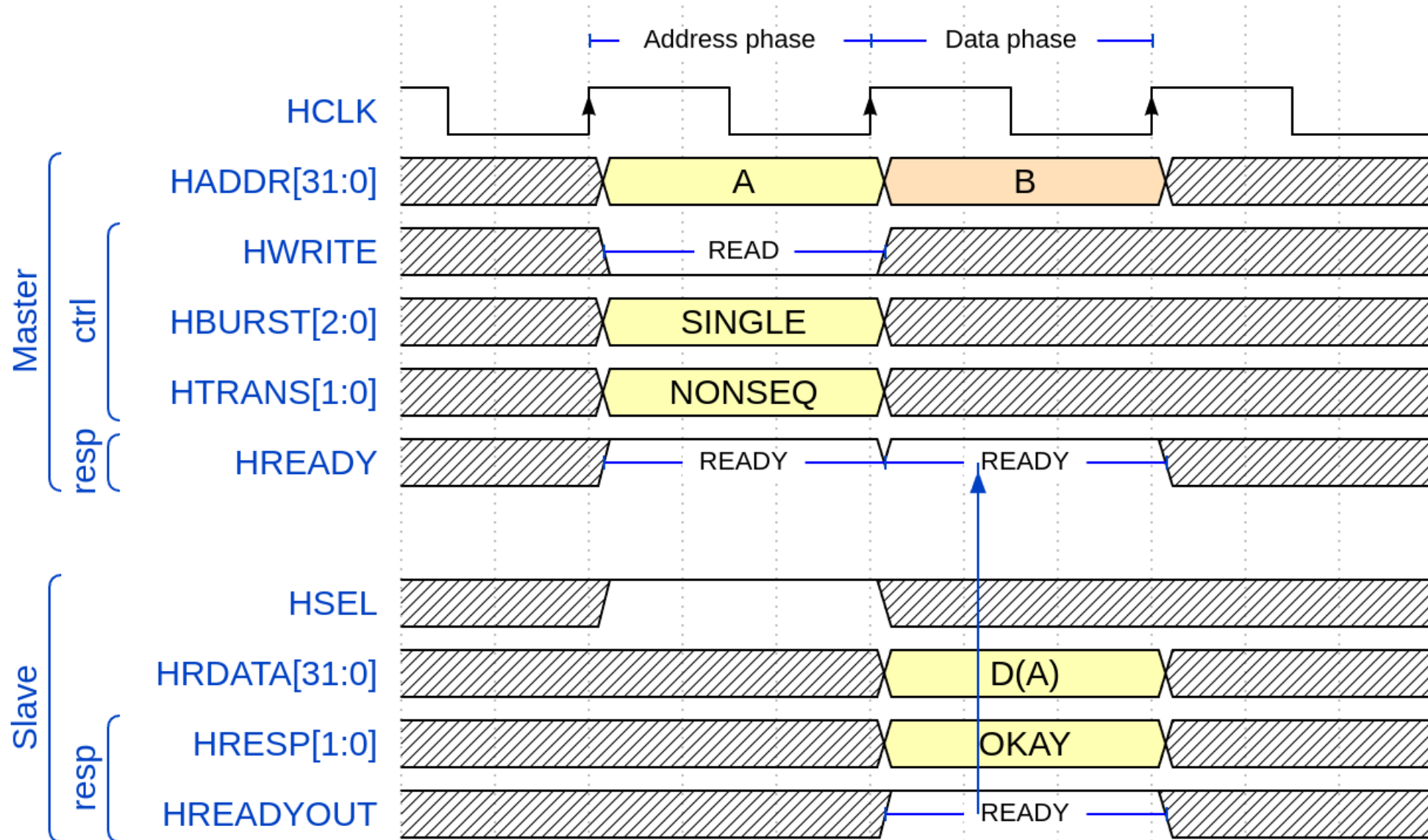
Простая запись



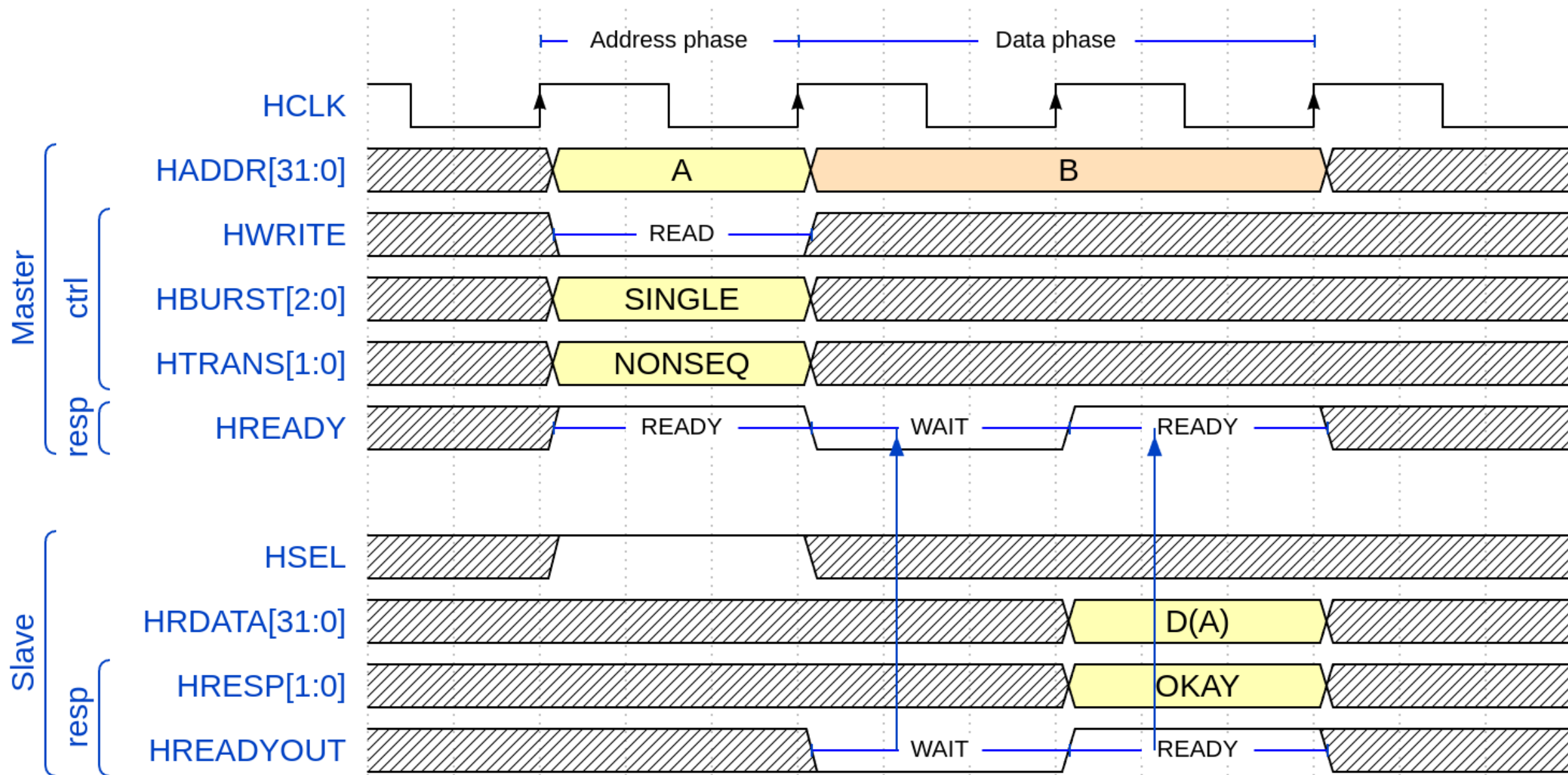
Запись с ожиданием



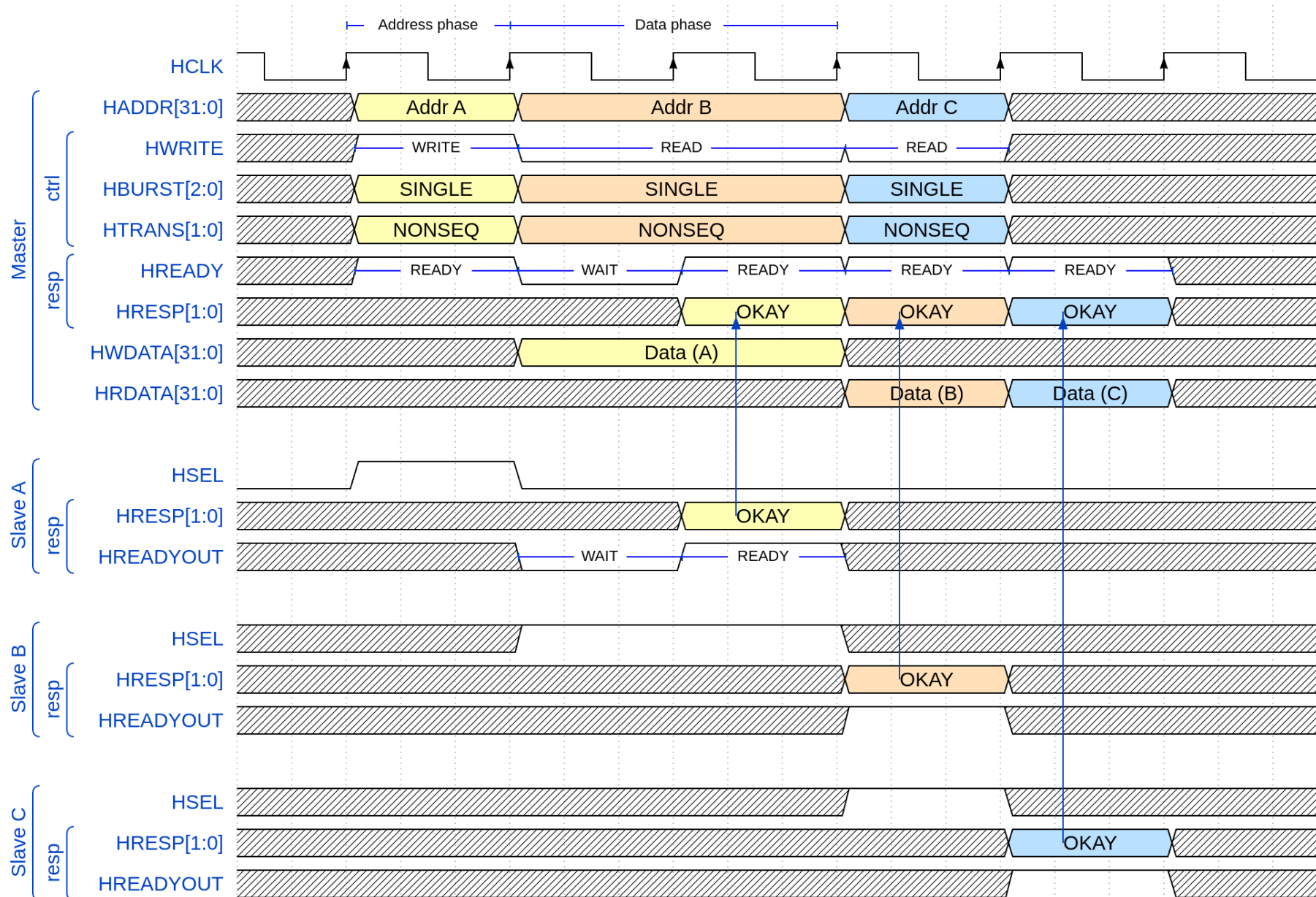
Простое чтение



Чтение с ожиданием



Несколько транзакций



Размер одной части (beat) пакета

HSIZE[2:0]	Размер beat, биты	HSIZE[2:0]	Размер beat, биты
000	8 (BYTE)	100	128 (4-WORD LINE)
001	16 (HALFWORD)	101	256 (8-WORD LINE)
010	32 (WORD)	110	512
011	64	111	1024

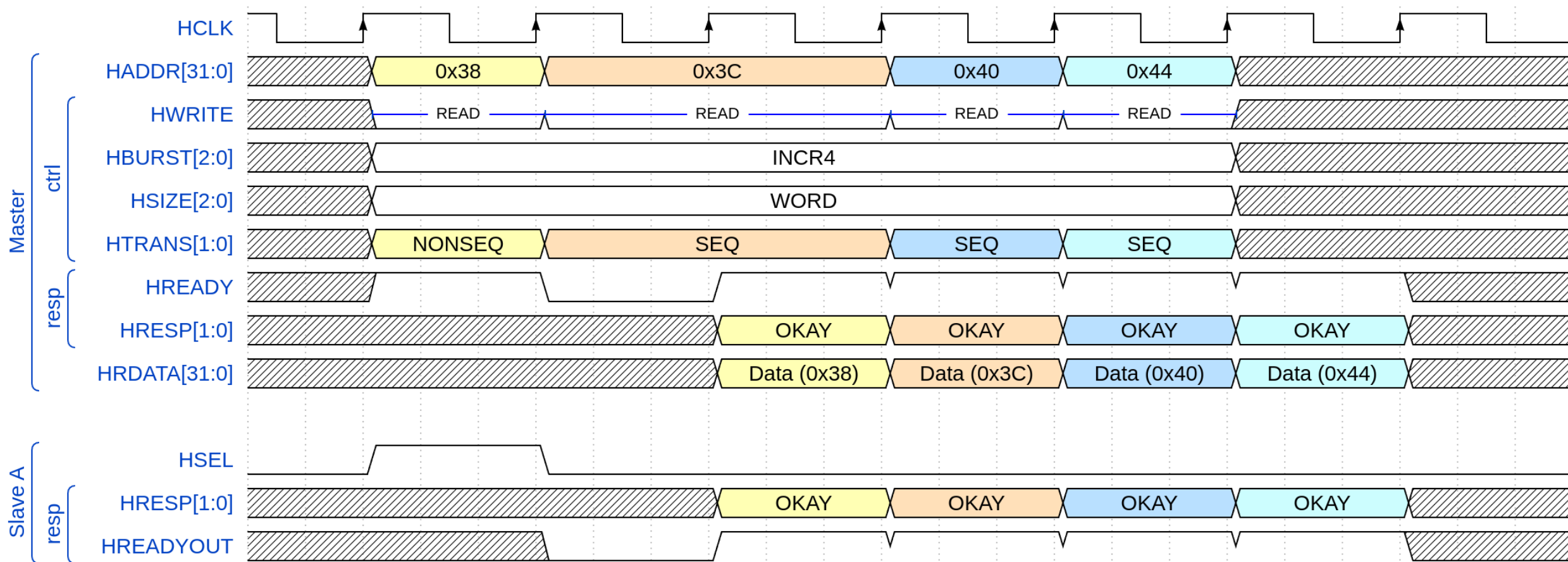
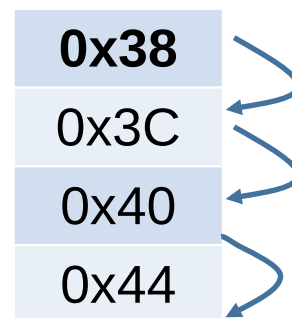
Определяет шаг в изменении адреса при пакетной передаче

Операции с пакетной передачей данных

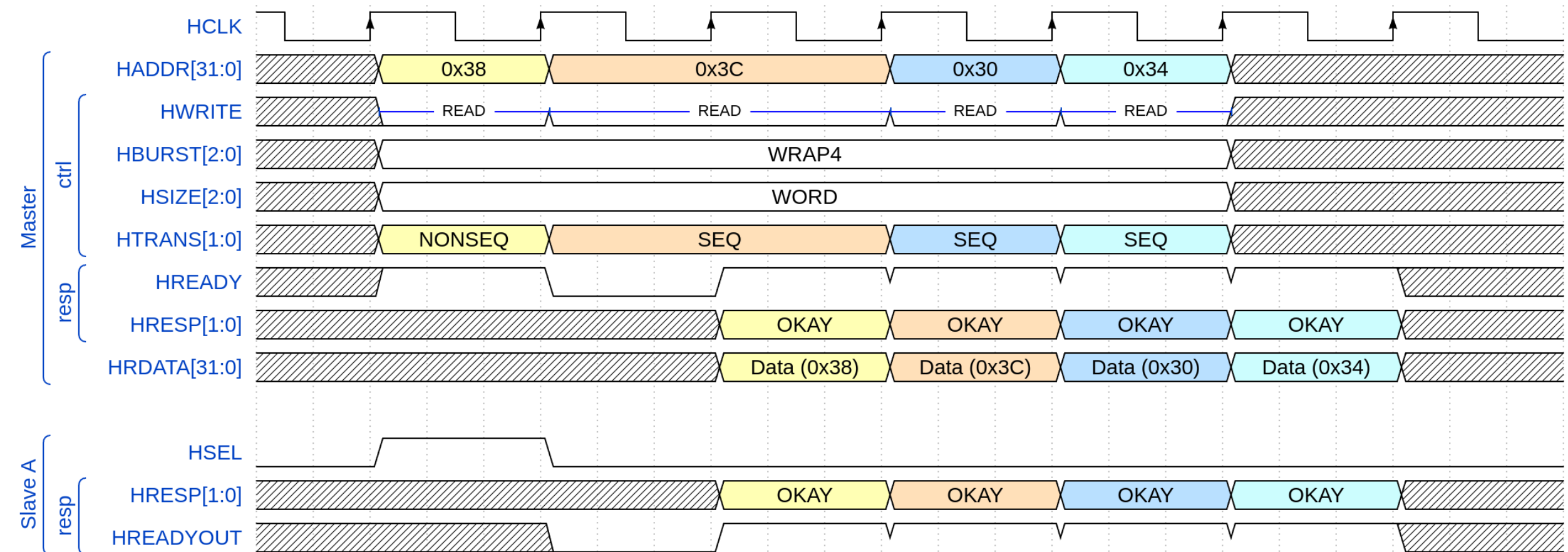
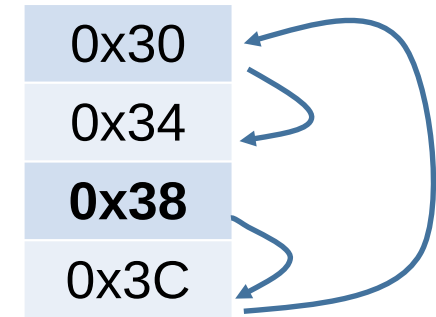
- Одиночная передача данных (**SINGLE**)
- Пакетная передача данных:
 - последовательный пакет (**INCR**): последовательное увеличение предыдущего адреса передачи
 - обёрнутый пакет (**WRAP**): если достигается граница адресов раньше окончания передачи, то адрес обнуляется

HBURST[2:0]	Тип передачи	Описание	Адреса (размер HSIZE[2:0] = 010, 32 бита, начальный адрес - 0x38)
000	SINGLE	Одиночная передача	0x38
001	INCR	Пакетная передача неопределённой длины	0x38, 0x3C, 0x40, 0x44, ...
010	WRAP4	Обёрнутая пакетная передача за 4 такта	0x38, 0x3C, 0x30, 0x34
011	INCR4	Последовательная пакетная передача за 4 такта	0x38, 0x3C, 0x40, 0x44
100	WRAP8	Обёрнутая пакетная передача за 8 тактов	0x38, 0x3C, 0x40, 0x44, 0x48, 0x4C, 0x30, 0x34
101	INCR8	Последовательная пакетная передача за 8 тактов	0x38, 0x3C, 0x40, 0x44, 0x48, 0x4C, 0x50, 0x54
110	WRAP16	Обёрнутая пакетная передача за 16 тактов	0x38, 0x3C, 0x40, 0x44, 0x48, 0x4C, 0x50, 0x54, 0x58, 0x5C, 0x60, 0x64, 0x68, 0x6C, 0x30, 0x34
111	INCR16	Последовательная пакетная передача за 16 тактов	0x38, 0x3C, 0x40, 0x44, 0x48, 0x4C, 0x50, 0x54, 0x58, 0x5C, 0x60, 0x64, 0x68, 0x6C, 0x70, 0x74

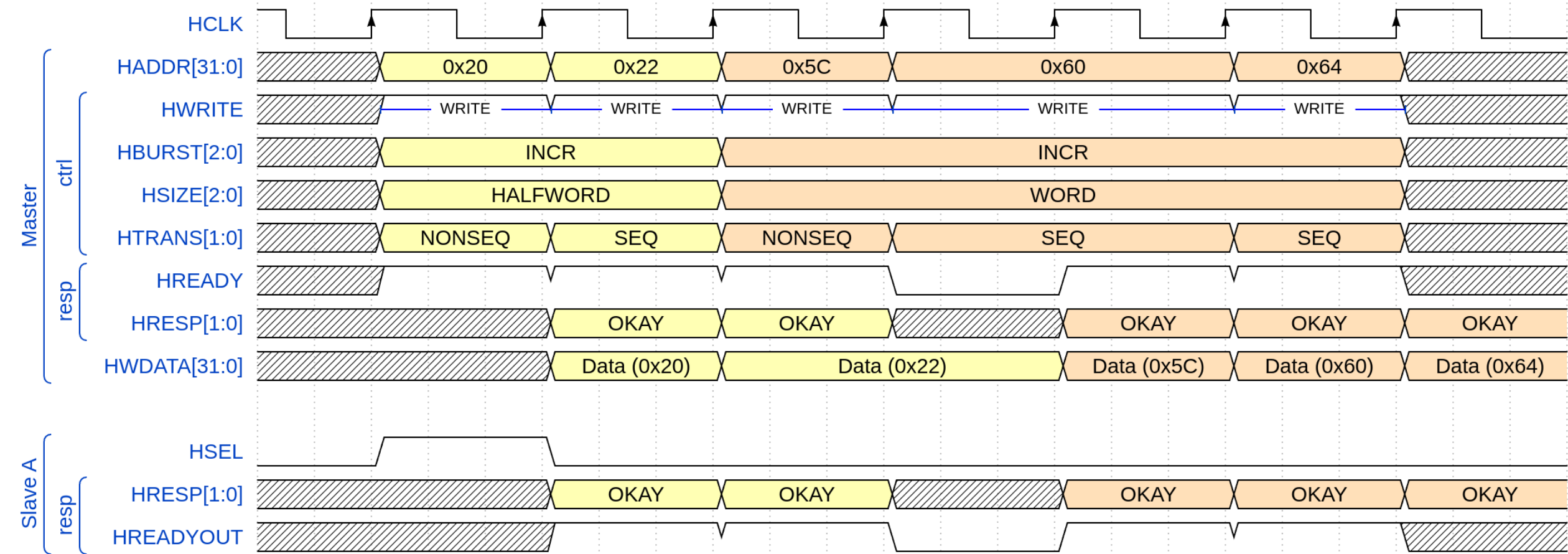
Пакетная передача данных (INCR4)



Пакетная передача данных (WRAP4)



Увеличивающийся пакет INCR



Особенности пакетной передачи

Размер пакета определяется HSIZE x HBURST

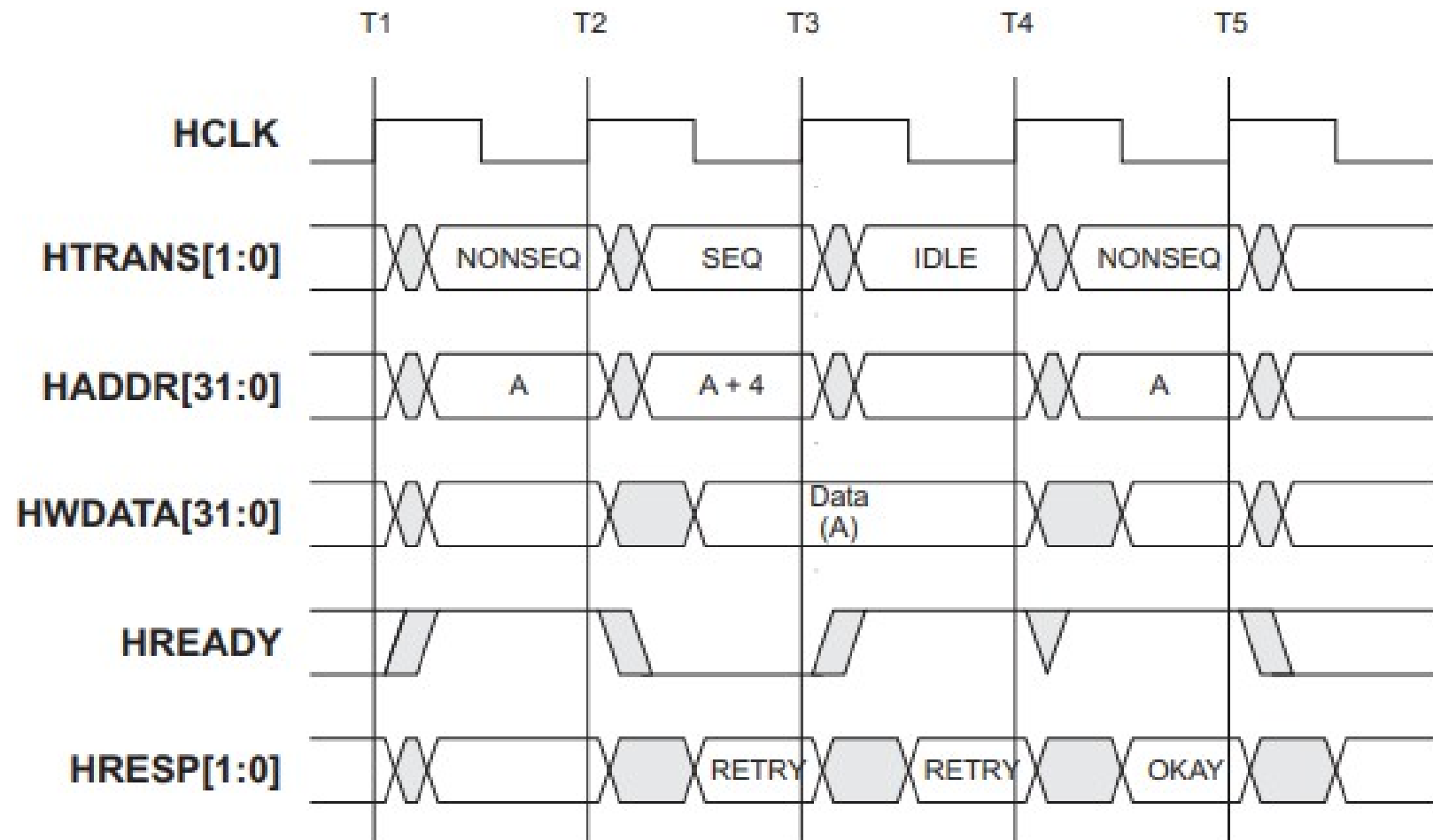
Пакетная передача данных не может превысить границу в 1 кБ

NONSEQ → SEQ → SEQ → 1 kB

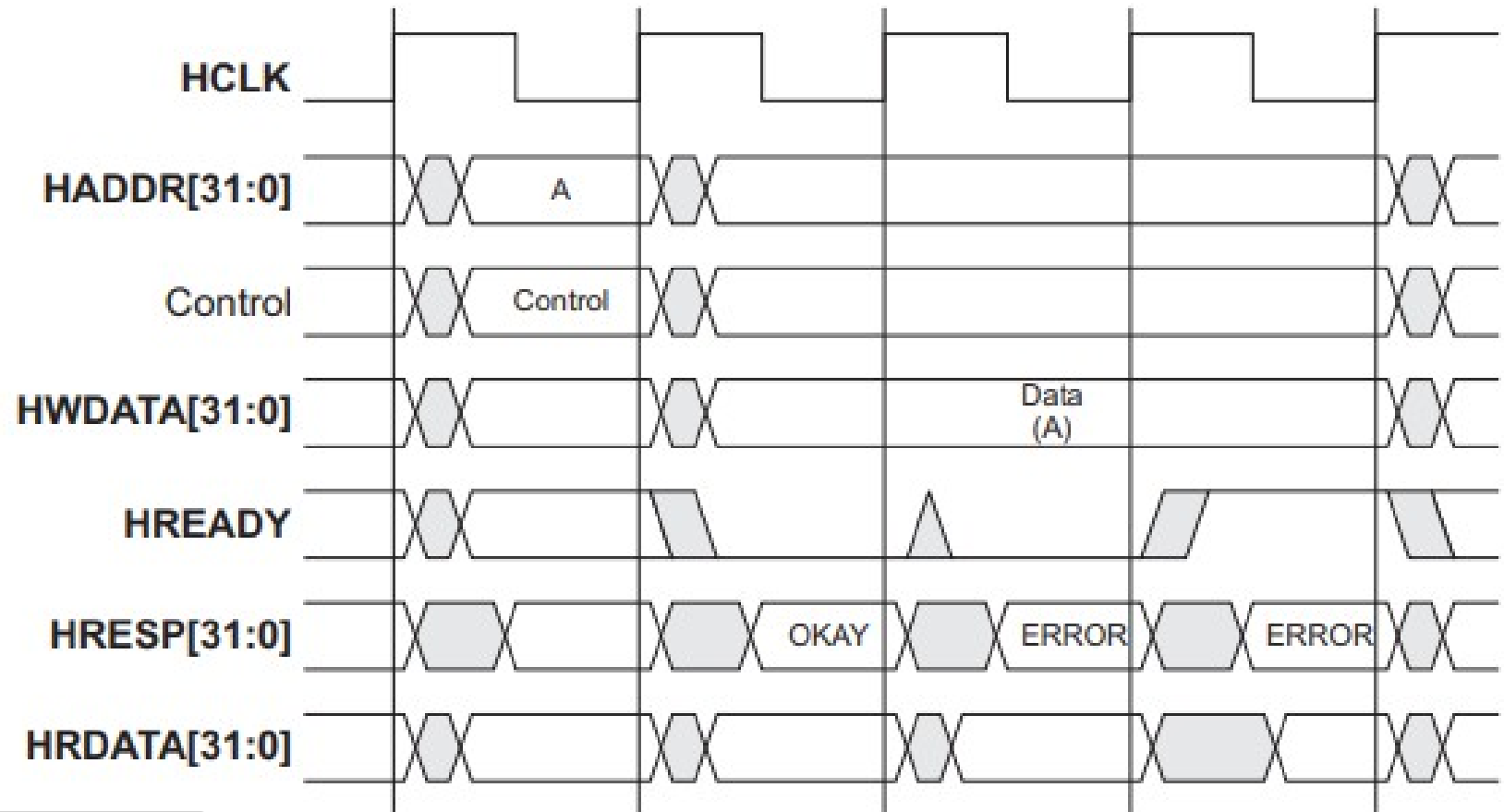
NONSEQ → SEQ → ...

Мастер не может начать пакетную передачу фиксированной длины, если будет пересечение границы

Передача с ожиданием



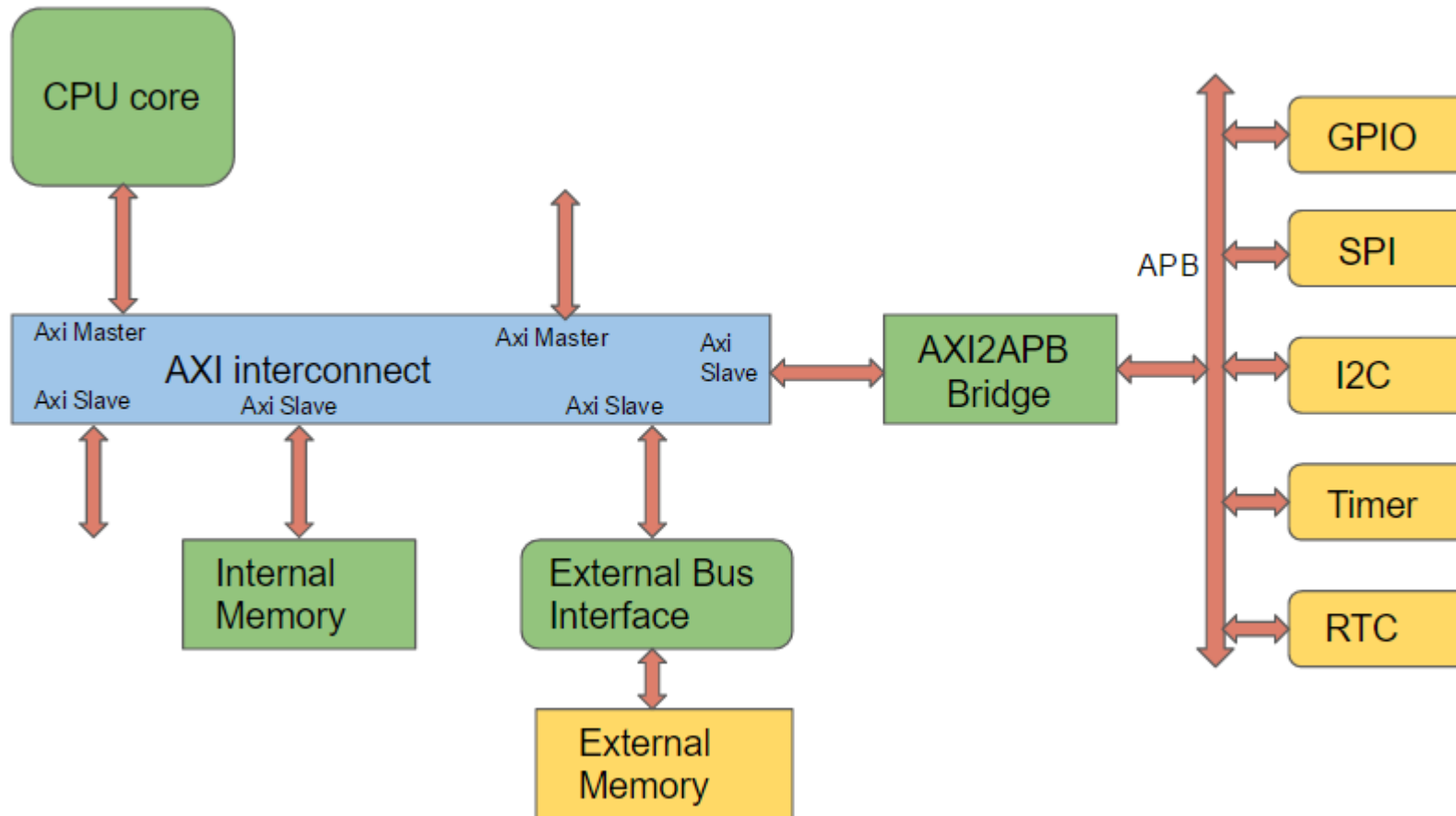
Передача с ошибкой



HRESP	HREADY	
	0	1
0	Transfer pending	Successful transfer completed
1	ERROR response, first cycle	ERROR response, second cycle

Протокол APB

Advanced **P**eripheral **B**us (усовершенствованная периферийная шина)



Мост AHB2APB

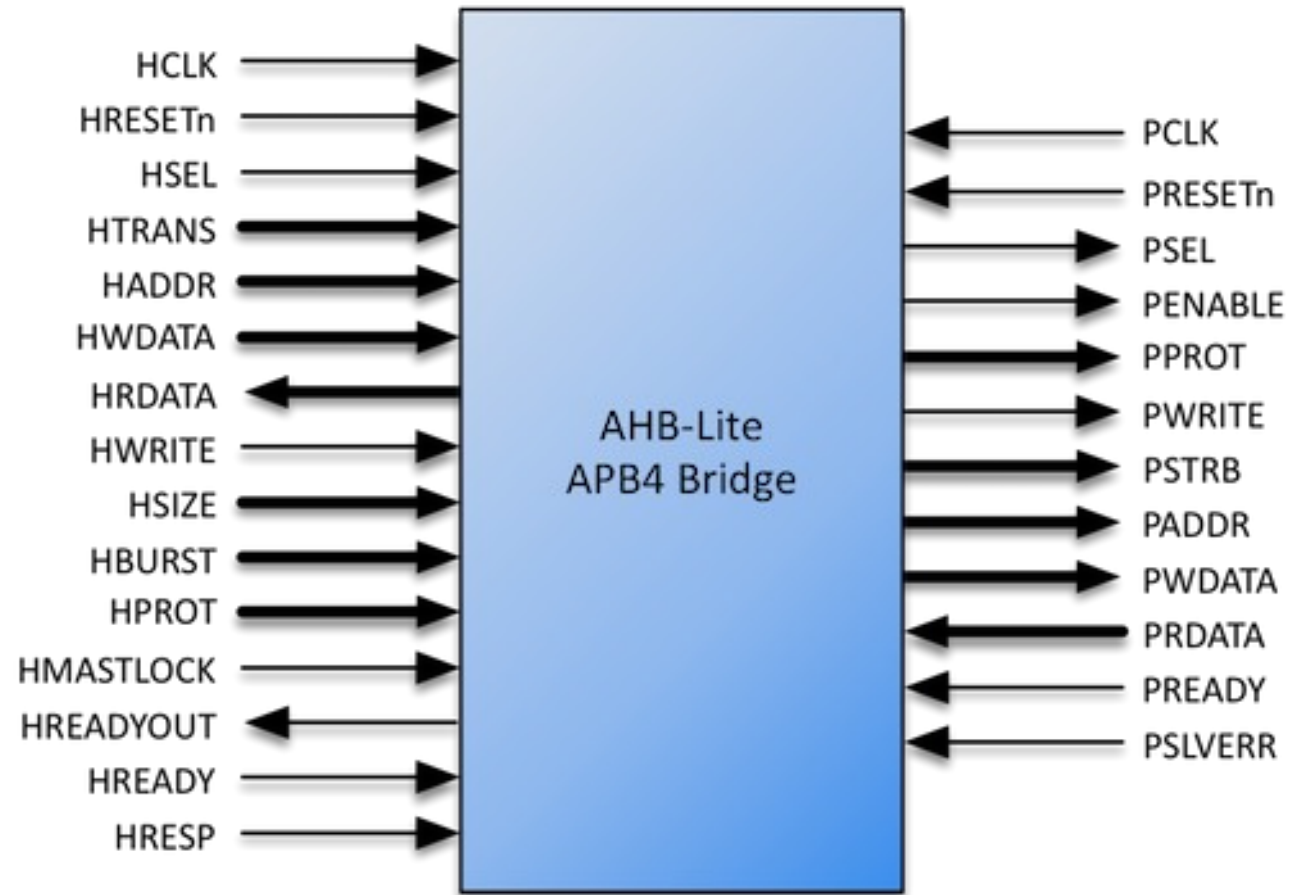
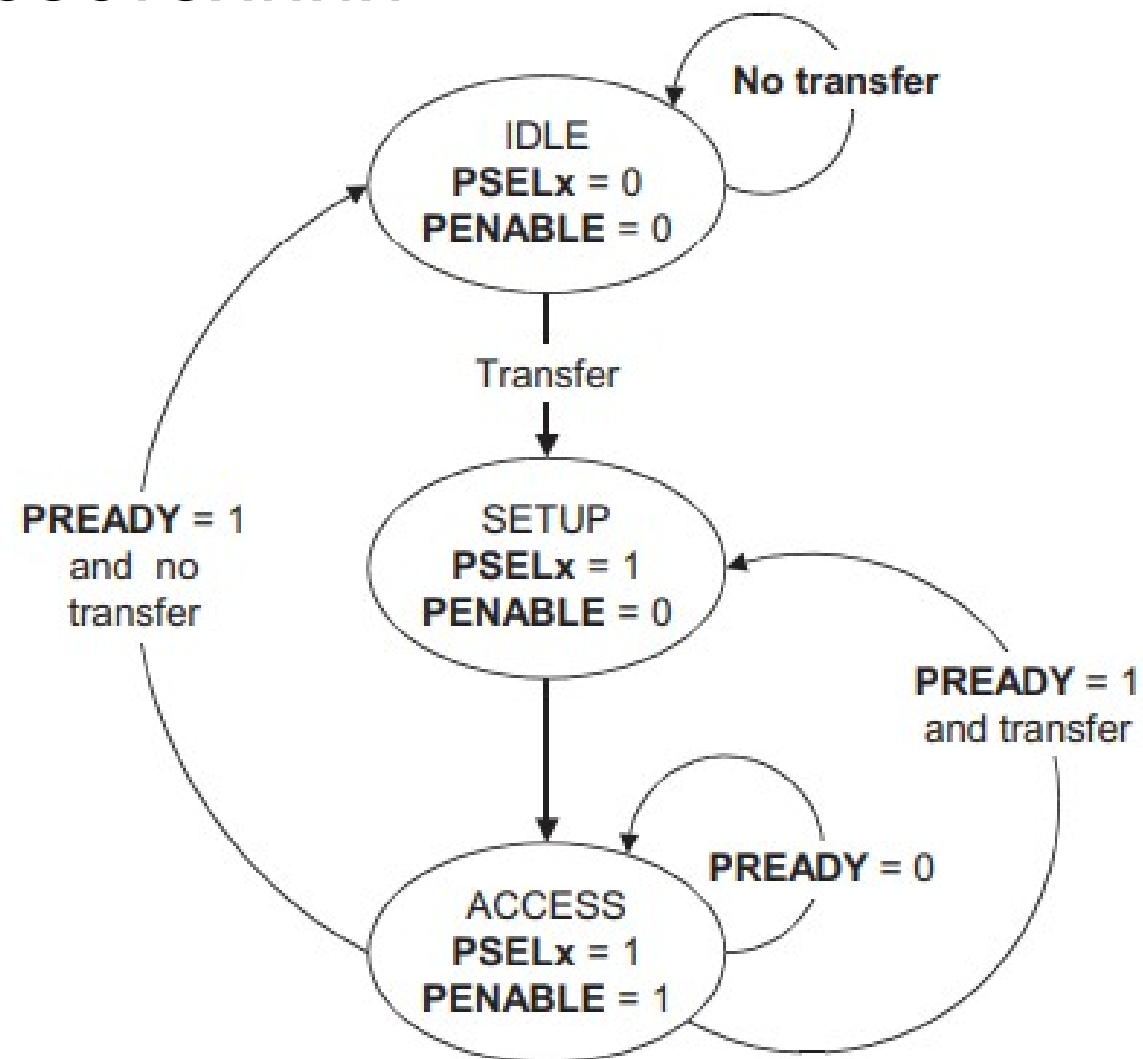


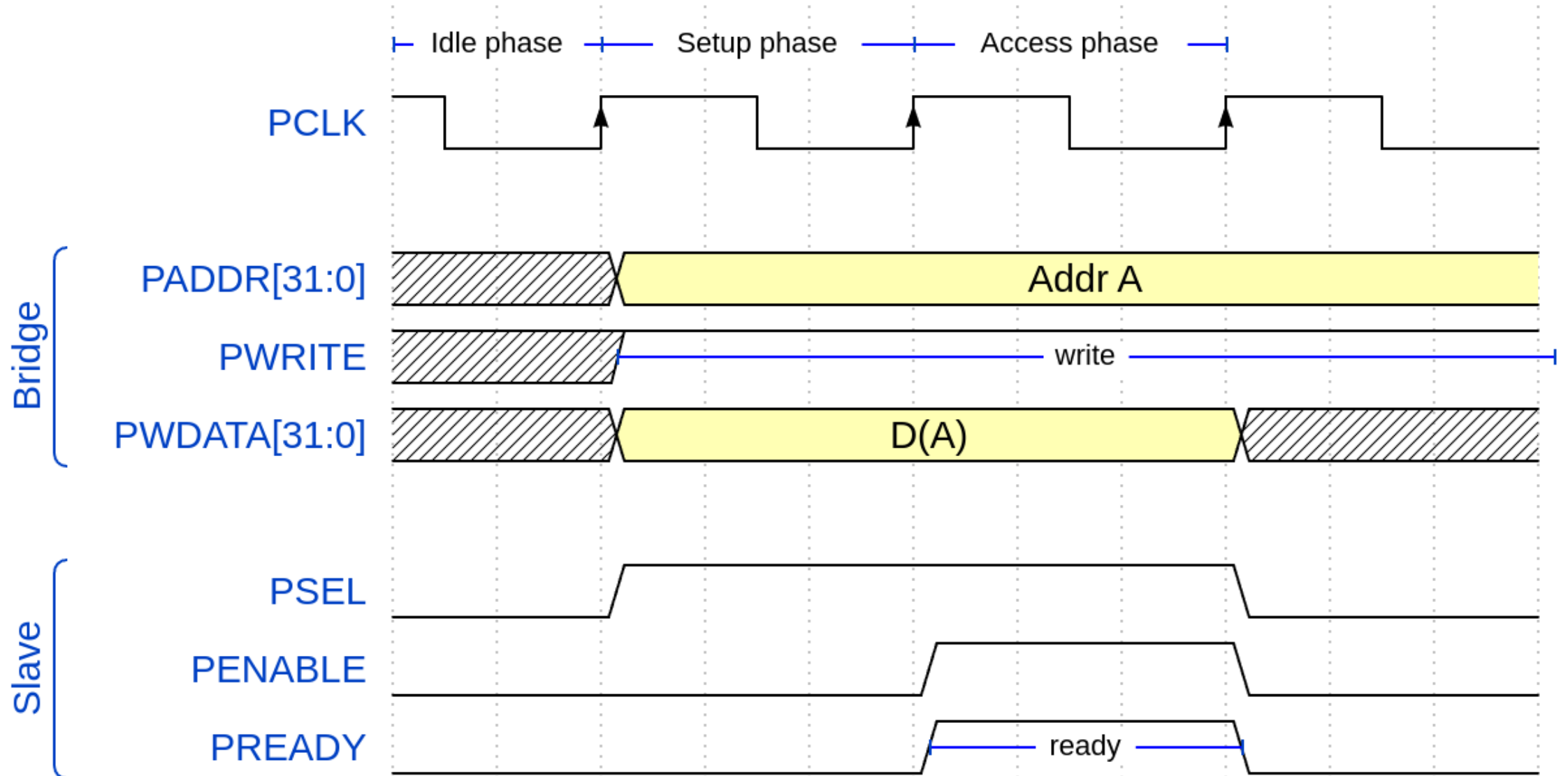
Диаграмма состояний



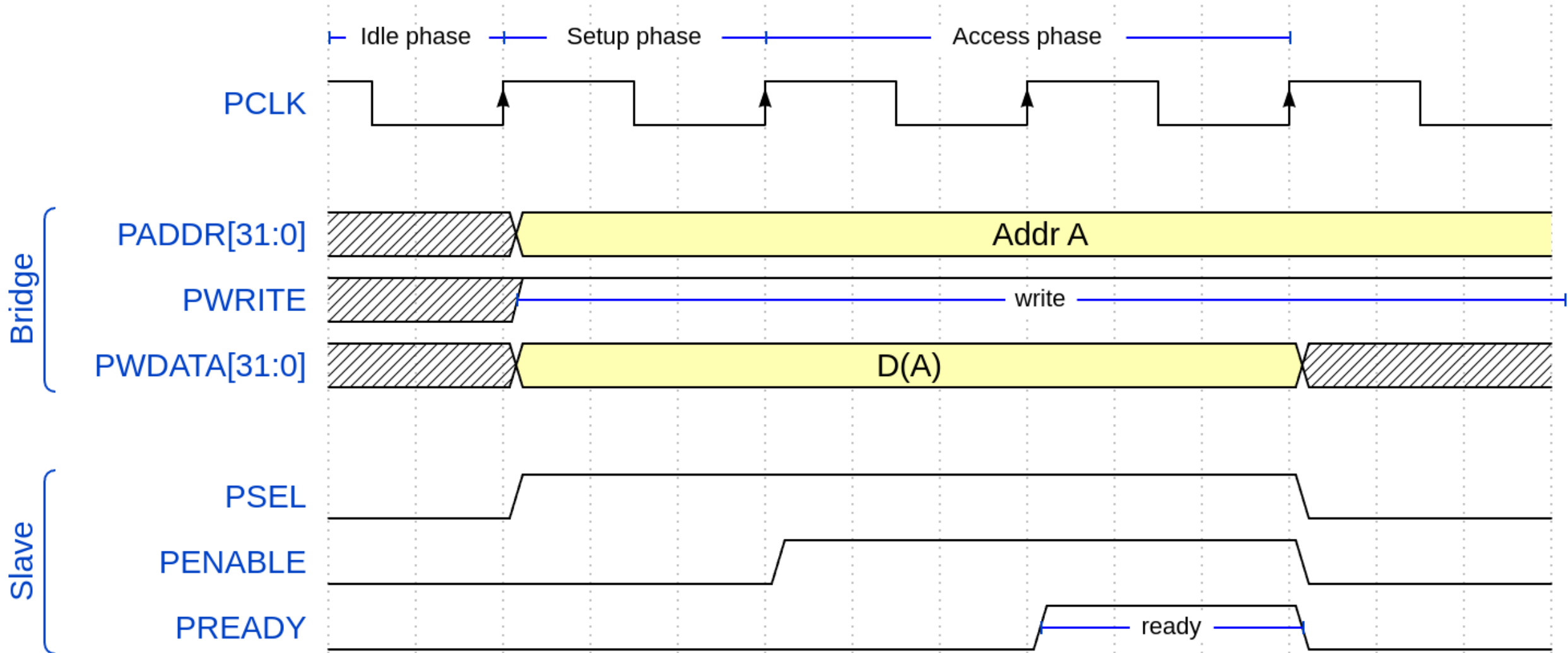
Сигналы APB

Сигнал	Источник	Описание
PCLK	Системный	Тактовый сигнал
PRESETn	Системный	Сброс
PADDR[31:0]	Мост	Адресная шина. Он может иметь ширину до 32 бит и управляется мостовым блоком периферийной шины.
PPROT	Мост	Тип защиты. Этот сигнал указывает на обычный, привилегированный или защищённый уровень транзакции и является ли транзакция доступом к данным или доступом к командам
PSELx	Мост	Выбор. Мостовой блок APB генерирует этот сигнал для каждого ведомого устройства периферийной шины. Это указывает на то, что выбрано ведомое устройство и требуется передача данных. Для каждого ведомого устройства имеется сигнал PSELx.
PENABLE	Мост	Включить. Этот сигнал указывает на второй и последующие циклы передачи APB. Активна 1 такт, после чего состояние возвращается либо в IDLE, либо в SETUP
PWRITE	Мост	Направление. Этот сигнал указывает на доступ APB для записи при ВЫСОКОМ уровне и доступ APB для чтения при НИЗКОМ уровне
PWDATA[31:0]	Мост	Запись данных. Эта шина управляется мостовым блоком периферийной шины во время циклов записи, когда значение PWRITE на ВЫСОКОМ уровне. Шина может иметь ширину до 32 бит.
PSTRB[3:0] APB4	Мост	Стробы записи. Этот сигнал указывает, какие байтовые каналы следует обновить во время передачи записи. Существует один строб записи для каждых восьми битов шины данных записи. Передача полностью корректна, если PSTRB[3:0] = 1111. Следовательно, PSTRB[n] соответствует PWDATA[(8n + 7):(8n)]. Стробы записи не должны быть активны во время передачи чтения.
PREADY	Slave	Готов. Ведомое устройство использует этот сигнал для разрешения передачи APB
PRDATA[31:0]	Slave	Чтение данных. Выбранное ведомое устройство управляет этой шиной во время циклов чтения, когда уровень PWRITE НИЗКИЙ. Эта шина может иметь ширину до 32 бит
PSLVERR APB4	Slave	Этот сигнал указывает на сбой передачи. Периферийные устройства APB не требуют этот пин. Если периферийное устройство не включает этот вывод, то соответствующий вход для моста APB привязан к НИЗКОМУ уровню.

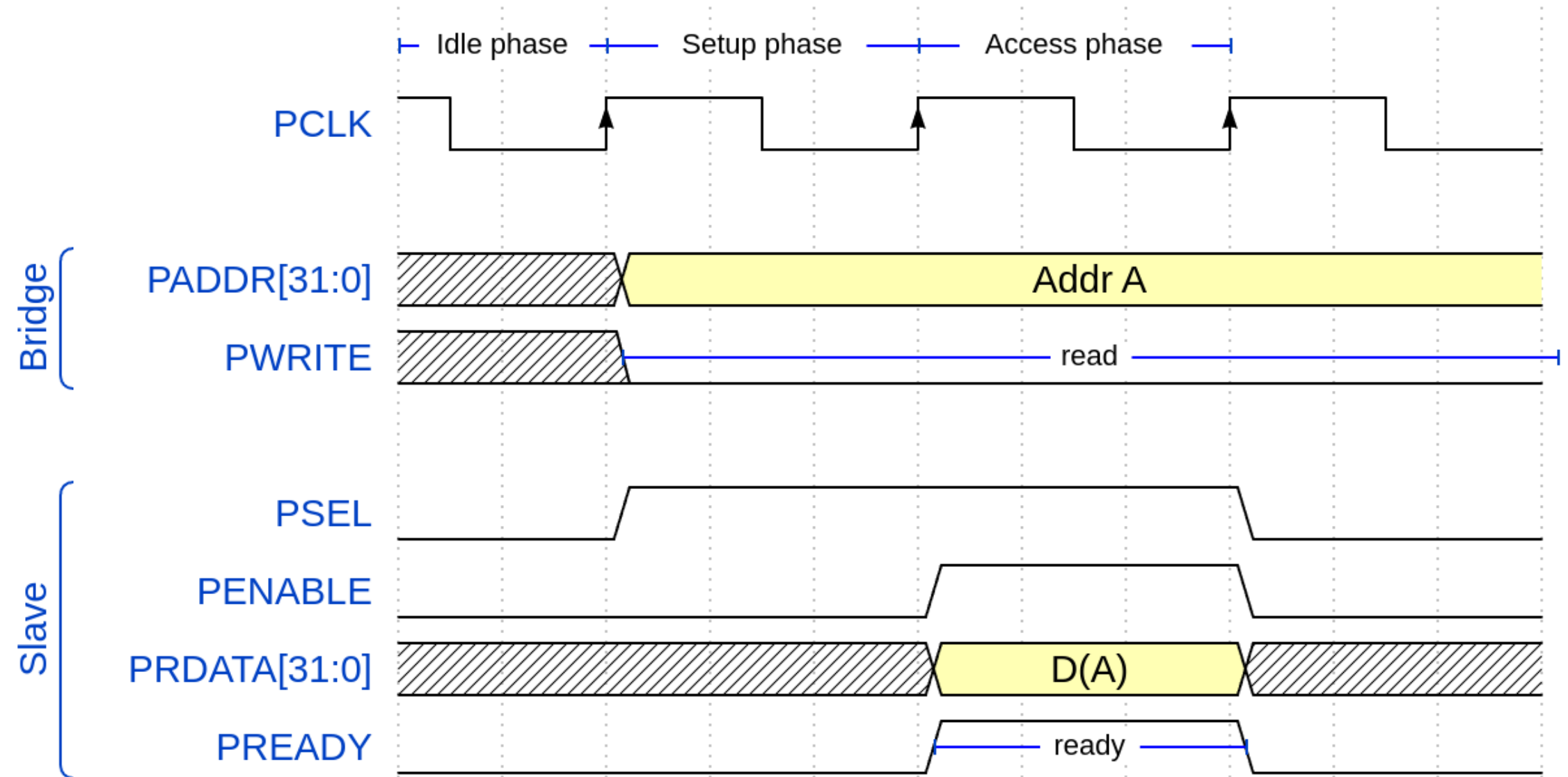
Запись данных



Запись данных с ожиданием



Чтение данных



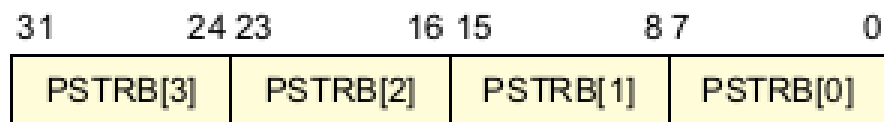
Запись стробов

Сигнал STROBE актуален в большинстве случаев только для записи данных. Полезен при передаче данных в регистры периферии (UART, SPI, GPIO и так далее).

Сигнал STROBE в режиме записи обеспечивает передачу разреженных данных по шине записи PWDATA. Регистр PSTRB[3:0] является маской байтов.

Каждый бит PSTRB соответствует одному байту данных записи. Если задано высокое значение, то данный байт содержит валидные данные, если 0, то байт игнорируется (сохраняет старое значение).

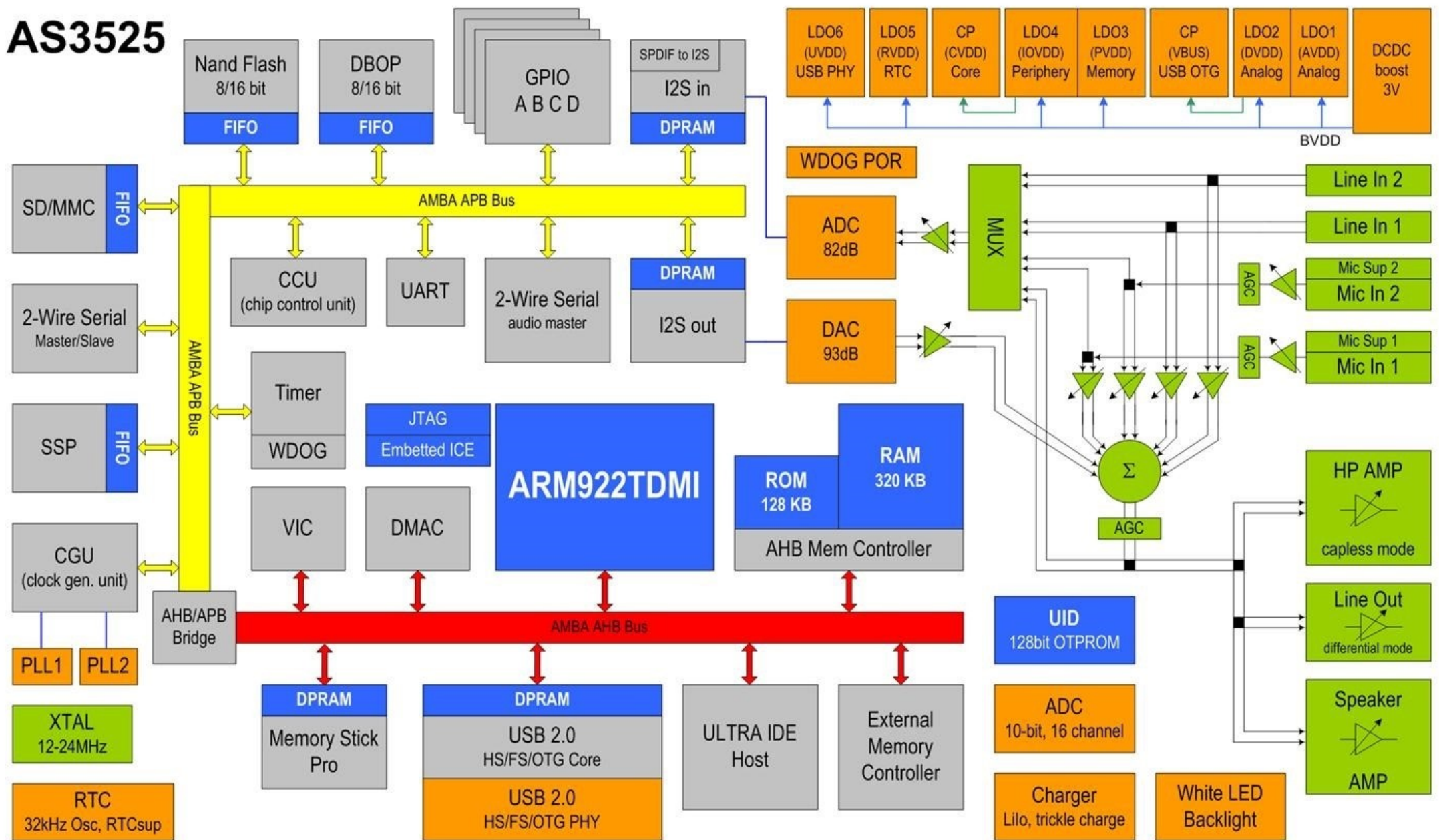
$$\text{PSTRB}[i] = \text{PWDATA}[(8i+7) : 8i]$$



Применение APB

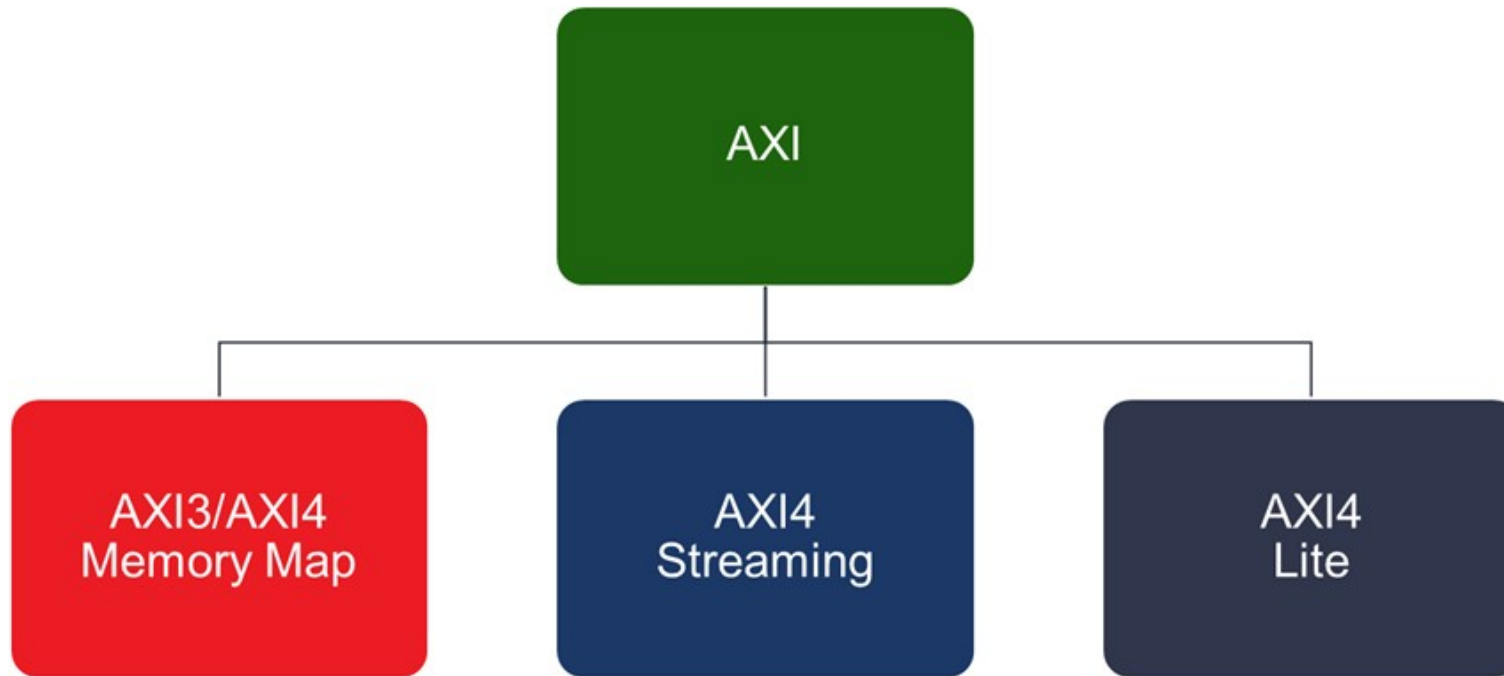
1. Передача данных внешним интерфейсам
2. Настройка внутренних регистров (например, в UART)

AS3525

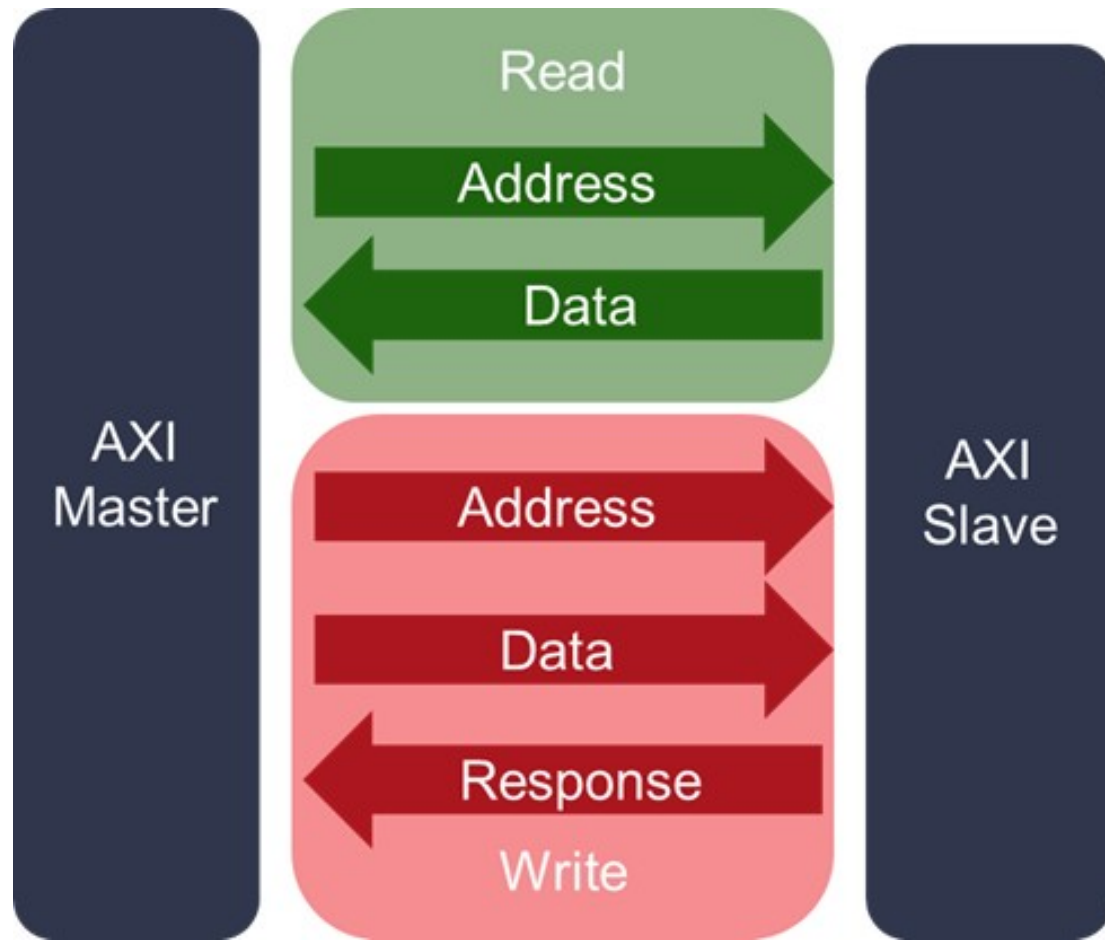


AXI-шина

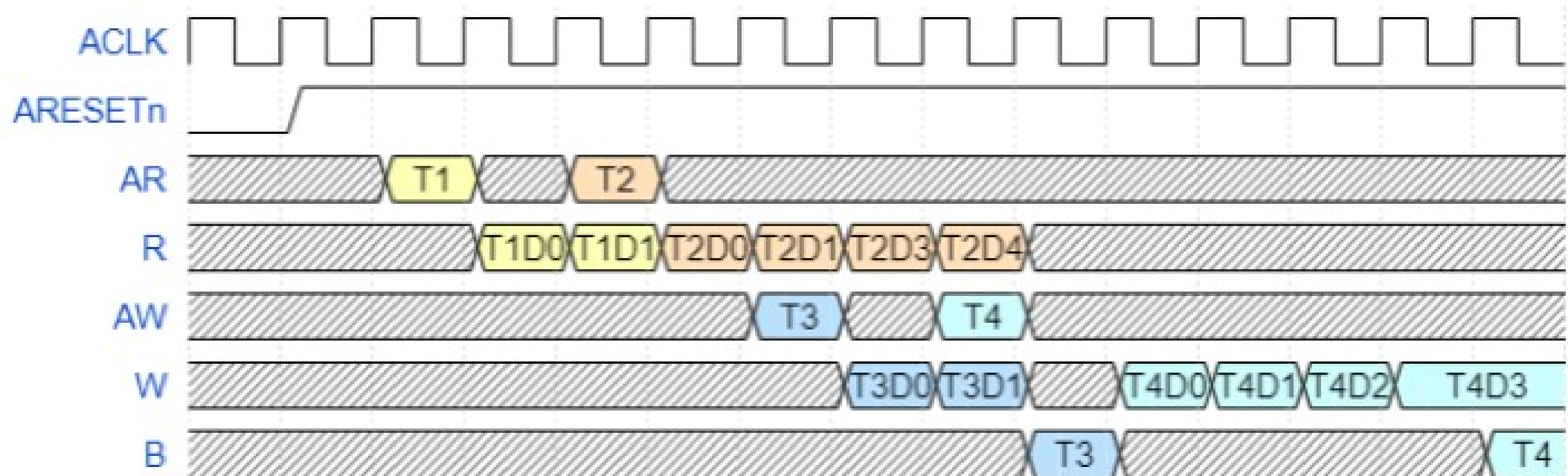
Advanced **eX**tensible **I**nterface - усовершенствованный расширяемый интерфейс



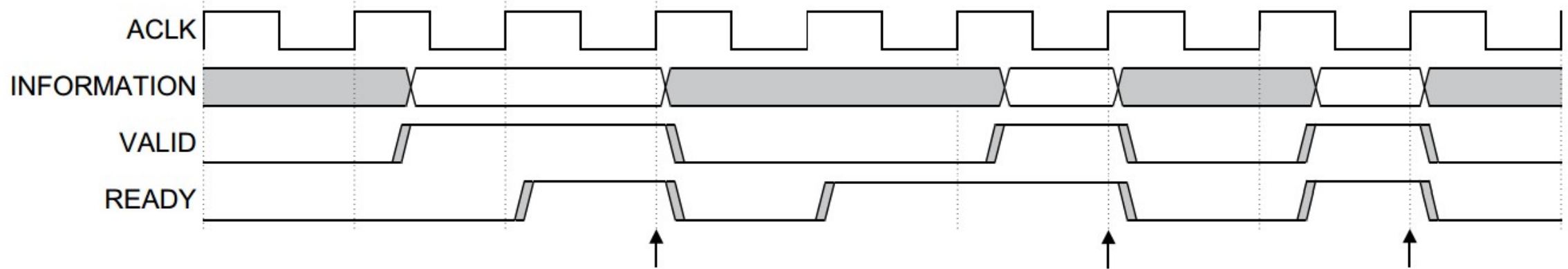
AXI4



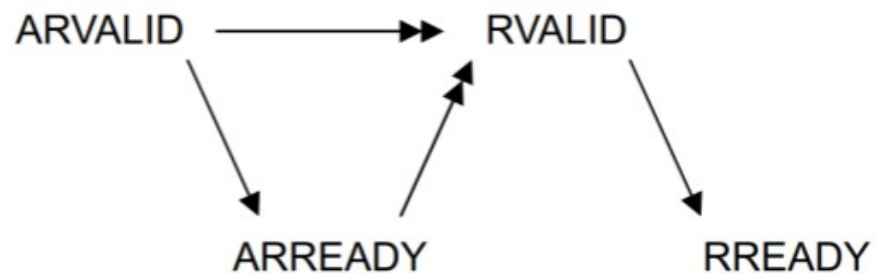
Множество транзакций



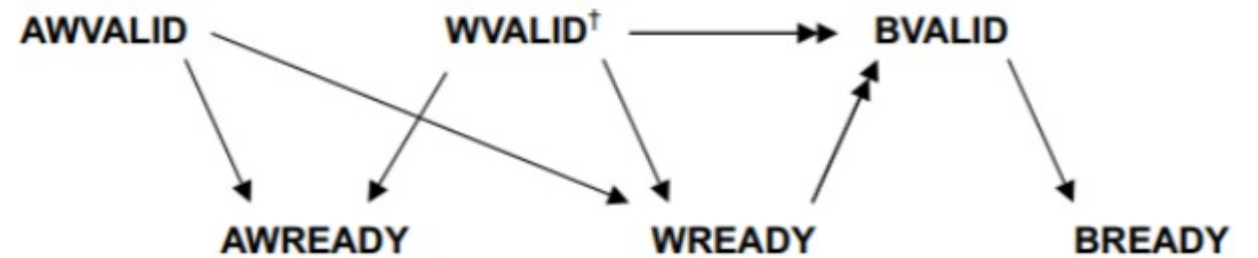
Сигналы «рукопожатия»



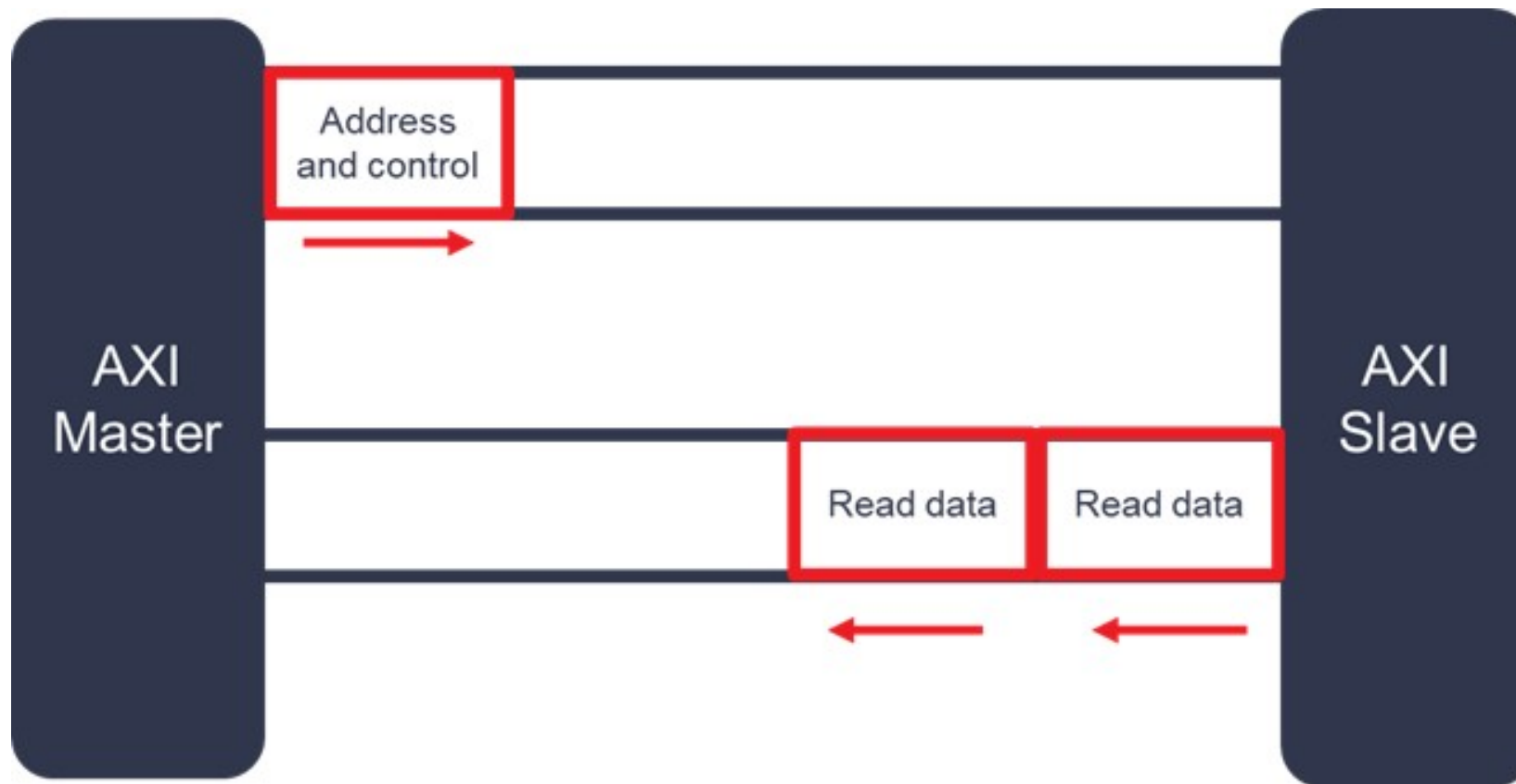
Зависимость для чтения



Зависимость для записи



Транзакция чтения из ведомого устройства



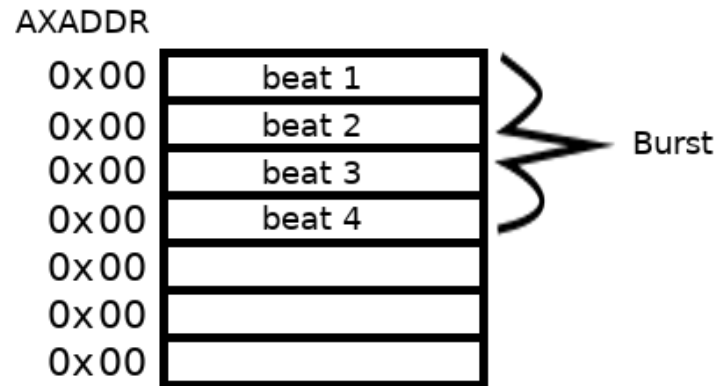
Пакетная передача данных

AXLEN[3:0]

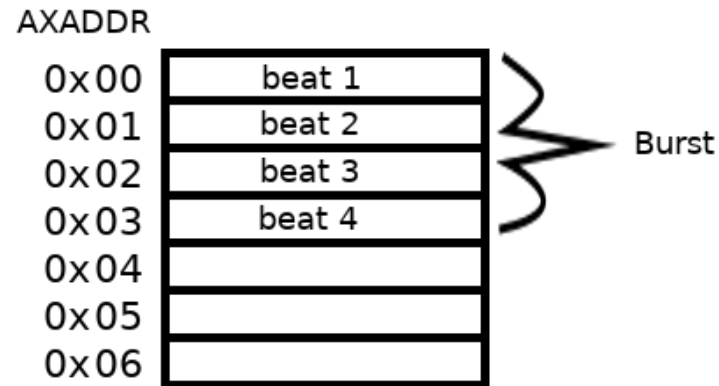
AXSIZE[2:0]

AXBURST[1:0]

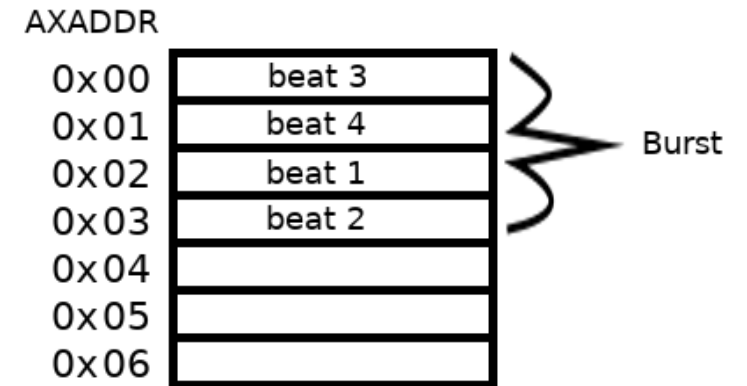
AXLEN = 3 (4 beats in each burst)
AXSIZE = 0 (1 byte in each beat)
AXBURST = 0 (fixed burst)



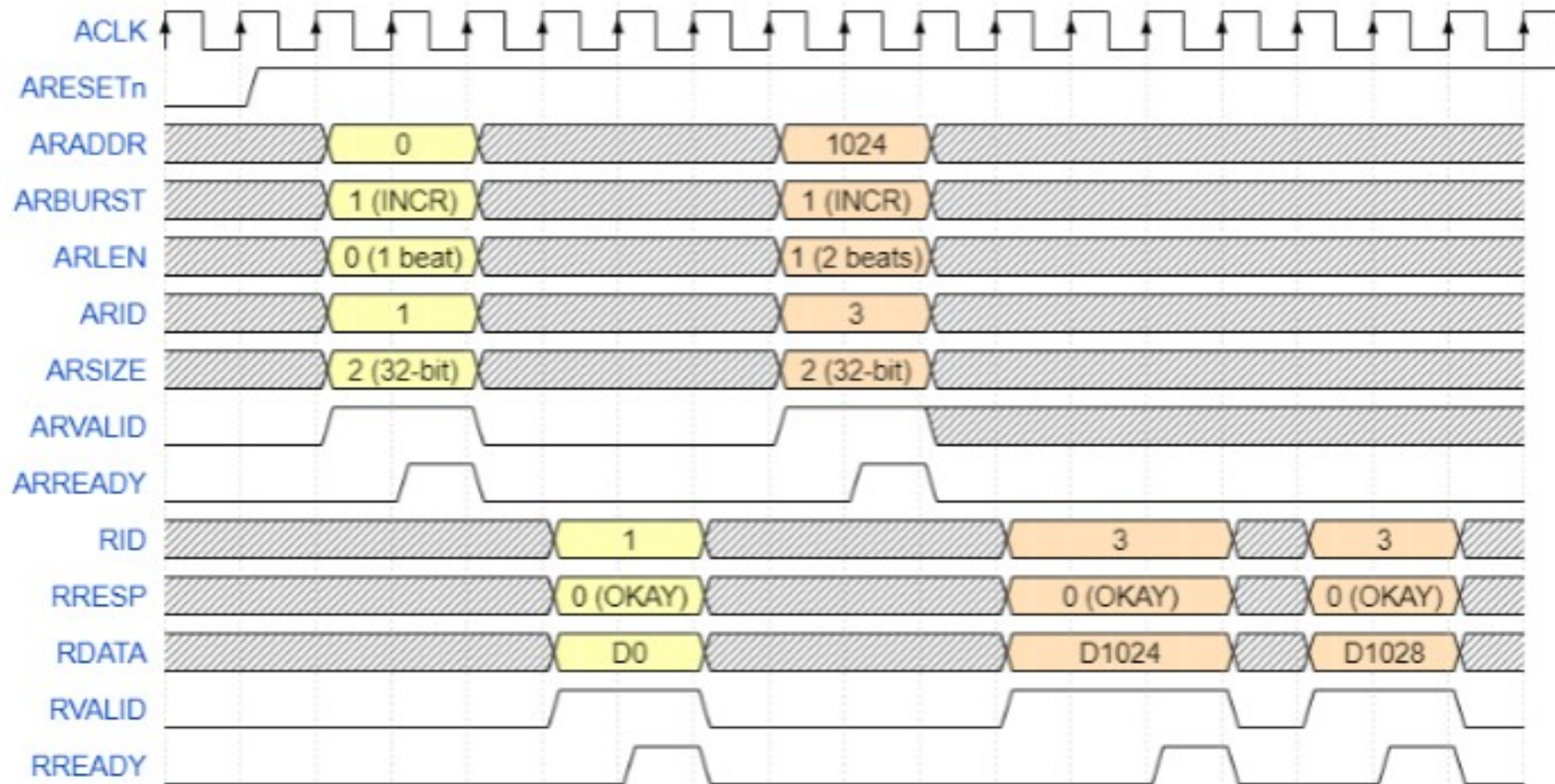
AXLEN = 3 (4 beats in each burst)
AXSIZE = 0 (1 byte in each beat)
AXBURST = 1 (incrementing burst)



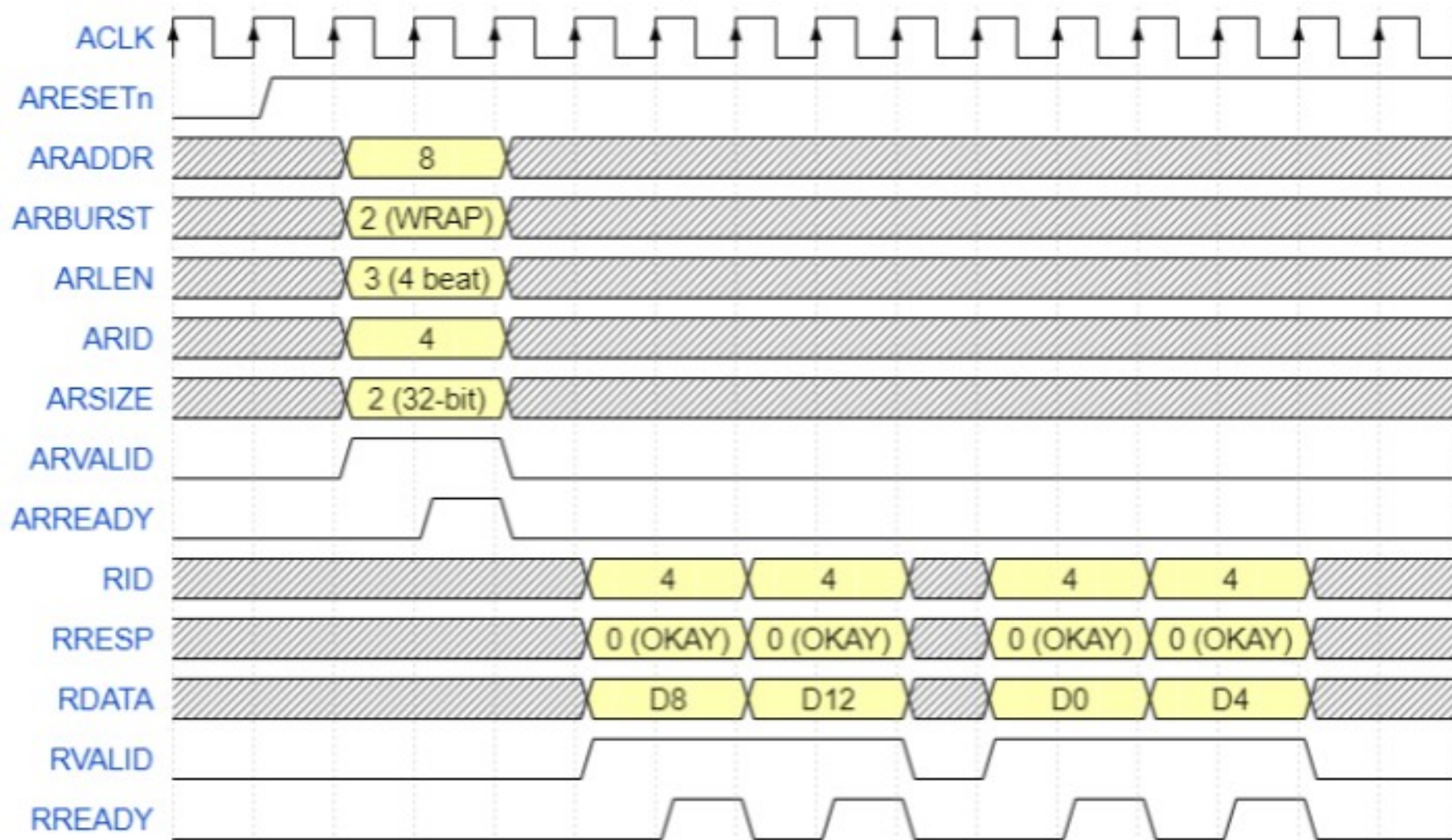
AXLEN = 3 (4 beats in each burst)
AXSIZE = 0 (1 byte in each beat)
AXBURST = 2 (wrapping burst)



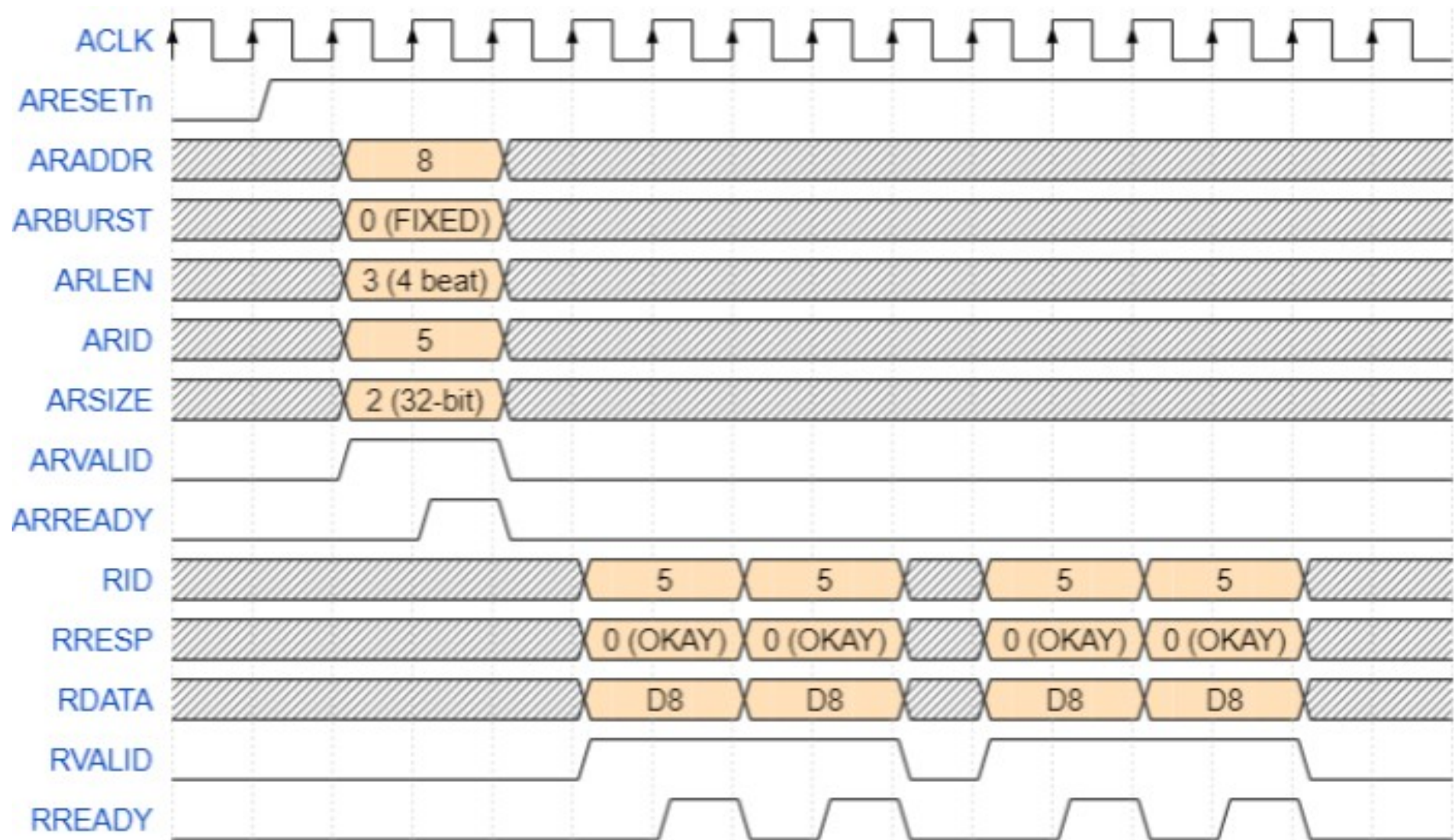
Чтение с INCR адресом



Чтение с WRAP адресом



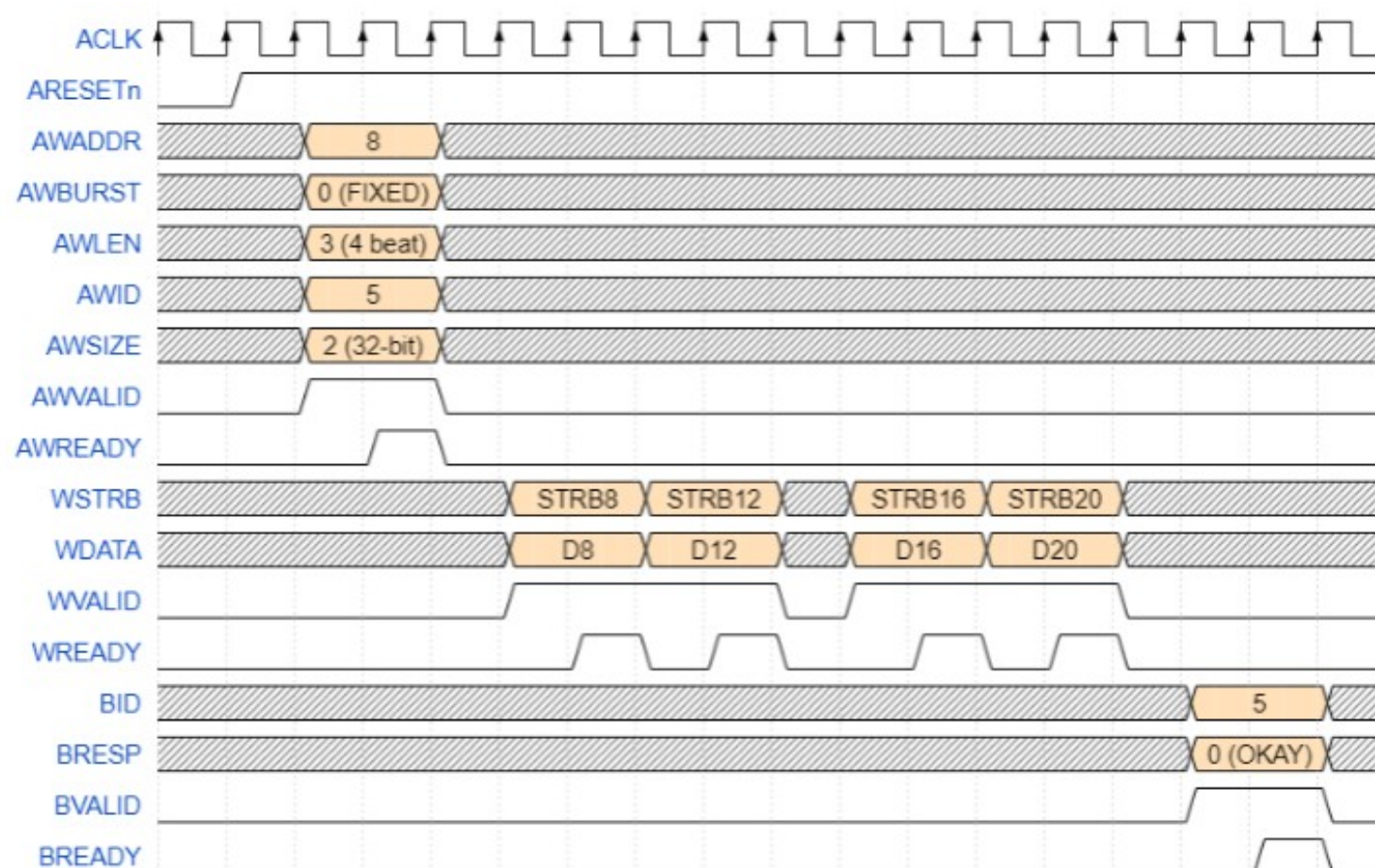
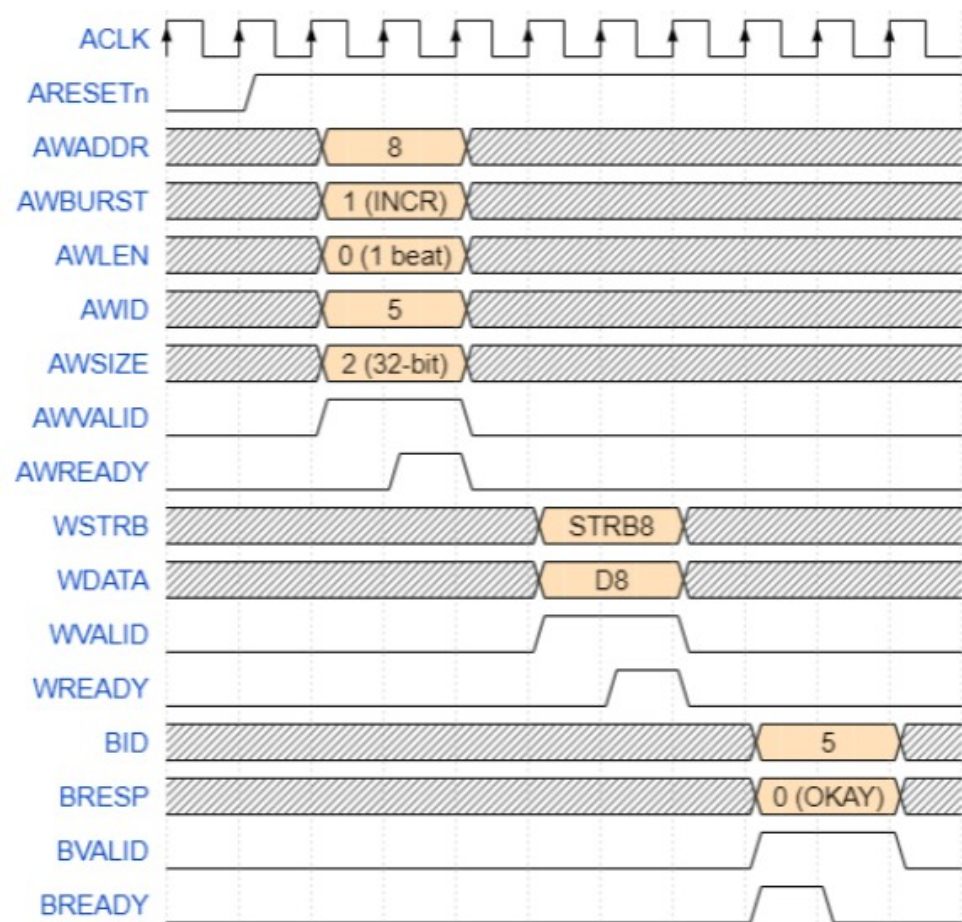
Чтение с FIXED адресом



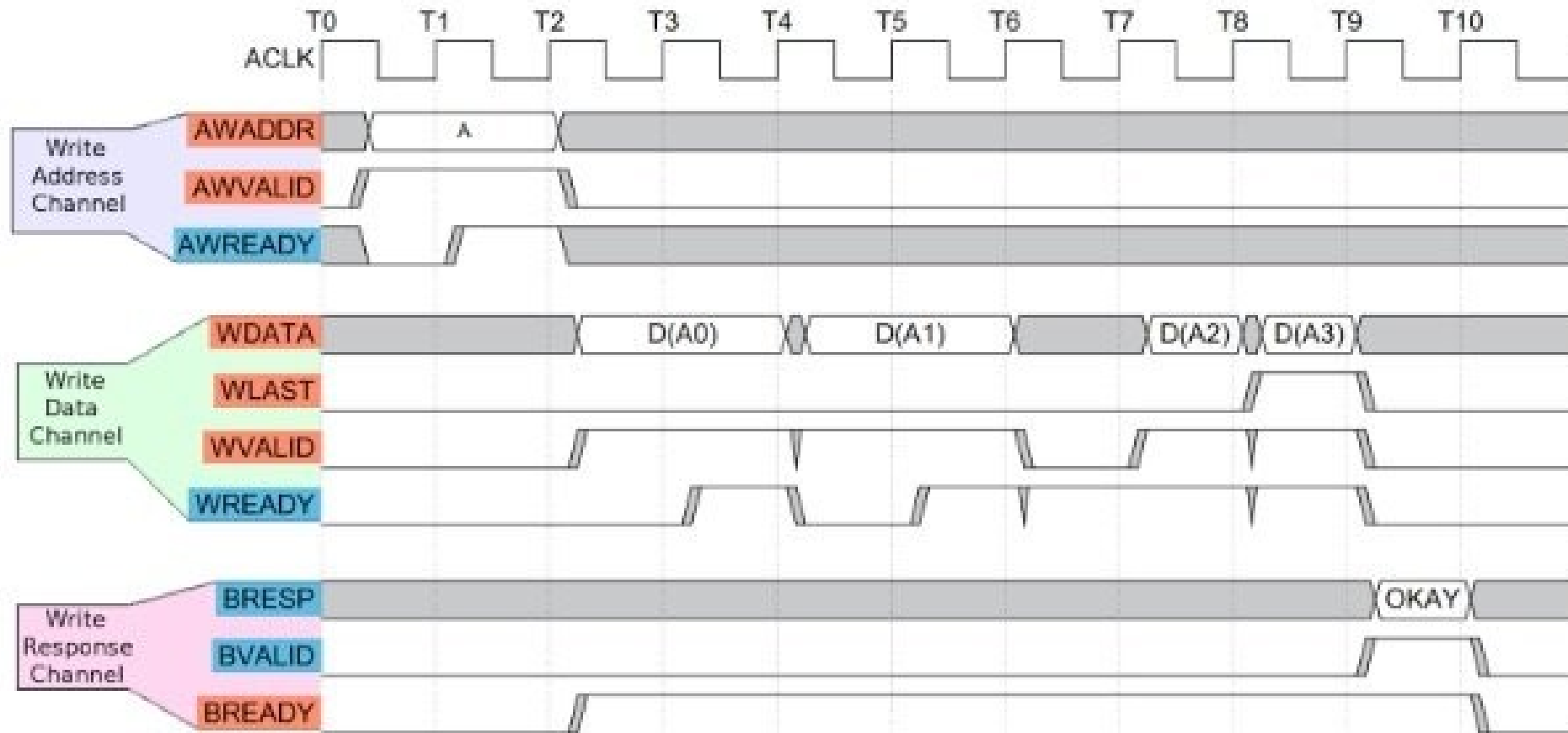
Транзакция записи в ведомое устройство



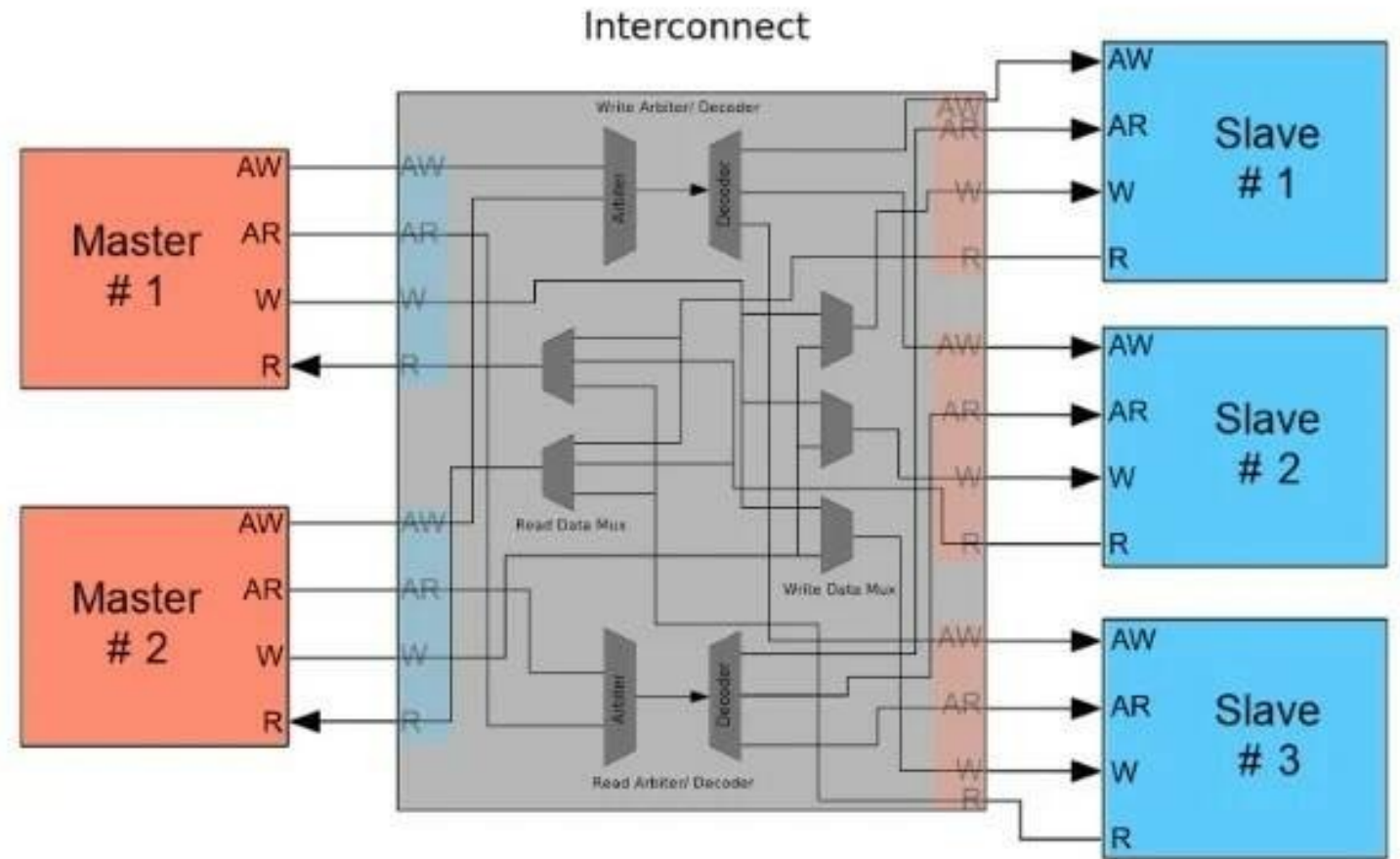
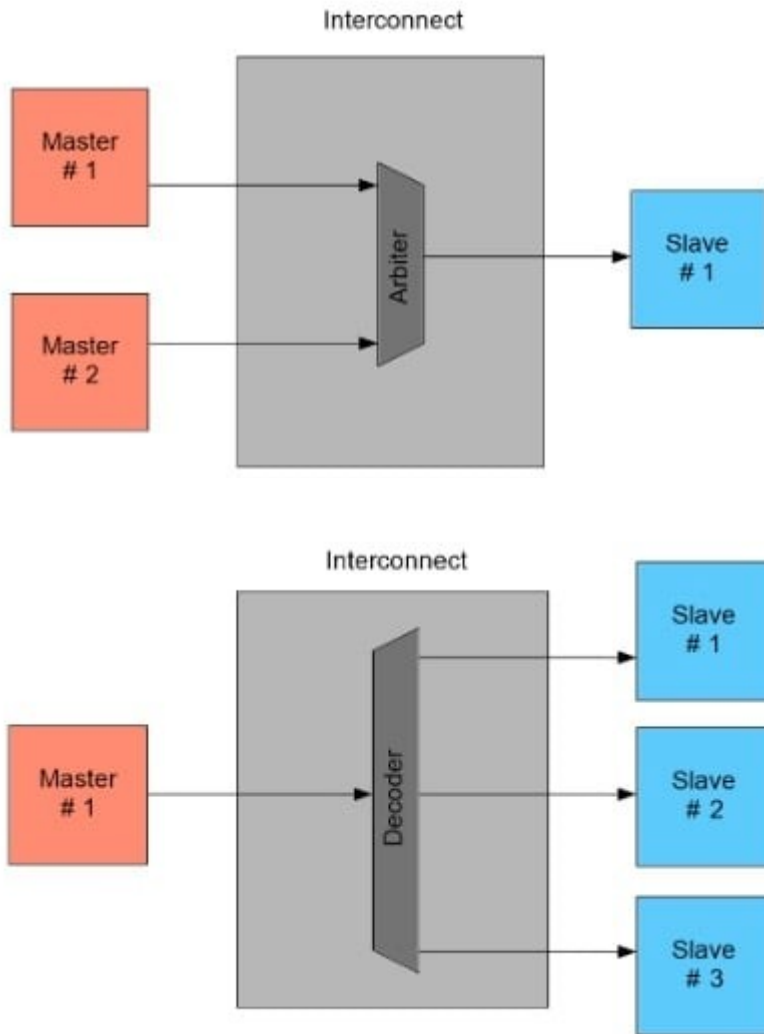
Простая запись



Запись с переменным количеством частей



Соединения



Сигналы чтения

Read Address Channel Signals

ARID[3:0] Read address ID	Master
-------------------------------------	--------

ARADDR[31:0] Read address	Master
-------------------------------------	--------

ARLEN[3:0] Burst length	Master
-----------------------------------	--------

ARSIZE[2:0] Burst size	Master
----------------------------------	--------

ARBURST[1:0] Burst type	Master
-----------------------------------	--------

ARLOCK[1:0] Lock type	Master
---------------------------------	--------

ARCACHE[3:0] Cache type	Master
-----------------------------------	--------

ARPROT[2:0] Protection type	Master
---------------------------------------	--------

ARVALID Read address valid	Master
-----------------------------------------	--------

ARREADY Read address ready	Slave
-----------------------------------------	-------

Global Signals

ACLK Global clock signal	Clock source
---------------------------------------	--------------

ARESETn Global reset signal	Reset source
------------------------------------------	--------------

Read Data Channel Signals

RID[3:0] Read ID tag	Slave
--------------------------------	-------

RDATA[31:0] Read data	Slave
---------------------------------	-------

RRESP[1:0] Read response	Slave
------------------------------------	-------

RLAST Read last	Slave
---------------------------	-------

RVALID Read valid	Slave
-----------------------------	-------

RREADY Read ready	Master
-----------------------------	--------

Сигналы записи

Write Address Channel Signals

AWID[3:0] Write address ID	Master
AWADDR[31:0] Write address	Master
AWLEN[3:0] Burst length	Master
AWSIZE[2:0] Burst size	Master
AWBURST[1:0] Burst type	Master
AWLOCK[1:0] Lock type	Master
AWCACHE[3:0] Cache type	Master
AWPROT[2:0] Protection type	Master
AWVALID Write address valid	Master
AWREADY Write address ready	Slave

Write Data Channel Signals

WID[3:0] Write ID tag	Master
WDATA[31:0] Write data	Master
WSTRB[3:0] Write strobes	Master
WLAST Write last	Master
WVALID Write valid	Master
WREADY Write ready	Slave
Write Response Channel Signals	
BID[3:0] Response ID	Slave
BRESP[1:0] Write response	Slave
BVALID Write response valid	Slave
BREADY Response ready	Master

AXI-Lite

Отсутствует работа с несколькими мастерами. Следовательно, нет необходимости в сигнале xID.

Глобальные сигналы	Канал адреса для записи	Канал записи данных	Канал ответа после записи	Канал адреса для чтения	Канал чтения данных
ACLK	AWVALID	WVALID	BVALID	ARVALID	RVALID
ARESETn	AWREADY	WREADY	BREADY	ARREADY	RREADY
-	AWADDR	WDATA	BRESP	ARADDR	RDATA
-	AWPROT	WSTRB	-	ARPROT	RRESP

MASTER	SLAVE	Взаимодействие
AXI	AXI	Полное
AXI	AXI4-Lite	Требуется отображение ID. Может потребоваться преобразование
AXI4-Lite	AXI	Полное
AXI4-Lite	AXI4-Lite	Полное

AXI4-Stream

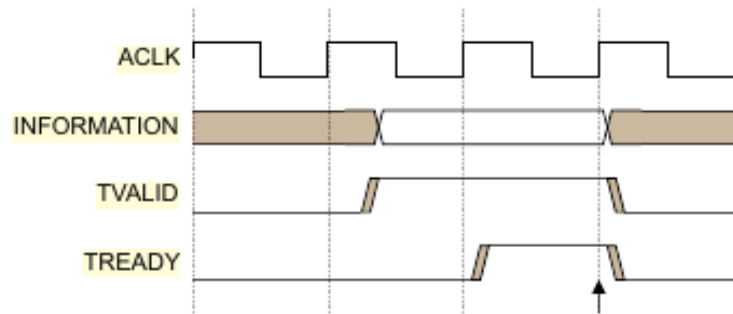
- Передача данных от одного ведущего к одному ведомому
 - Отсутствует адресация (только через TID, TDEST)
- Передача данных от нескольких ведущих к нескольким ведомым
- Поддерживает несколько потоков данных, использующих один и тот же набор общих проводов
 - создание универсального межсоединения с операциями увеличения и уменьшения размеров передаваемых данных

Сигналы интерфейса

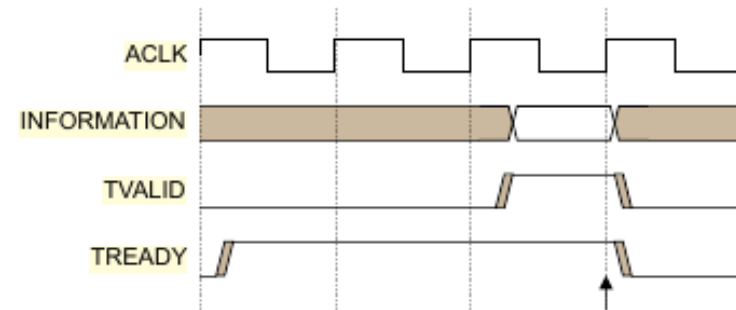
Сигнал	Источник	Описание
ACLK	Источник синхроимпульса	Глобальный синхросигнал. Все сигналы синхронизируются по переднему фронту ACLK
ARESETn	Источник сброса	Глобальный сигнал сброса
TVALID	Ведущий	Индицирует, что ведущее устройство осуществляет действительную (валидную) передачу
TREADY	Ведомый	Индицирует, что ведомое устройство может принять данные в текущем цикле
TDATA[(8n-1) : 0]	Ведущий	Передаваемые данные. Ширина данных – целое число байт
TSTRB[(n-1) : 0]	Ведущий	Определяет, какие байты в TDATA должны быть записаны
TKEEP[(n-1) : 0]	Ведущий	Определяет, какие байты валидны в сигнале TDATA даже, если TVALID = 1. В большинстве случаев идентичен TSTRB, но встречается чаще
TLAST	Ведущий	Индицирует окончание пакета
TID[(i-1) : 0]	Ведущий	Идентификатор потока данных, указывает на различные потоки
TDEST[(d-1) : 0]	Ведущий	Предоставляет информацию о маршруте для потока данных
TUSER[(u-1) : 0]	Ведущий	Дополнительная информация, определённая пользователем, которая может передаваться вместе с потоком данных

Протокол «рукопожатия»

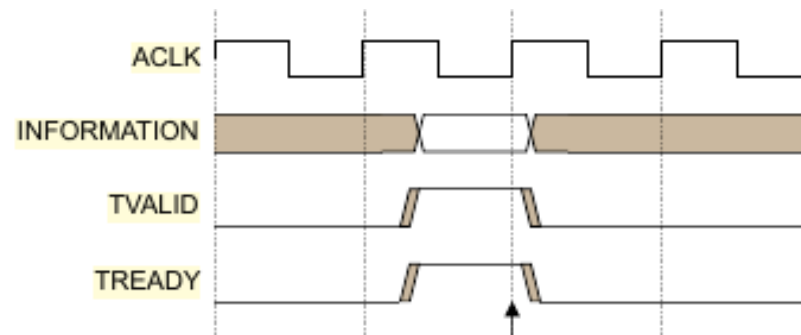
TVALID раньше TREADY



TVALID после TREADY



TVALID вместе с TREADY



Сравнение АНВ и АХІ

Параметр сравнения	АНВ	АХІ
Расшифровка	Advanced High-performance Bus	Advanced eXtensible Interface
Каналы	Одноканальная шина	Многоканальная шина
Адресное пространство, предназначенное для одного ведомого устройства	1 КБ	4 КБ
Длина пакета	1, 2, 6, 16 (за исключением INCR)	1-16 для АХІ3 1-256 для АХІ4
Режим работы	Полудуплексный	Полнодуплексный