

1. Sea una CPU en la que el CPI promedio es igual a 1, con un tiempo de ciclo de 10,1ns. Se decide implementar un pipeline en la CPU, de manera de poder bajar el tiempo de ciclo manteniendo el CPI en 1. Para un pipeline de n etapas, el tiempo de ciclo se calcula en

$$Tck_n = \frac{Tck_1}{n} + n * k$$

donde $k = 0,1ns$. Determine el valor óptimo para n . ¿Qué speedup se consigue?

2. Sea una computadora con un procesador que corre con una frecuencia de clock de 1,1 GHz y tiene un CPI_{ex} de 0,7. Las únicas instrucciones que acceden a memoria son las lecturas (20% de las instrucciones) y las escrituras (5% de las instrucciones).

El sistema de memoria de la computadora está compuesto de un cache L1 split con un tiempo de hit que no retrasa al procesador. Tanto el cache de instrucciones como el de datos son de mapeo directo y tienen un tamaño de 32 KB cada uno. El cache de instrucciones tiene un miss rate de 2% y bloques de 32 bytes, y el cache de datos es WT con un miss rate de 5% y bloques de 16 bytes. Hay un buffer de escritura en el cache de datos que elimina los stalls para el 95% de las escrituras.

El cache L2 es WB, unificado, tiene bloques de 64 bytes y un tiempo de hit de 15ns. Está conectado al cache L1 por un bus de 128 bits que tiene una frecuencia de 266 MHz y puede transmitir una palabra de 128 bits por ciclo. De todas las referencias a memoria enviadas a la cache L2, ésta puede satisfacer el 80% sin acceder a memoria principal. De los bloques reemplazados, el 50% está *dirty*. La memoria principal tiene un bus de 128 bits y una latencia de 60ns, después de la cual un número arbitrario de words de 128 bits inmediatamente subsiguientes puede ser transmitido a una tasa de una palabra de 128 bits por ciclo del bus, que tiene una frecuencia de 133 MHz.

Calcular:

- a) El tiempo promedio de fetch de una instrucción.
 - b) El tiempo promedio de acceso a un dato para lectura.
 - c) El tiempo promedio de acceso a un dato para escritura.
 - d) El CPI promedio.
 - e) Si cambio la CPU por otra que es idéntica pero corre a 2,1 GHz en vez de 1,1, qué speedup se obtiene. Asumir que el cache L1 sigue sin tener tiempo de hit apreciable, y que el resto del sistema de memoria tiene los mismos tiempos absolutos.
3. Sea el siguiente programa en C:

```
int factorial(int n){  
    if(n<=1)  
        return 1;  
    else return n * factorial (n-1)  
}
```

Asumiendo que el programa corre en una máquina MIPS32, que el punto de entrada de la función es la dirección 0xbeef0000, el stack pointer y el global pointer al llamarla valen 0xdead0000 y 0xbebe0000 respectivamente, y se la llama con un valor de $n = 5$:

- a) Escribir una versión en assembly MIPS32 del programa, respetando la ABI dada en clase.
- b) Dar un diagrama completo del stack al ejecutar el caso base, desde la función llamadora hasta la invocación actual, con los valores de las direcciones y donde sea posible de los contenidos.