

1. Se tiene una computadora MIPS32 en la que el CPI para los diferentes tipos de instrucción es la siguiente:

Tipo	Cantidad de ciclos
Aritmético lógica	1
Carga o almacenamiento	1,9
Salto condicional	2
Salto incondicional	1,2

En esta computadora, tenemos el siguiente programa:

```
int trasponer(int const *a, int *b, size_t filas, size_t columnas)
{
    register int i, j;

    for (i=0;i<filas;i++)
        for(j=0;j<columnas;j++)
            *(b+i+columnas*j)=*(a+j+filas*i);
    return (0);
}
```

Los valores de *a* y *b* son 0xdeb1000 y 0xdeb5000 respectivamente. Asumiendo que el tamaño de la matriz de entrada es 32x32, que tenemos una cache L1 split cuya L1D es 2WSA de 1KB, con bloques de 64 bytes, con Write Allocate y Write Back, y que la penalidad de miss es 100 ciclos de reloj, mientras que si no hubiera cache los accesos a memoria tardarían 90 ciclos de reloj.

- a) Hacer un diagrama del stack de la función
  - b) Dar una versión en assembly MIPS32 de la función
  - c) Cuál es el miss rate para el cache de datos?
  - d) Cuál es el speedup con respecto a no tener cache?
  - e) Cuál es el CPI promedio del loop de este programa?
2. Impacto de las jerarquías de memoria en el desempeño de los sistemas. Asuma una máquina MIPS con memoria "mágica" (los accesos a memoria tardan 1 ciclo), sin memoria virtual, en la que el CPI promedio es 3. En las siguientes preguntas, veremos qué pasa con el CPI a medida que hacemos el sistema de memoria más realista, aunque sólo para la memoria de datos: la memoria de instrucciones seguirá siendo "mágica".
    - a) Como primer paso, reemplazamos la memoria mágica de datos por un cache L1 y memoria real. Los tiempos de acceso del cache L1 y la memoria real son 1 ciclo y 100 ciclos respectivamente. Si la tasa de miss del cache L1 es de 25 por cada 1000 accesos, cuál será el CPI de esta nueva máquina? Asuma que el sistema sólo accede a la memoria real cuando hay un cache miss y que el pipeline se detiene hasta resolver el miss.
    - b) Al sistema del punto a) le agregamos soporte para memoria virtual. En este sistema, la cache L1 pasa a ser virtualmente indexada y físicamente taggeada. También se agrega un TLB al sistema; las búsquedas en el TLB se hacen en paralelo con los accesos a la cache. Cuando hay un miss en el TLB, el sistema hace la traducción a través de una tabla de páginas jerárquica de 2 niveles y a continuación almacena el resultado en el TLB. Asuma que el TLB falla 10 veces cada 1000 instrucciones, 40 % de los accesos a una tabla de páginas de nivel 1 se encuentran en el cache, 20 % de los accesos a la tabla de páginas de nivel 2 se encuentran en el cache, todas las tablas de páginas y los datos en sí se encuentran en memoria física. Cuál será el CPI de este sistema?
    - c) Cuánto pasa a valer el CPI si en el sistema del punto b) un 10 % de los accesos a la tabla de páginas resulta en un page fault? Asuma que el acceso al disco tarda  $12 \cdot 10^6$  ciclos de reloj.
    - d) Al sistema del punto c) se le agrega un disco SSD que funciona como cache del disco rígido. Si asumimos que un acceso al disco SSD toma  $10^5$  ciclos de reloj, y que la tasa de miss del SSD es del 10 %, cuánto pasa a valer el CPI?

- e) Tiene sentido asumir que va a haber más hits para las tablas de páginas de nivel 1 que para las de nivel 2? Por qué?
3. Se tiene un programa cuyo desempeño se quiere mejorar, y se encuentra que el speedup de estas mejoras está ligada a la fracción  $F_m$  del tiempo de ejecución original en la que se pueden aplicar mejoras por la ecuación  $S = 2 - 0,25 * F_m$ , vale decir que un speedup de 1,75 se aplica durante el 100 % del tiempo, mientras que un speedup de 2 (el máximo que da esta mejora) sólo se podría aplicar durante el 0 % del tiempo. Cuál sería el máximo speedup alcanzable con estas restricciones?