

1. Sea una computadora de arquitectura MIPS32, con una frecuencia de clock del procesador de 1.2 GHz y una memoria con una latencia de 20ns y una frecuencia de clock de 200MHz. Esta máquina tiene soporte para memoria virtual, con una tabla de páginas de dos niveles y un TLB de ocho entradas, y un cache virtualmente taggeado y virtualmente indexado. El tamaño de página es de 4KB. Cada PTE ocupa 4 bytes, y el número de página virtual se divide en partes iguales entre el  $VPN_{L1}$  y el  $VPN_{L2}$ . La memoria cache es split, mide 16KB, está organizada en dos vías, su tamaño de bloque es 32B, su política de escritura es WB/WA, y su política de reemplazo es LRU.

- a) ¿Cuántos bits tienen el *tag*, el *index* y el *offset* del cache?
- b) ¿Cuántos bits tienen el *VPN* y el *offset* de la dirección virtual?
- c) ¿Cuánto ocupan las tablas de nivel 1 y nivel 2 de la tabla de páginas?
- d) ¿Cómo es el proceso de acceso a memoria bajo este esquema?
- e) Dar una expresión para el tiempo de acceso a memoria.

2. Para la computadora del punto anterior se escribe la siguiente función:

```
int trasponer(int const *a, int *b, size_t filas, size_t columnas)
{
    register int i, j;

    for (i=0; i<filas; i++)
        for (j=0; j<columnas; j++)
            *(b+i+columnas*j)=*(a+j+filas*i);
    return (0);
}
```

- a) Hacer un diagrama del stack de la función **trasponer**.
  - b) Dar una versión de la función en MIPS32, respetando la ABI dada en clase.
  - c) Asumiendo un tamaño de 32 filas y 32 columnas, ¿cuál será el miss rate de la ejecución de este programa?
  - d) En ese caso, ¿cuál sería el tiempo promedio de acceso a un dato para este programa? Se asume que el cache y el TLB están vacíos al comenzar, y que las páginas están todas en memoria.
3. Supongamos que podemos cambiar la memoria RAM de la computadora del punto 1 por una en la que la latencia es de 10ns.
    - a) ¿Qué proporción del tiempo de carga de un bloque de cache se ve afectada? ¿Cuál es el speedup en la carga de un bloque de cache?
    - b) ¿Qué proporción del tiempo de acceso a datos se ve afectada? ¿Cuál es el speedup?