

# Labrapport - Lab 4

Sondre H. Elgaaen & Eirik Wittersø

14. april 2019

TFE4101 Krets og Digitalteknikk  
Norges Teknisk-Naturvitenskapelige Universitet

# Sammendrag

I dette forsøket har vi koblet sammen XOR-porter, AND-porter og ferdiglagde halvaddere for å lage en 4-bits absoluttverdikrets. Videre ser på hvordan kretsen er bygget opp, og undersøker fall og stigetider for kretsen.

# Innhold

<b>Sammendrag</b>	<b>i</b>
<b>Innhold</b>	<b>ii</b>
<b>1 Innledning</b>	<b>1</b>
<b>2 Teori</b>	<b>1</b>
2.1 Tallrepresentasjon . . . . .	1
2.2 Absoluttverdi . . . . .	1
2.3 Modifisert Ripple Carry adder . . . . .	2
2.4 Tidsforsinkelse og kritisk sti . . . . .	2
<b>3 Vårt Arbeid</b>	<b>3</b>
3.1 Utstysrliste . . . . .	3
3.2 Forarbeid . . . . .	3
3.3 Labarbeid . . . . .	5
<b>4 Resultater</b>	<b>9</b>
<b>5 Diskusjon</b>	<b>13</b>
5.1 Kretsdesign . . . . .	13
5.2 Forplantningstid . . . . .	13
<b>6 Konklusjon</b>	<b>14</b>
<b>Vedlegg</b>	<b>15</b>

# 1 Innledning

I denne rapporten skal vi ta for oss hvordan man bygger en 4 bits absoluttverdikrets. Målet med forsøket var å danne forståelse for hvordan hvordan kominatoriske kretser kan bygges opp, og hvordan matematiske operasjoner gjøres påkrets nivå.

Videre i rapporten skal vi ta for oss en del teori som ligger til grunnlag for designet og optimaliseringen av en slik krets. Videre detaljeres fremgangsmåten vi benyttet for forsøket, og hvilke resultater vi oppnådde, samt en kort diskusjon av resultatene og en konklusjon.

## 2 Teori

### 2.1 Tallrepresentasjon

Det er 3 vanlige måter å representere heltall binært: Magnitude uten fortegn, magnitude med fortegn, og toerkomplement. I denne laboppgaven har tallene blitt representert med toerkomplement. På toerkomplementsform representeres positive tall som magnitude uten fortegn. Negative tall representeres ved å ta inversen til absoluttverdien av tallet, og legge til 1. Å ta inversen til et binærtall gjøres ved å gjøre om alle 1-ere til 0, og alle 0-ere til 1. Man kan se om et tall er negativt ved å se på det MSB (det mest signifikante bittet). Hvis det er 1 er tallet negativt, hvis det er 0 er tallet positivt.

### 2.2 Absoluttverdi

En absoluttverdikrets skal ta inn et tall, og gi ut absoluttverdien av tallet. Å ta absoluttverdien av et tall på toerkomplementsform gjøres i 3 steg.

1. Sjekke fortegnet til tallet ved å se på MSB.
  - Hvis tallet er positivt, gi tallet som output.
  - Hvis tallet er negativt, utfør punkt 2 og 3.
2. Ta inversen av tallet.
3. Legg til 1 til tallet og gi det som output.

## 2.3 Modifisert Ripple Carry adder

En vanlig ripple carry adder består av en serie med heladdere som utfører addisjon på bitnivå, og sender ut et summ-bit til output-bussen, og et carry bit som går videre til den neste heladder. En slik adder tar inn 2 tall på toerkomplementsform eller som magnitude uten fortegn, og legger dem sammen. Den Modifiserte ripple carry adderen som har blitt brukt i denne laboppgaven skal derimot ta inn ett tall på toerkomplementsform og et bit. Det den skal gi ut er tallet plus det ene bittet. Adderen er bygget opp av halvaddere. En halvadder har 2 inputs, (A og B), og 2 outputs, (S og C). Halvadderer legger sammen de to bitsene, og sender signal på S hvis summen blir 1, og signal på C hvis summen blir 2. I den modifiserte ripple carry adderen er halvadderene koblet sammen slik at et av carryen fra det forrige bittet går til et av inputtene på det neste bittet.

## 2.4 Tidsforsinkelse og kritisk sti

Tidsforsinkelsen til en krets er tiden det tar fra inputsignalene endrer seg til utsignalene har fått sine endelige verdier. Tidsforsinkelsen avhenger hovedsakelig av hvilke porter signalet må gå igjennom, og hvor mange av dem det er. Den veien signalet bruker lengst tid på å forplante seg igjennom kretsen er den kritiske stien. Tidsforsinkelsen igjennom den kritiske stien er det viktig å ta hensyn til når man designer kretser. Denne tiden avgjør hvor lenge man må vente etter å ha gitt input før man kan endre det igjen. Denne tiden brukes til å bestemme hvilken klokkehastighet kretsen kan kjøre på, og det er lurt å se på den kritiske stien hvis man skal optimalisere kretsen for å kjøre på høyere klokkehastigheter.

## 3 Vårt Arbeid

### 3.1 Utstysrliste

Veroboard, 32 sockets

Kretskort gitt til lab i TFE4101

Digital Oscilloskop - Rohde & Schwarz RTB2004

Signalgenerator - Rohde & Schwarz HMF2525

Spenningskilde - Rohde & Schwarz HMC 8042

Banankabler

BNC-BNC kabler

BNC-banankabel

BNC-splitter

Prober

### 3.2 Forarbeid

#### Design av absoluttverdikrets

I forarbeidet skulle det designes en 4-bits absoluttverdikrets. For å ta absoluttverdien av et binært tall kan man invertere det og addere 1. En absoluttverdikrets kan dermed bygges opp av inverterkretser og av halvadderkretser. Vi startet med å designe en inverterkrets, altså en krets som inverterer hvert bit som kommer inn, hvis kretsen er aktivert.

Det blir gjort tydelig av tabell 1 at en slik krets kan lett implementeres som en XOR-port.

In	En	Out
0	0	1
0	1	0
1	0	1
1	1	0

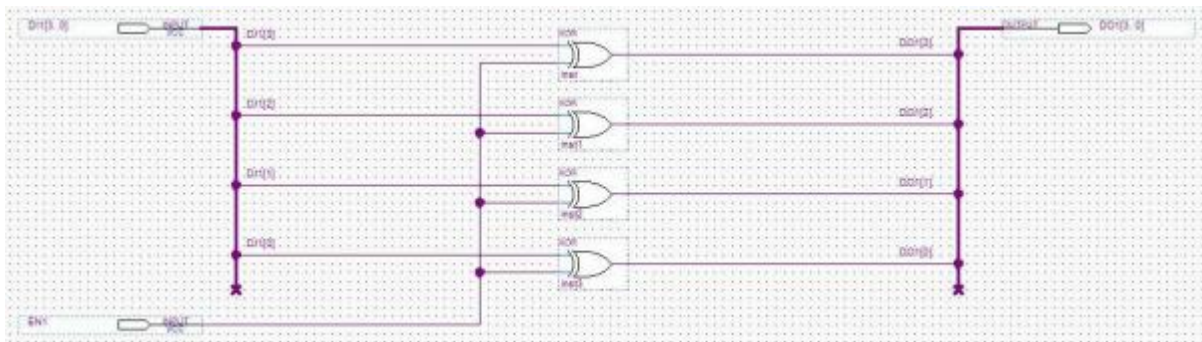
Tabell 1: Sannhetstabell for inverterkrets

Deretter designet vi en halvadderkrets. En halvadderkrets adderer to tall og har to utganger, en for summen og en for mente, så lenge kretsen er aktivert.

In	Carry-In	Sum	Carry-Out
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabell 2: Sannhetstabell for halvadderkrets

Etter å ha designet disse komponentene, måtte vi sette de sammen til å bli en 4-bits absoluttverdikrets. Da lagde vi blokker ved å sette inverterkretsen og halvadderkretsen i serie, og satte fire av disse blokkene i parallell. Videre brukte vi MSB som enable signal for inverterne og som mente inn for første halvadder, slik som i Figur



Figur 1: 4-bits inverter

## Beregning av kritisk sti og maksimal klokkehastighet

Kritisk sti fant vi ved å se på det scenarioet hvor det blir flest menteforplantninger, nemlig overgangen fra 1000 til 1000, hvor det skjer menteforplantninger gjennom hele kretsen. Da går kritisk sti gjennom 2 XOR porter og 3 AND porter. For å beregne forsinkelsen gjennom kritisk sti fant vi verdiene for forsinkelse gjennom de forskjellige portene ved 5V som maks spenning, som er som gitt i Tabell 3

Port	Forsinkelse
AND	125ns
XOR	140ns

Tabell 3: Forsinkelsestid gjennom porter

Gitt disse verdiene kan vi regne oss frem til forsinkelse gjennom kritisk sti.

$$2 \cdot 140ns + 3 \cdot 125ns = 655ns$$

Dette gir oss at maksimal klokkehastighet er:

$$\frac{1}{655ns} = 1.53 \text{ MHz}$$

### 3.3 Labarbeid

#### Kobling av halvadderkrets

Før vi startet på labarbeidet sørget vi for å resette alt av utstyr som kunne resettes. Deretter kunne vi begynne med første del av labarbeidet, som var å koble opp en halvadderkrets på veroboardet. Da satte vi kretskortet i sokkelen og koblet på 7DC fra spenningskilden inn til terminal 31 og jord til terminal 32.

Videre koblet vi halvadderkretsen som følger:

$$28 \rightarrow 16, 14$$

$$27 \rightarrow 15, 13$$

Etter at vi koblet opp kretsen testet vi den etter Tabell 2. Alle verdier stemte overrens.

#### Kobling av absoluttverdikrets

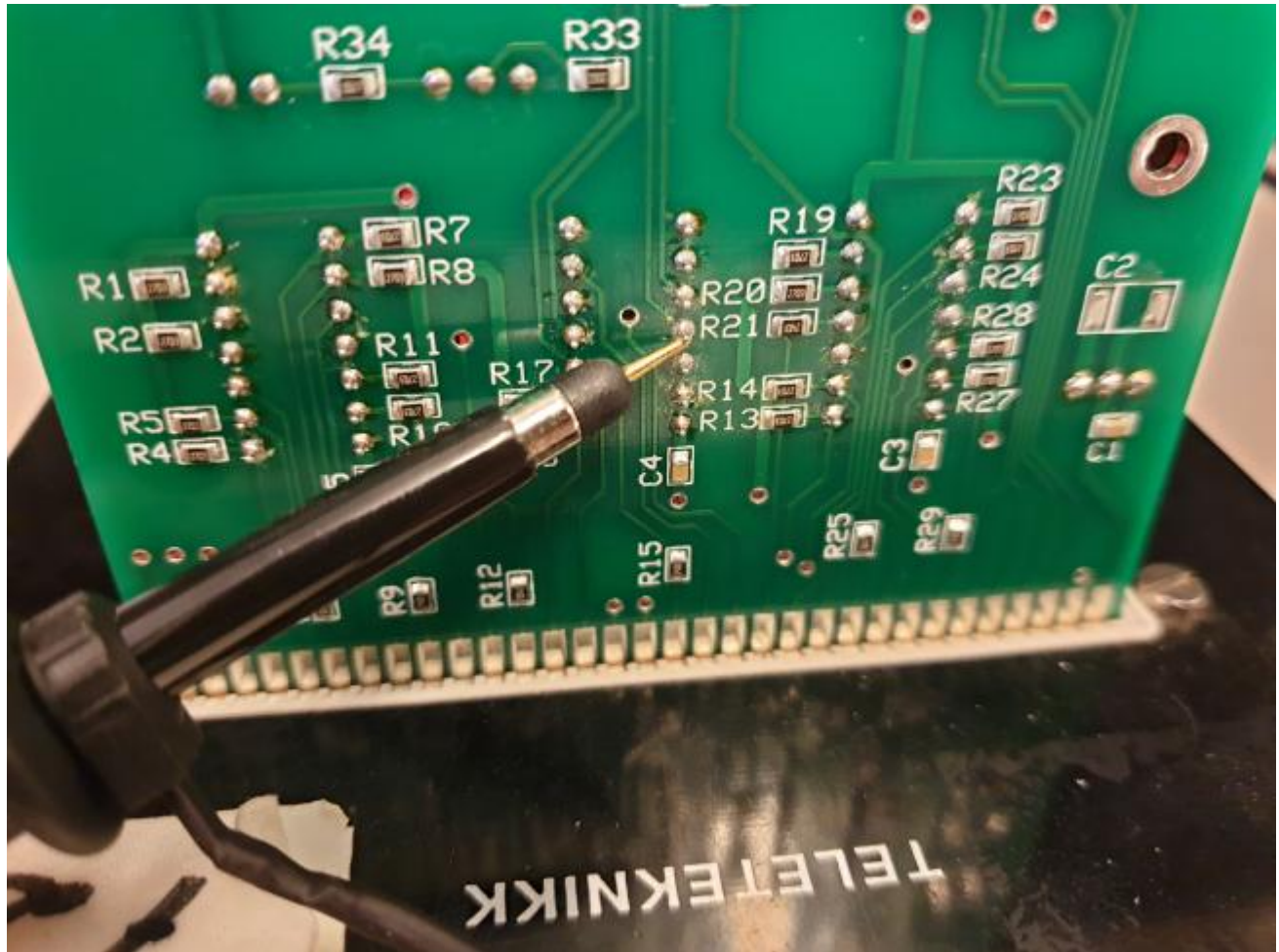
Etter å ha koblet opp og testen halvadderkretsen koblet vi den ut og koblet til en absoluttverdikrets som vist i Figur 9 Deretter testen vi kretsen etter Tabell 5. Alle verdier stemte.

#### Forplantningsforsinkelse

Før vi målte forsinkelsestid gjennom kretsen ble proben kalibrert etter instruksjoner på oscilloskopet. Deretter koblet vi sammen spenningskilden, oscilloskopet og veroboardet slik som i Figur 10. På veroboardet ble positiv koblet til terminal 27 og jord i terminal 32. Signalgeneratoren ble satt til å generere en firkantpuls mellom 0V og 5V med en frekvens på 100kHz.

Deretter koblet vi proben til kretsen med jord som 32 og proben til ben på chippen som vist i Figur 2





Figur 2: Test av forsinkelse gjennom kretsen

Forplantningsforsinkelsen ble målt til  $543,2ns$ . Gitt dette har vi at avviket fra den beregnede verdien er:

$$\frac{543,2ns}{655ns} \cdot 100\% = 17\%$$

Det at vi fikk lavere forplantningstid enn forventet kan muligens skyldes varmeutvikling i komponentene, men vi har ingen garanti for dette. Gitt den målte forplantningsforsinkelsen får vi en ny maksimal klokkehastighet.

$$\frac{1}{543,2ns} = 1.84 \text{ MHz}$$

Etter dette brukte vi oscilloskopet til å sjekke hva som skjer hvis man øker frekvensen på

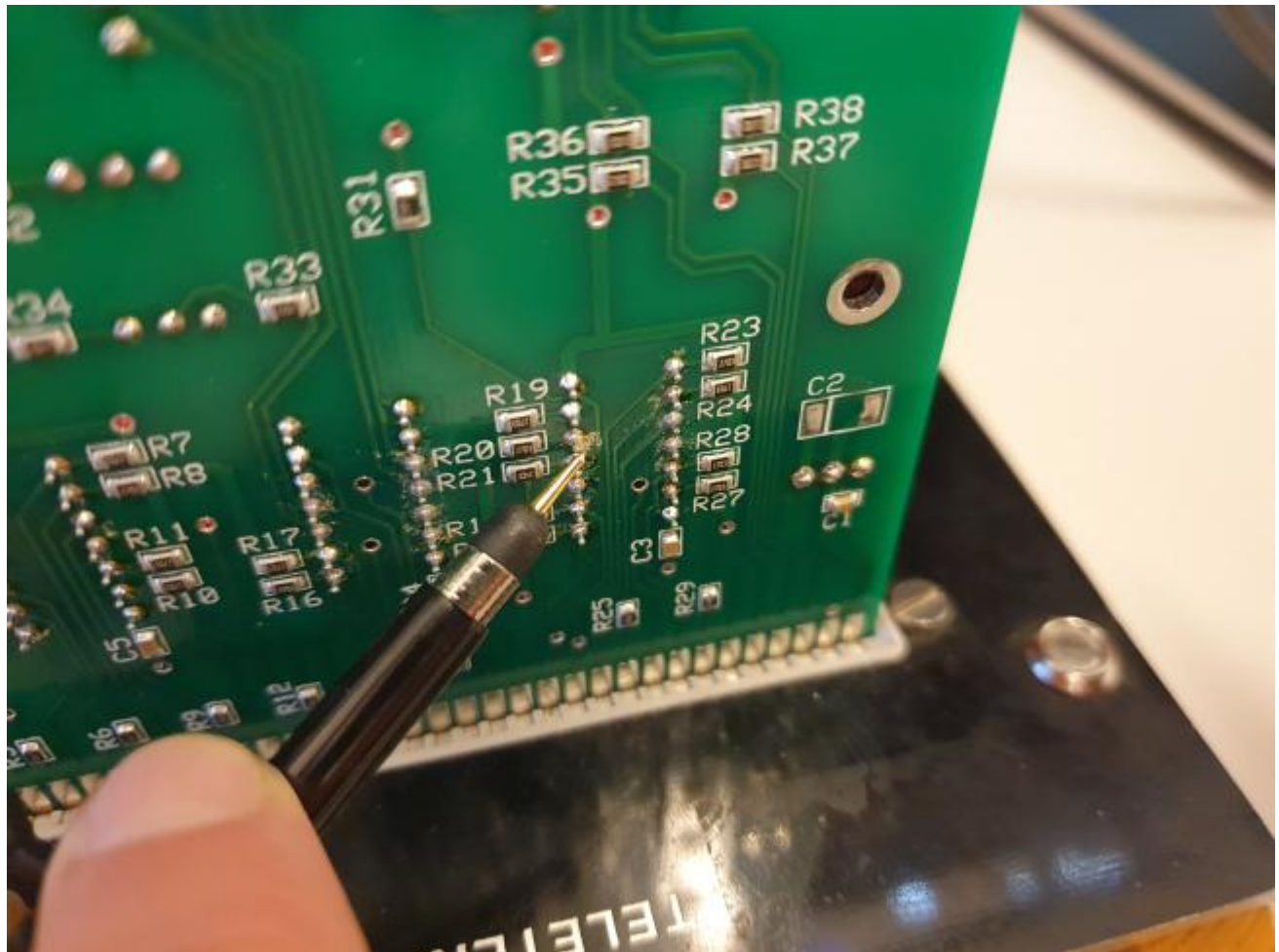
signalgeneratoren til og forbi 50% av maksimal klokkehastighet. Resultatene vi kom frem til var at hvis frekvensen når 50% av maksimal klokkehastighet, så blir input lav idet output blir høy. Mens hvis frekvensen går over 50% av maksimal klokkehastighet blir forplantningsforsinkelsen større.

## **Rise Time og Fall Time**

Før vi begynte med nye målinger stilte vi signalgeneratoren tilbake til 100kHz. For måling av stige- og falltid for en XOR-port ble proben værende i samme posisjon som for måling av forplantningsforsinkelsen, ettersom den siste porten i kritisk sti var en XOR-port. Stige- og falltiden ble målt med de innebygde funksjonene Rise Time"og Fall Time"i oscilloskopet og sjekket ved hjelp av "cursorfunksjonengrafisk, på skjermen til oscilloskopet.

For måling av stige- og falltid for en AND-port ble proben flyttet til posisjonen gitt i Figur 3 Videre ble samme prosedyre som for XOR-porten brukt.

Resultatene av disse målingene finner du i Tabell 7



Figur 3: Test av Rise Time og Fall Time i AND-port

## 4 Resultater

Ved testing av en enkelt halvadder fikk vi følgende resultater:

Tabell 4: Halvadder resultater

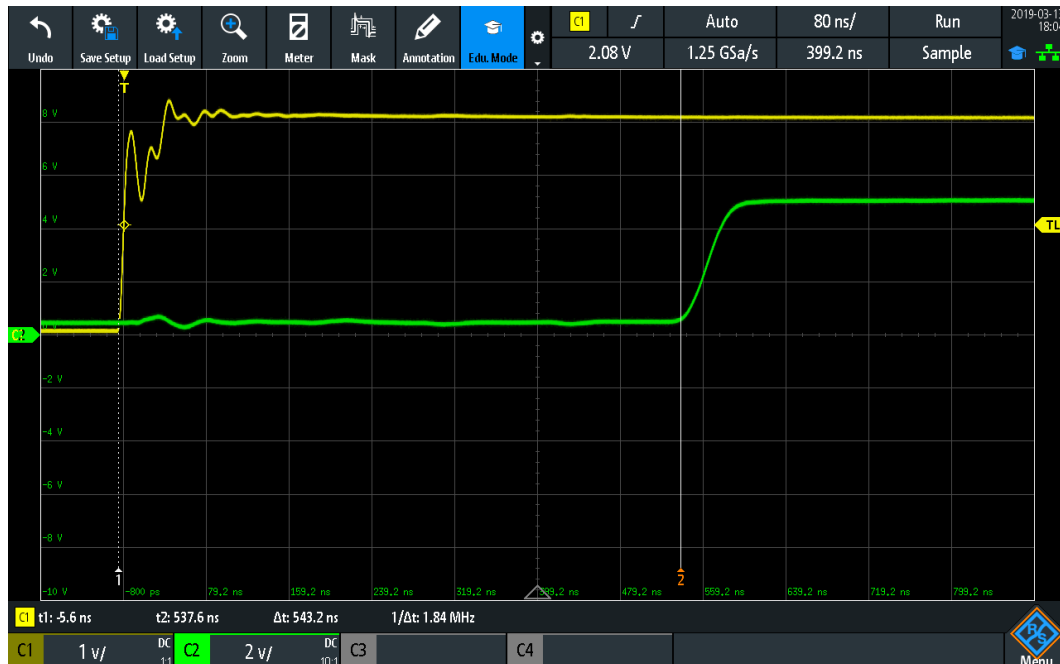
Verdier fra forarbeid				Målte verdier	
A	B	Sum	Carry	Sum	Carry
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	0	1	0
1	1	0	1	0	1

Ved testing av ferdigkoblet absoluttverdikrets fikk vi følgende resultater:

Tabell 5: Absoluttverdikrets resultater

Verdier fra forarbeid					Målte verdier	
Binary	Hex	Decimal	Binary(Abs)	Hex(Abs)	Binary(Input)	Hex(Output)
0111	0x7	7	0111	0x7	0111	0x7
0110	0x6	6	0110	0x6	0110	0x6
0101	0x5	5	0101	0x5	0101	0x5
0100	0x4	4	0100	0x4	0100	0x4
0011	0x3	3	0011	0x3	0011	0x3
0010	0x2	2	0010	0x2	0010	0x2
0001	0x1	1	0001	0x1	0001	0x1
0000	0x0	0	0000	0x0	0000	0x0
1111	0xF	-1	1111	0x1	1111	0x1
1110	0xE	-2	1110	0x2	1110	0x2
1101	0xD	-3	1101	0x3	1101	0x3
1100	0xC	-4	1100	0x4	1100	0x4
1011	0xB	-5	1011	0x5	1011	0x5
1010	0xA	-6	1010	0x6	1010	0x6
1001	0x9	-7	1001	0x7	1001	0x7
1000	0x8	-8	1000	0x8	1000	0x8

Figur 4: Tidsforsinkelse for kritisk sti



Ved testing av forplantningstid fikk vi følgende resultater:

Tabell 6: Tidsforsinkelse for kritisk sti

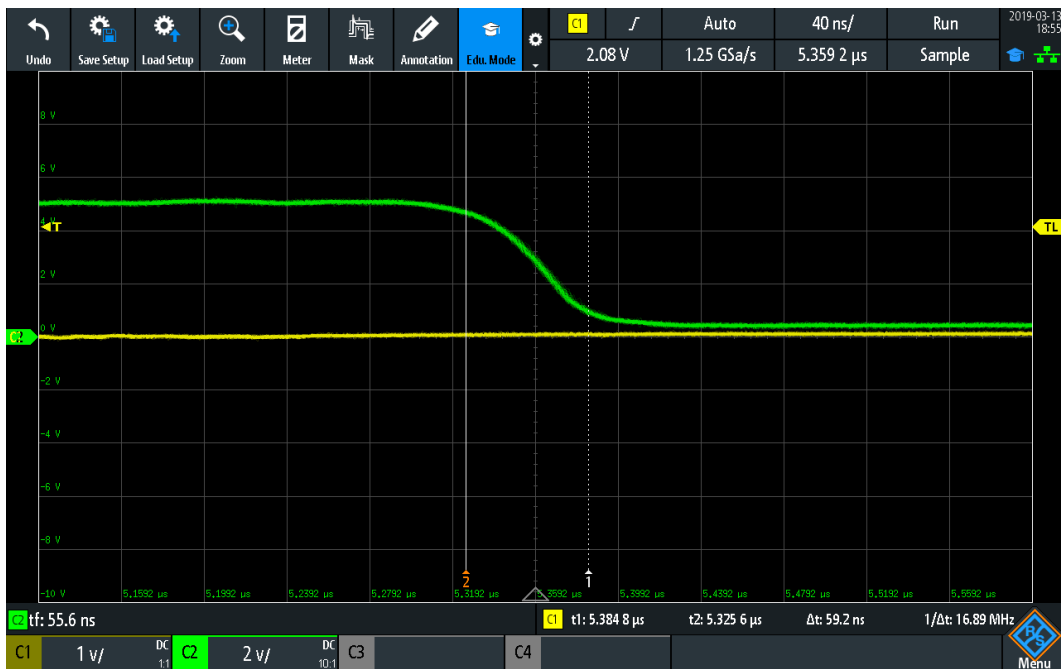
Tidsforsinkelse			Maksimal klokkefrekvens		
Utregnet	Målt	Avvik	Utregnet	Målt	Avvik
655 ns	543 ns	112 ns	1.53 MHz	1.84 MHz	0.31 MHz

Ved testing av falltid og stigetid over kritisk sti fikk vi følgende resultater:

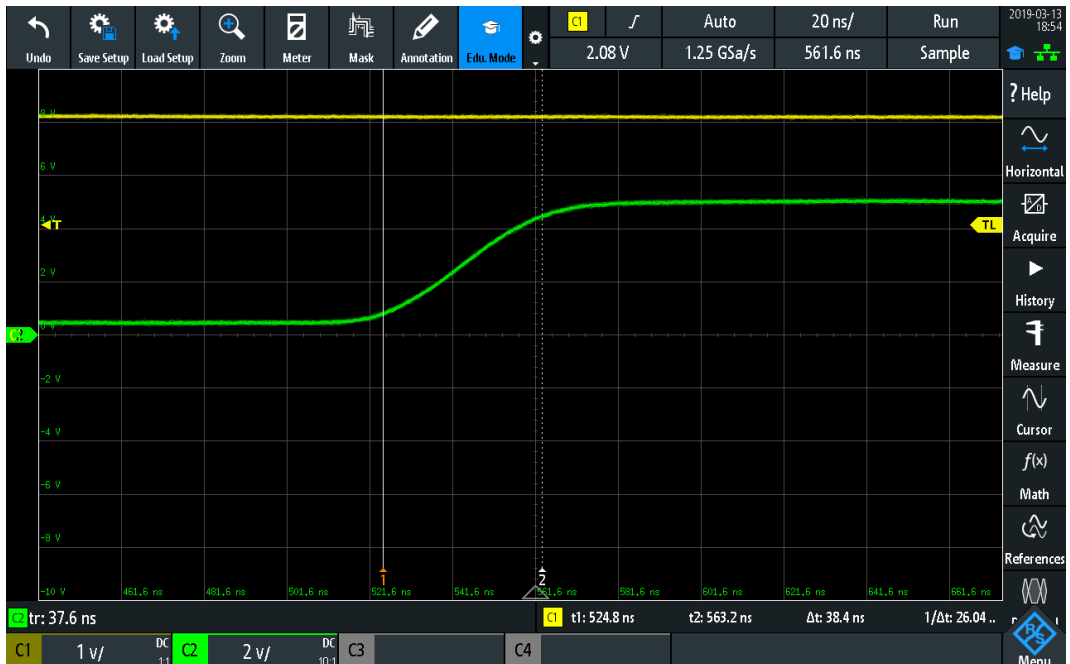
Tabell 7: Stigetider og falltider

	Stigetid	Falltid
<b>XOR</b>	37.6 ns	55.6 ns
<b>AND</b>	23.3 ns	18.6 ns

Figur 5: Falltid XOR



Figur 6: Stigetid XOR



Figur 7: Falltid AND



Figure 8: Stigetid AND



## 5 Diskusjon

### 5.1 Kretsdesign

Tabell 4 i resultater viser at designet for en halvadder som vi kom fram til i forarbeidet fungerer som forventet. Tabell 5 viser på venstre side hvilke verdier vi forventet å få for alle mulige 4-bits inputs. På høyre side viser den hvilke resultater vi kom fram til. Disse resultatene samsvarer med venstre side, og viser at kretsen fungerer som forventet.

### 5.2 Forplantningstid

Fra figur 4, og tabell 6, kan vi se at den målte tidsforsinkelsen avviker fra den utregnede tidsforsinkelsen med 112 ns, som er 17%. Dette avviket kan ha flere grunner. Utregningene ble gjort med utgangspunkt i typiske verdier for kretsene, og ytelsen til de de spesifikke chipene vi tok i bruk kan variere. I tillegg kan forplantningstiden avhenge av lastkapitansen i ledningene, som lett kan påvirkes av berøring og andre yttre faktorer. Ettersom klokkefrekvensen avhenger av forplantningstiden langs kritisk sti, får den også et avvik fra verdien i forarbeidet.



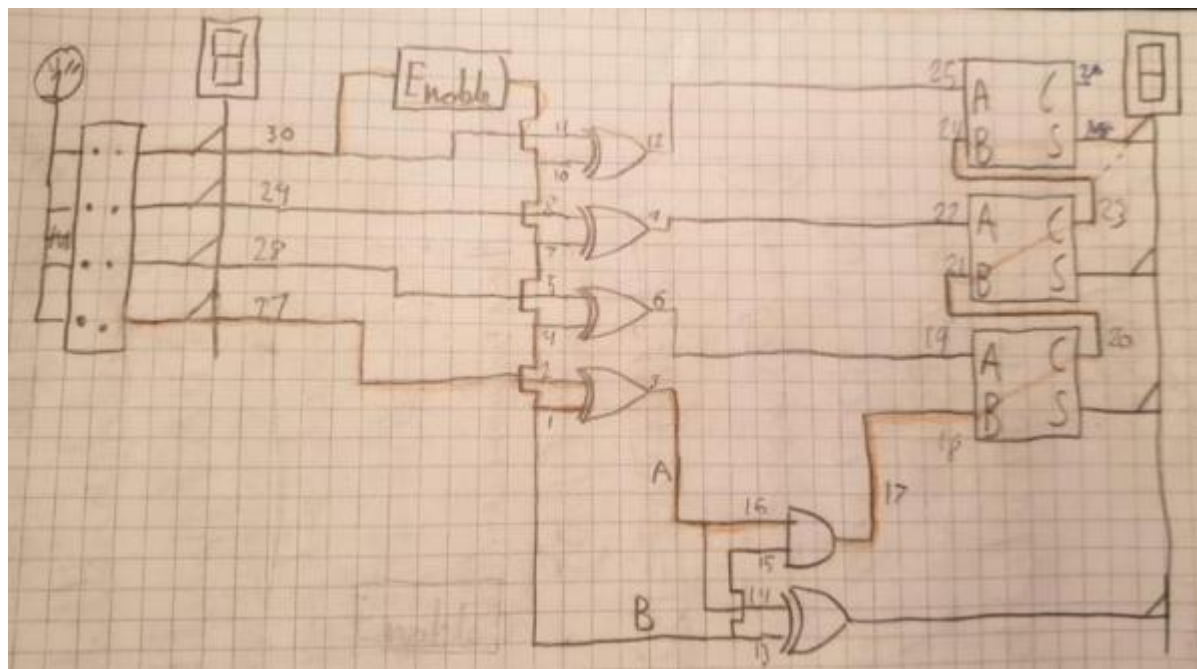
## 6 Konklusjon

Vi har gjennom teksten vist hvordan man kan designe og lage en 4-bits absoluttverdikrets basert på integrerte portkretser.

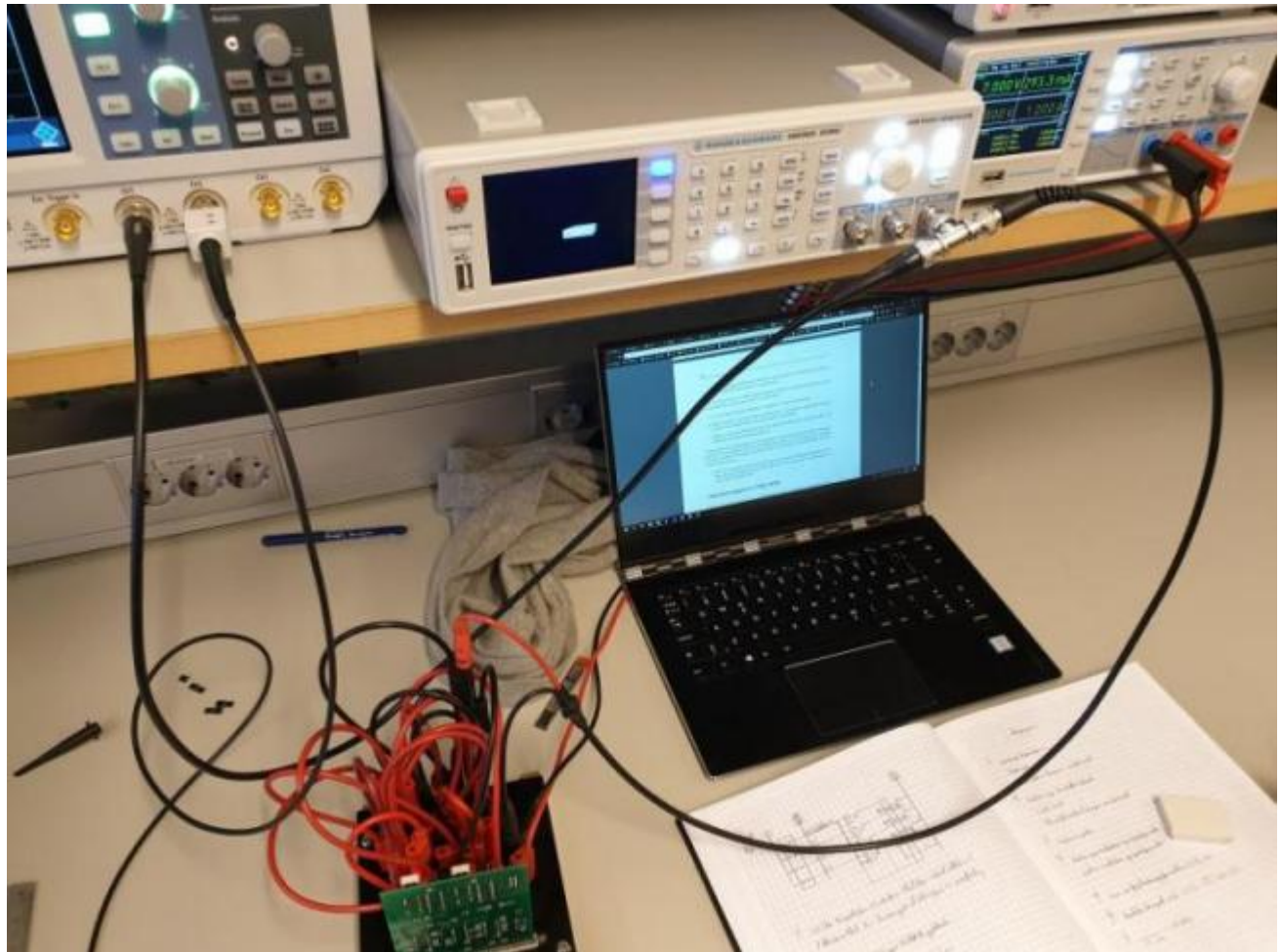
Vi fant at våre målte stige- og falltider for portkretsene lå i nærheten av de oppgitt i databladene. Avvik kan muligens forklares ved unøyaktighet i målemetoder.

Ved fremtidig gjennomgang av opplegget kan større fokus på målenøyaktighet være relevant.

## Vedlegg



Figur 9: Absoluttverdikrets kretstegning



Figur 10: Kobling av spenningskilde, oscilloskop og veroboard