

Organisation

- 14-tes unbewertetes Übungsblatt
- Auf Mail Antworten:
 - Matrikelnr.; Studiengang; Semesterzahl
 - Ersetzt **NICHT** die Prüfungsanmeldung!!

Transistor

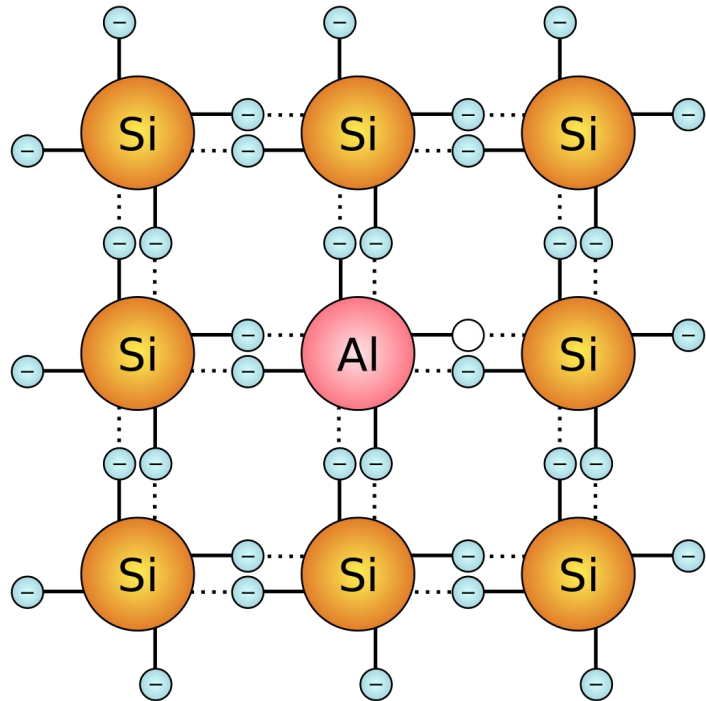
- Ziel: Elektronischer Schalter
 - Energieeffizient
 - Schnell
 - Billig
- Lösung: Halbleiter

Halbleiterdotierung

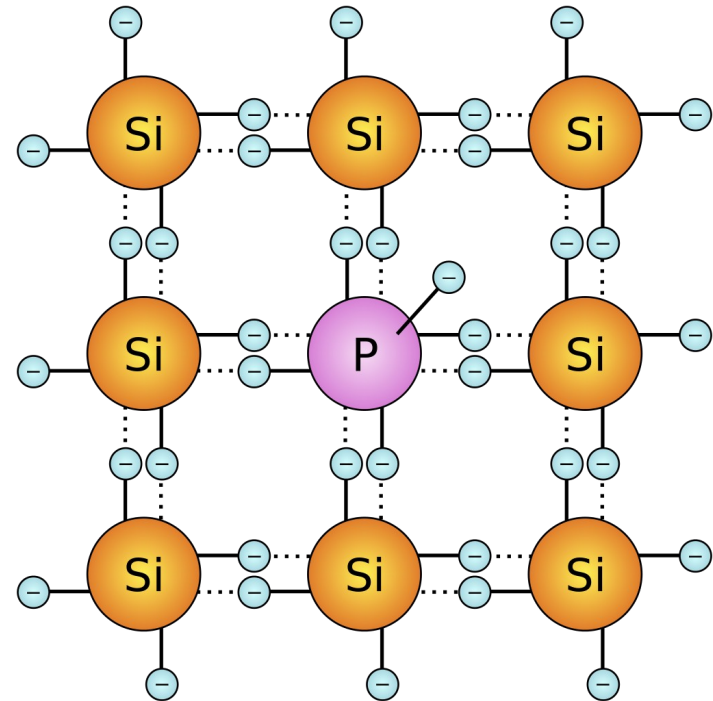
- Meistens Silizium
 - Benötigt 4 Außenelektronen (4. Hauptgr.)
- Dotierungsarten
 - negativ: Elektronenüberschuss
 - positiv: Defektelektronen/Löcher/Elektronen-Mangel
- Verunreinige Reinstoff mit
 - Phosphor (5. Hauptgr.) \rightarrow (-)
 - Aluminium (3. Hauptgr.) \rightarrow (+)

Halbleiterdotierung

P-Dotiert

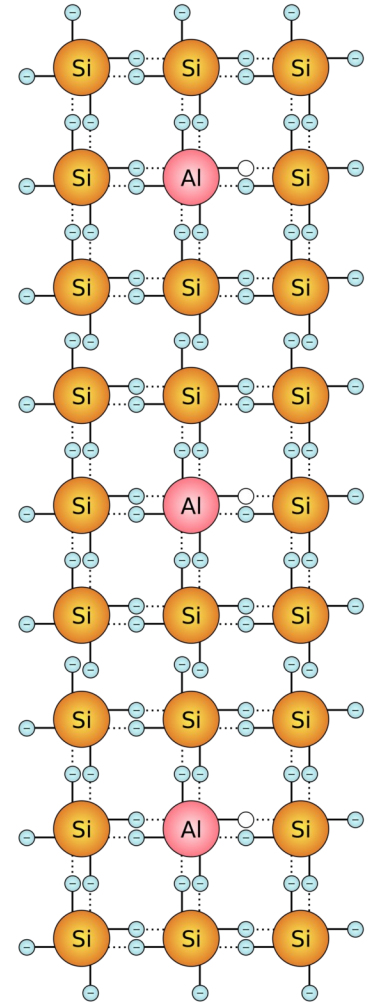


N-Dotiert



Dotierungseffekt

- N-Dotierung
 - E. können einfach abgespalten werden
 - E. können sich dann bewegen
- P-Dotierung
 - E. wollen Löcher füllen
 - E. sitzen in Löchern nicht fest → Abspaltung
 - E. können über Löcher „hüpfen“



Dotierungsstärken

- Anzahl der „verunreinigenden“ Atome
 - Normal: p / n
 - 1 pro 10^6 bzw. 10^7 Si
 - Stark: p^+ / n^+
 - 1 pro 10^4 bzw. 10^4 Si
 - Schwach: p^- / n^-
 - <1 pro 10^6 bzw. 10^7 Si
 - Sehr Stark p^{++} / n^{++}
 - >1 pro 10^4 bzw. 10^4 Si

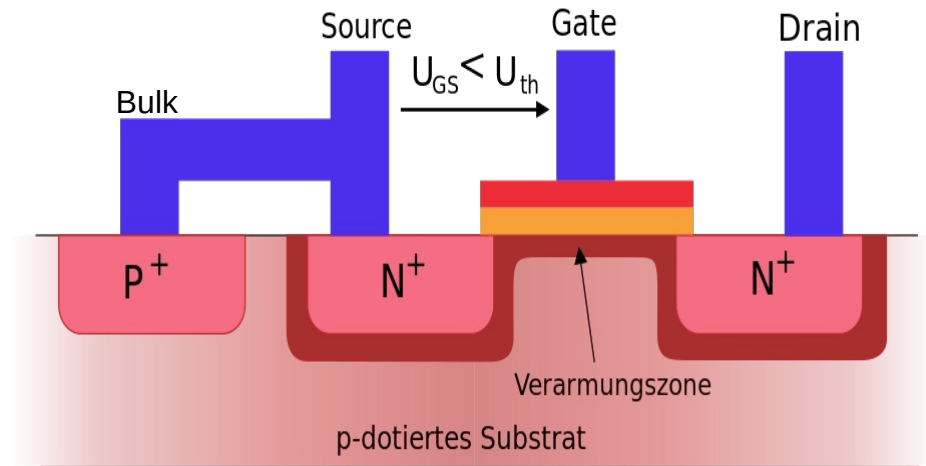
MOSFET

- Metal-Oxid-Feldeffekt-Transistor
- Nutzt einen Feldeffekt
 - „Zieht Elektronen zu sich“
 - Ähnlich zu Kondensator
- Nutzt p- und n-dotierte Bereiche

**AUFPASSEN: PHYSIKALISCHE UND
TECHNISCHE STROMRICHTUNG!!!**

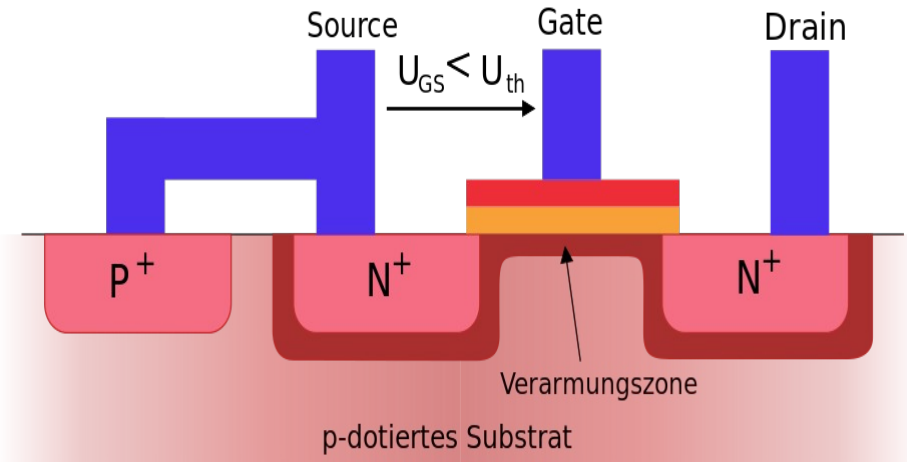
Transistor - Aufbau

- 4 Anschlüsse
 - Source (Stromzufuhr, „Eingang“)
 - Drain („Ausgang“)
 - Gate („Steuereingang“)
 - Bulk („Erdung“)
- Gate führt nur wenig Strom
- P⁺-Dotierung für Erdung



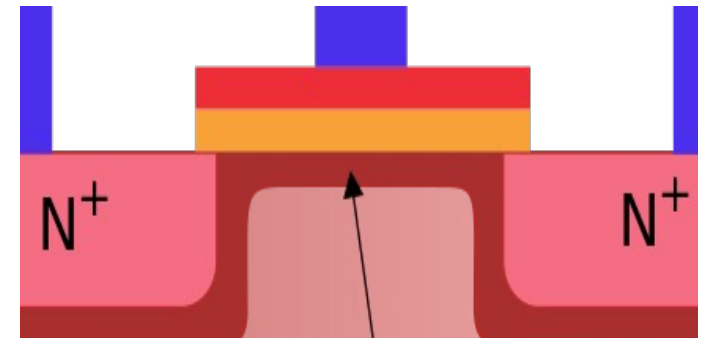
Transistor - Aufbau

- Verarmungszone
 - Aus n-dot Substrat werden E. in p-dot. gezogen
 - Ausgegliche Schicht entsteht
- Metall-Platte (Rot)
- Metall-Oxid-Schicht (orange)
 - Isolator zur Gate(-Platte)



1/2 Kondensator

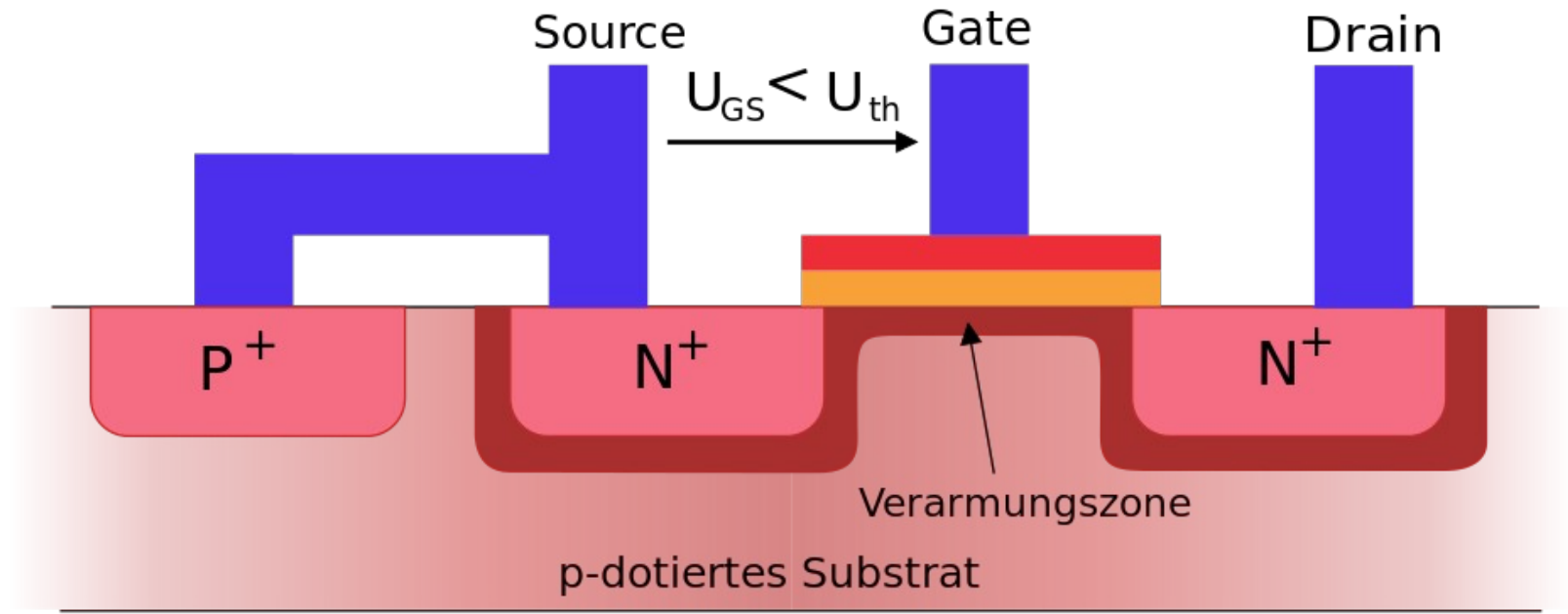
- Genügend großer Strom am Gate
 - E-Feld bildet sich am Gate aus
 - Elektronen aus N-Dot Bereich der Source zum Gate hingezogen
 - „Künstliche Dotierung“ beim Gate
= Leitender Kanal



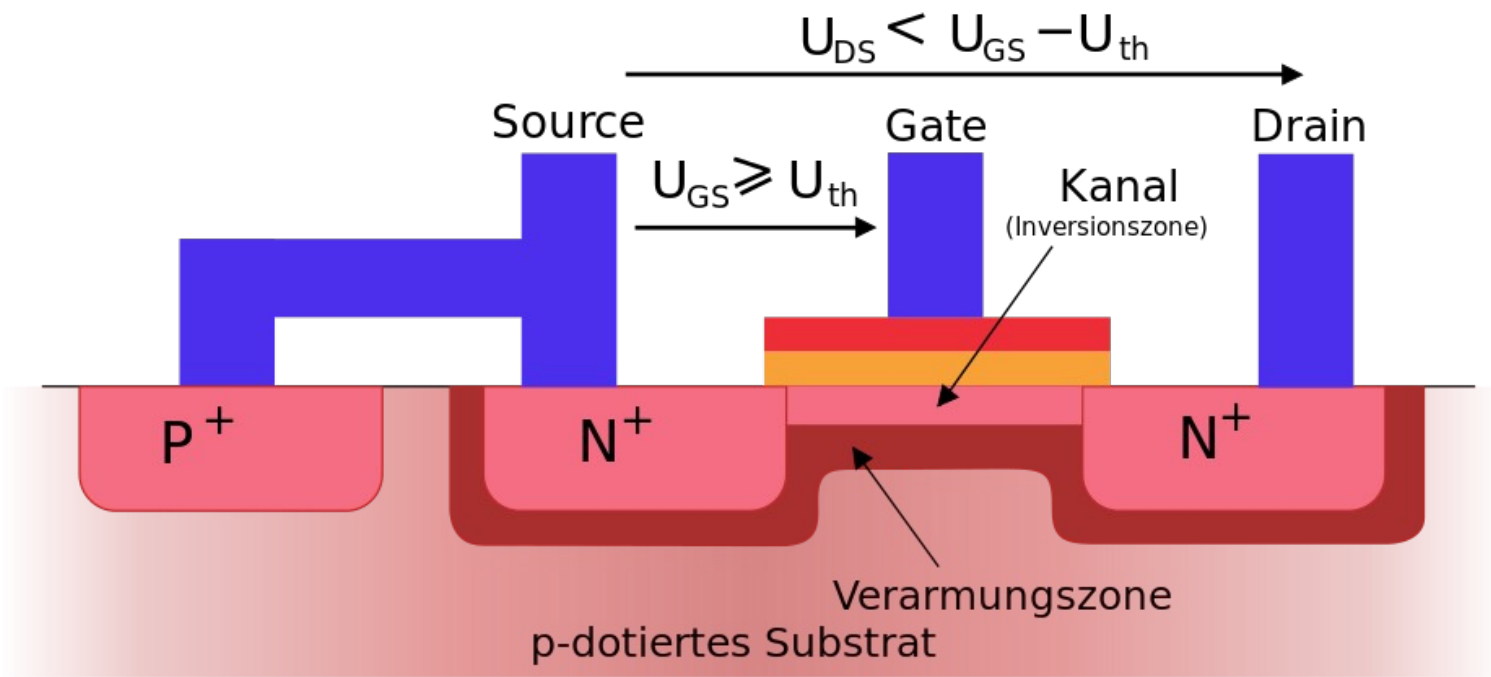
Spannungen am Transistor

- Threshold-Spannung U_{th}
- Drain-Source-Spannung U_{DS}
- Gate-Source-Spannung U_{GS}

NMOS-Transistor-Phasen I

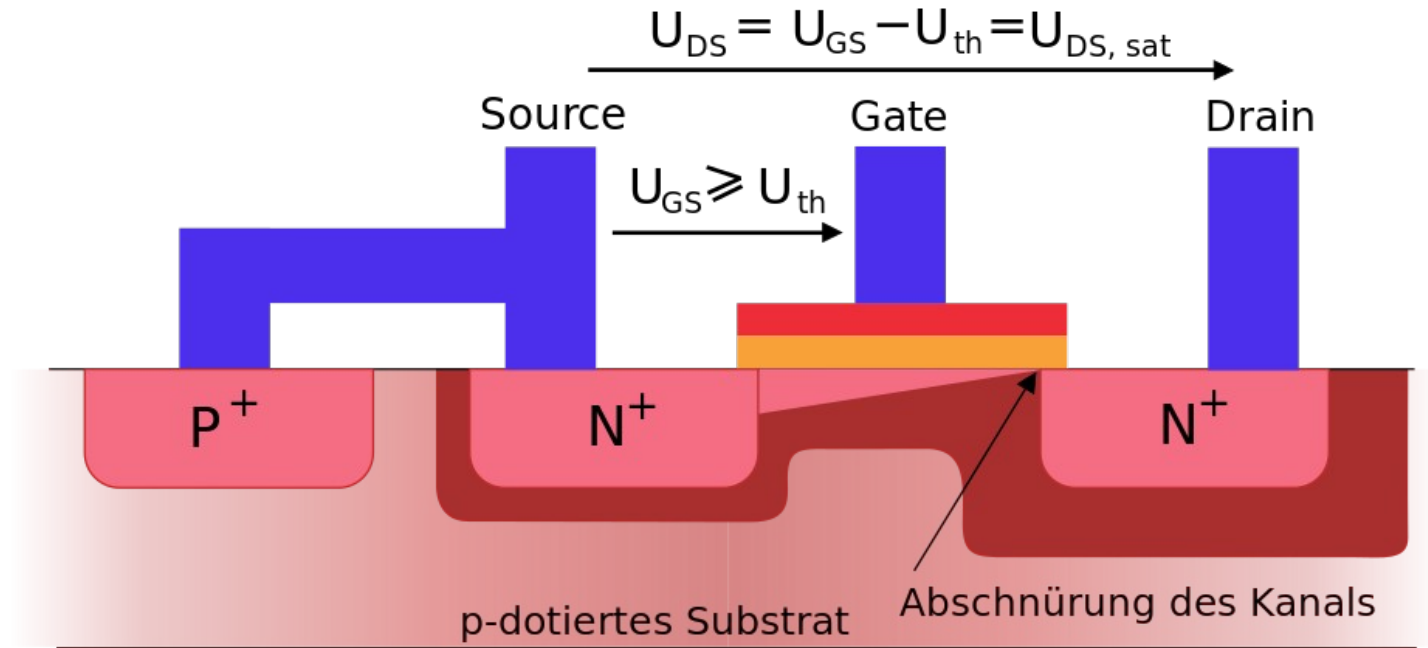


NMOS-Transistor-Phasen II



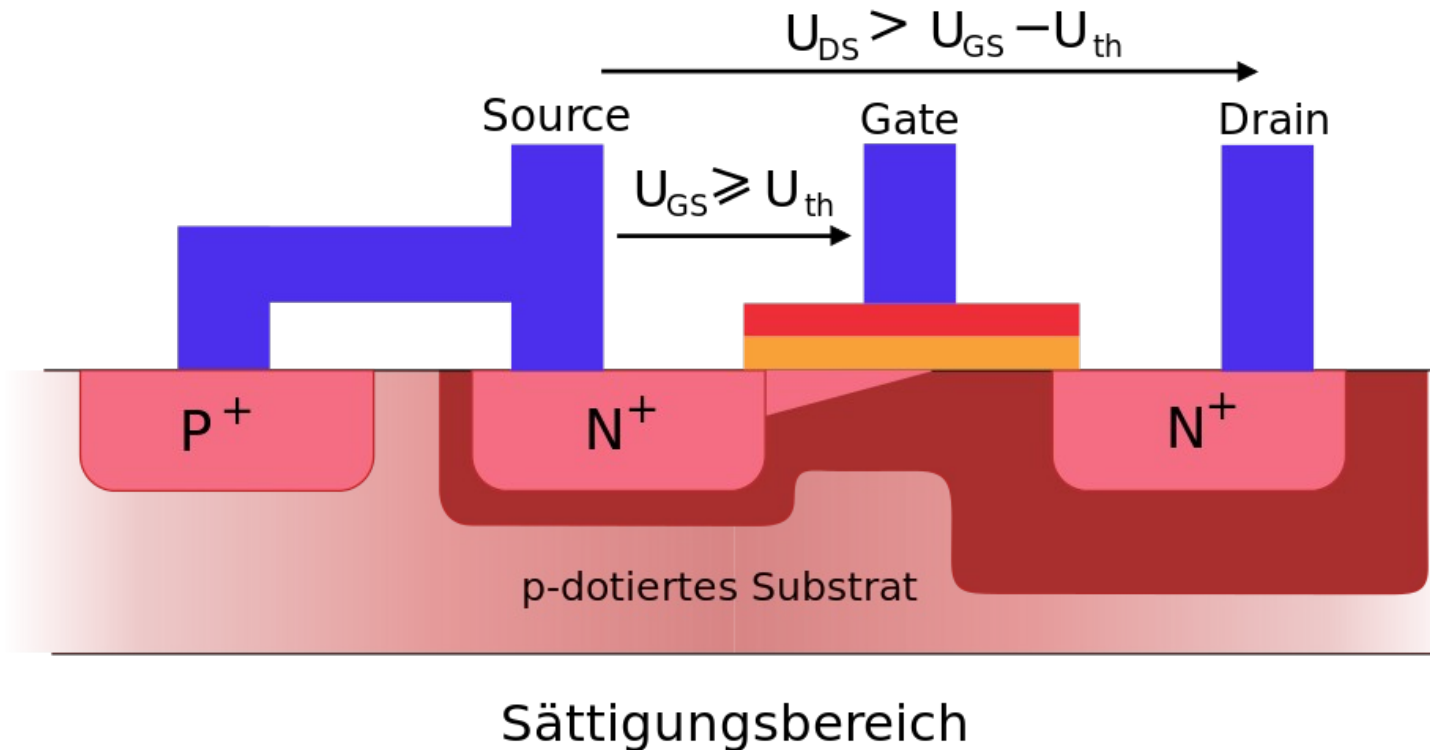
linearer/ohmscher Bereich

NMOS-Transistor-Phasen III



Abschnürung (Übergang zum Sättigungsbereich)

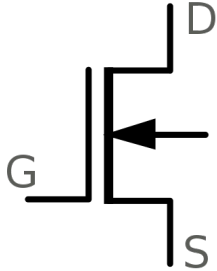
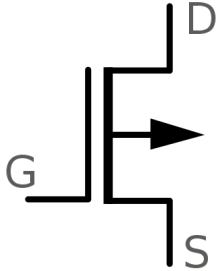
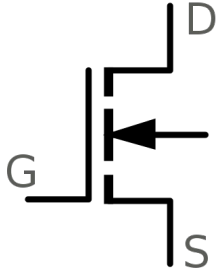
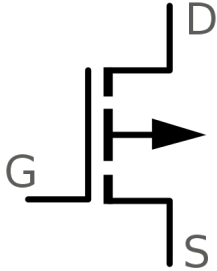
NMOS-Transistor-Phasen IIV



P-Dotierter Transistor

- Funktion analog zu N-Dotiertem Transistor
 - Dotiere Substrate invers
 - Defektelektronen statt Elektronen
 - Bulk auf U_0 statt auf Masse
 - Pfeil im Schaltzeichen anders

MOSFET Typen & Schaltzeichen

	n-Kanal	p-Kanal
normal leitend		
normal sperrend		

Transistorschaltungen

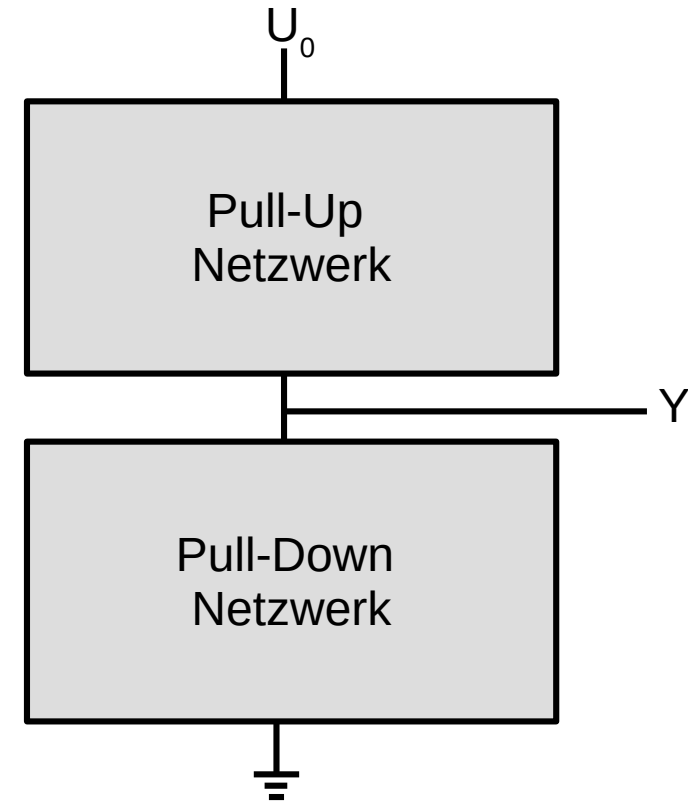
- Kreis schließt sich
 - Logik → Assembler → Physik → MOSFETs → Logik → ...

Transistorschaltungen

- NMOS
 - Schaltung nur mit N-MOSFETs
 - Verbindet Ausgang mit Masse
- PMOS
 - Schaltung nur mit P-MOSFETs
 - Verbindet Ausgang mit U_0
- CMOS
 - Kombination aus N- und P-MOSFETs

Transistorschaltungen

- Pull-Up
 - PMOS oder Widerstand
 - Realisiert Y
- Pull-Down
 - NMOS oder Widerstand
 - Realisiert \bar{Y}



Pull-Widerstände

- N-/P-MOS kann nur mit Masse/ U_0 verbinden
 - Was ist mit dem anderen Potential?
- Wie bei Dioden-Logik
 - Widerstand, um Überbrückung zu verhindern
- Nachteil: Hohe Verlustleistung

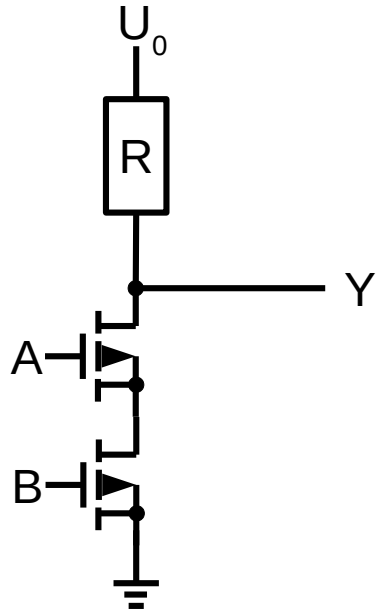
Übung

- 1) Baue NAND- & NOR-Gatter mit nMOS
- 2) Baue AND- & OR-Gatter mit pMOS
- 3) Baue ein NOT-Gatter mit nMOS
- 4) Baue ein NOT-Gatter mit pMOS

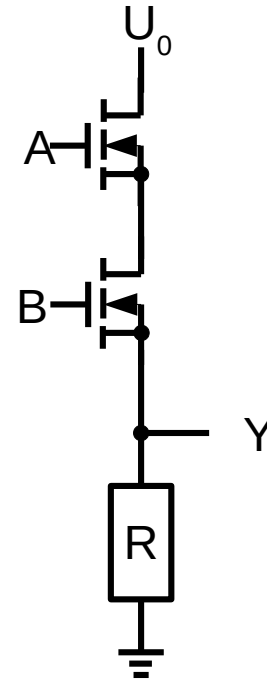
(Benutze wenn möglich selbstsperrende MOSFETs)

Übung - (N)AND

nMos

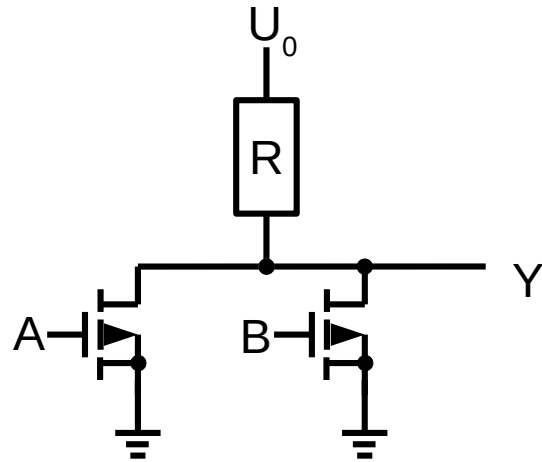


pMos

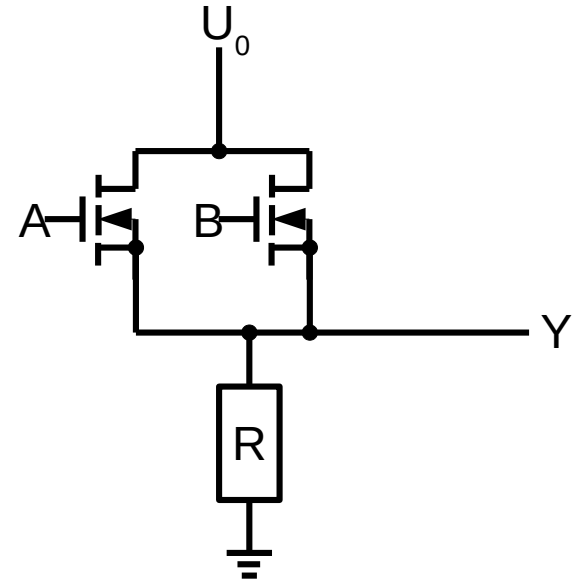


Übung - (N)OR

nMos

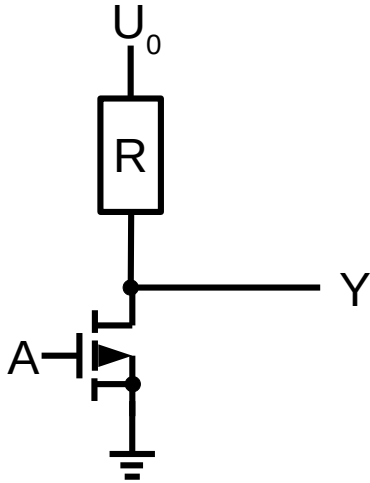


pMos

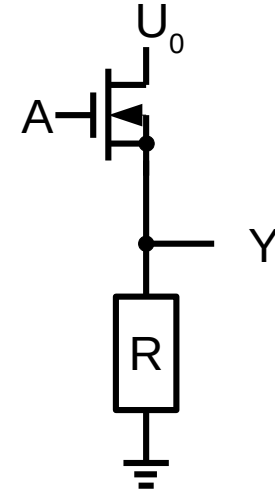


Übung - NOT

nMos



pMos



normalleitender PMOS notwendig!

CMOS

- Umgeht Verlustleistung durch den Widerstand
- Realisiere
 - Y mit pMos-Pull-Up-Netzwerk
 - \bar{Y} mit nMos-Pull-Down-Netzwerk
- CMOS analysieren
 - Betrachte nur Up- oder Down-Netzwerk

