

Computación Paralela

Departamento de Ciencias de la Computación

Arquitectura MIMD

Ing. Carlos Andrés Pillajo B, Msc.
capillajo@espe.edu.ec

16 de noviembre de 2023

Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias

Contenido

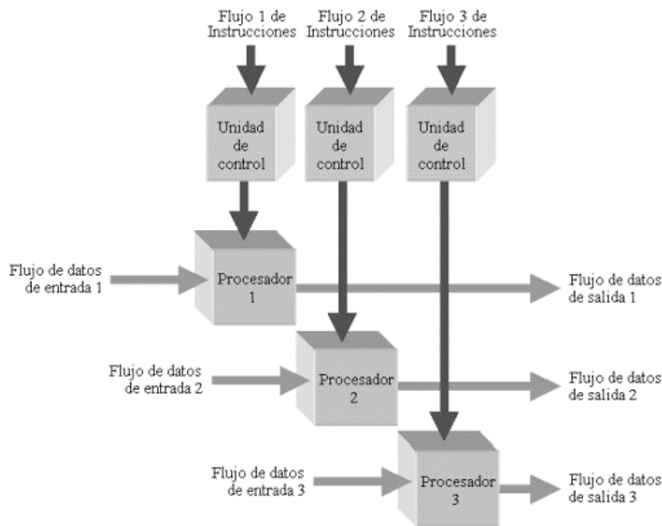
- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias

Arquitectura MIMD - Multiple Instruction Stream Multiple Data Stream o Flujo de instrucciones múltiples Flujo de datos múltiples

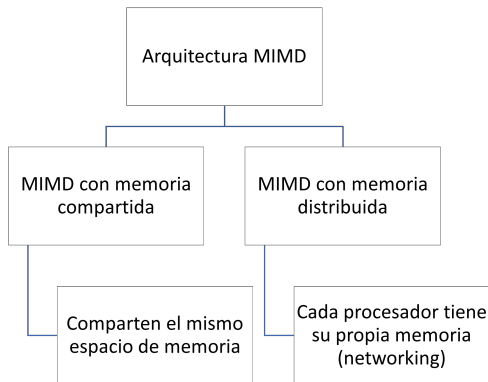
- Aumentar la capacidad de trabajo conectando varios procesadores entre sí para obtener un rendimiento global lo más cercano a la suma de rendimientos de cada procesador por separado.
- División de un problema (programa) en varias tareas (procesos) independientes.
- Varios procesadores autónomos que pueden ejecutar flujos independientes de instrucciones usando datos locales.
- Son computadoras asíncronas con control descentralizado de hardware, cada procesador tiene su propia unidad de control ejecutando un programa diferente.

Contenido

- 1 Definiciones
- 2 Arquitectura**
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias



Arquitectura - Clasificación según memoria

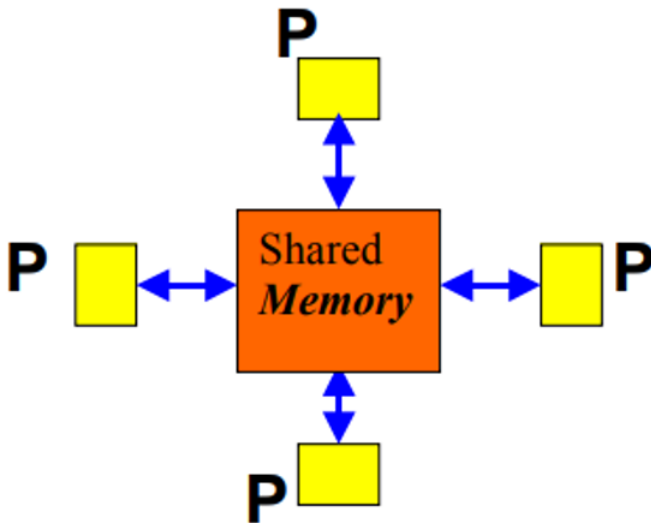


Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida**
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias

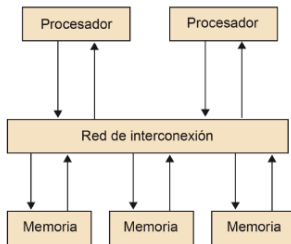
- Todos los procesadores se comunican por medio de una memoria común.
- Comparten un mismo espacio de memoria.
- Transmitir un dato desde el procesador P_i al procesador P_j son necesarios dos pasos:
 - El procesador P_i escribe el dato en una dirección de memoria conocida por el procesador P_j .
 - El procesador P_j lee esa localidad de memoria.
- En estos sistemas, los threads pueden comunicarse los unos con los otros a través de lecturas y escrituras a variables/datos compartidos.

MIMD Memoria Compartida



MIMD Memoria Compartida - UMA

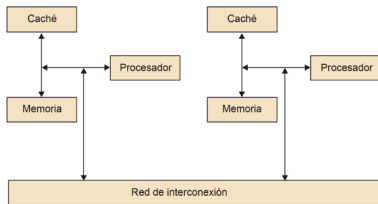
- Una de las clases de máquinas de memoria compartida más conocidas son las SMP (symetric multiprocessor), que son máquinas UMA.
- Todos los procesadores son iguales y van a la misma velocidad, compartiendo todos ellos una conexión para acceder a todas las posiciones de memoria.
- A continuación, se muestra un ejemplo de un SMP con dos procesadores que se conectan a un bus compartido para acceder a la memoria principal.



- Debido a que todos los procesadores comparten la conexión, este tipo de máquinas no escalan a un gran número de procesadores.
- La conexión compartida se convierte en un cuello de botella.
- Son los sistemas más fáciles de montar y de programar ya que el programador no se preocupa de a dónde van los datos.

MIMD Memoria Compartida - NUMA

- Permiten escalar a un mayor número de procesadores ya que su conexión a la memoria no es compartida por todos los procesadores.
- En este caso hay memorias que están cerca y lejos de una CPU, y por consiguiente, se pueden tardar un tiempo de acceso diferente dependiendo del dato al que se accede.
- A continuación, se muestra un esquema básico de una arquitectura NUMA formada por dos procesadores.



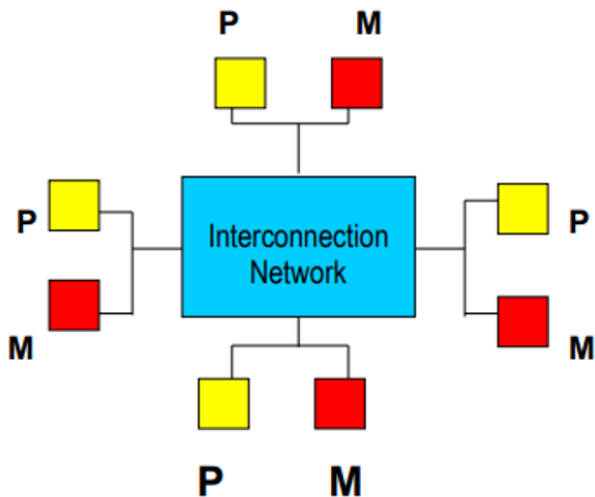
- Para reducir los efectos de la diferencia de tiempos entre acceso a memoria lejana, cada procesador dispone de una caché.
- Por lo contrario, para mantener la coherencia de un dato en todas las caché, se precisan protocolos de coherencia de caché.
- La forma de programar éstas máquinas es tan fácil como una máquina UMA, pero aquí el programador debe pensar bien dónde coloca los datos por temas de eficiencia.

Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida**
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias

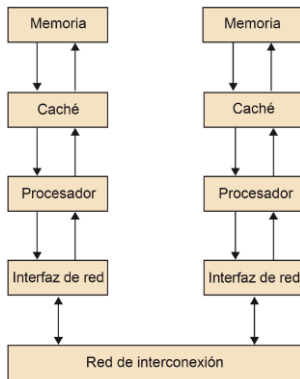
- Comunicación entre procesadores es por medio de una red de interconexión.
 - Directa, en las que existen enlaces físicos que conectan directamente pares de procesadores, permitiendo enviar o recibir datos en cualquier instante de tiempo.
 - De múltiples etapas, que tienen una baja cantidad de enlaces entre procesadores, de manera que cuando es necesario comunicar un mensaje entre dos procesadores que no tienen conexión directa, debe encaminarse o enrutarse dicho mensaje por procesadores intermedios entre estos dos.
- Cada procesador cuenta con su propia memoria caché.
- Cada procesador tiene su propio espacio de memoria de direcciones y, por consiguiente, los procesos se tienen que comunicar vía paso de mensajes (punto a punto o colectivas).

MIMD Memoria Distribuida



MIMD Memoria Distribuida

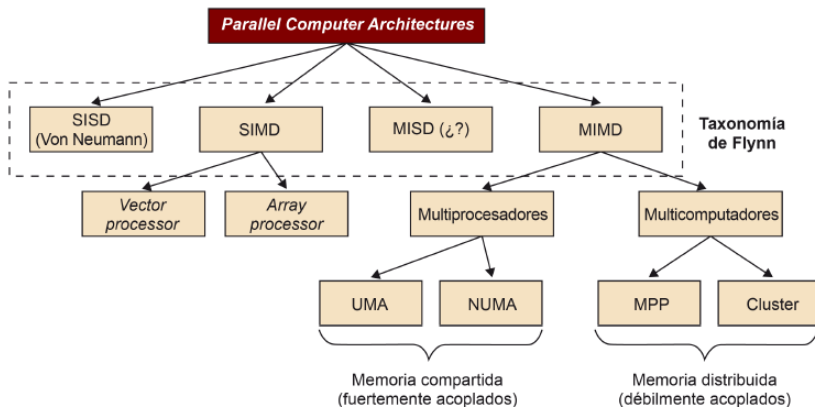
- La siguiente figura muestra como cada core (procesador) dispone de su memoria y que para obtener los datos de la memoria de otro core, éstos se deben comunicar entre ellos vía una red de interconexión.
- La latencia y ancho de banda de la red de interconexión puede variar mucho, pudiendo ser tan rápida como el acceso a memoria compartida, o tan lenta como ir a través de una red ethernet.



Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn**
- 6 Aplicaciones
- 7 Referencias

Clasificación de Flynn



Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones**
- 7 Referencias

- MIMD con memoria compartida
 - Encore MULTIMAX
 - Sequent Symmetry
 - Sun SPARCcenter 2000
- MIMD con memoria distribuida
 - Connection Machine CM 5 (1991, 16k procesadores).
 - Intel Paragon
 - Cray
 - IBM SP (IBM Scalable POWER parallel)

Contenido

- 1 Definiciones
- 2 Arquitectura
- 3 MIMD Memoria Compartida
- 4 MIMD Memoria Distribuida
- 5 Clasificación de Flynn
- 6 Aplicaciones
- 7 Referencias**



Parallel Programming

Wilkinson, B. and Allen, M.

Second Edition



Ejercicios de programación paralela con OpenMP y MPI.

*Román, J.E., Alonso, J.M, Alvarruiz, F., Blanquer, I., Guerrero, D.,
Ibáñez, J.J., Ramos, E.*

Universitat Politècnica de Valencia