实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”

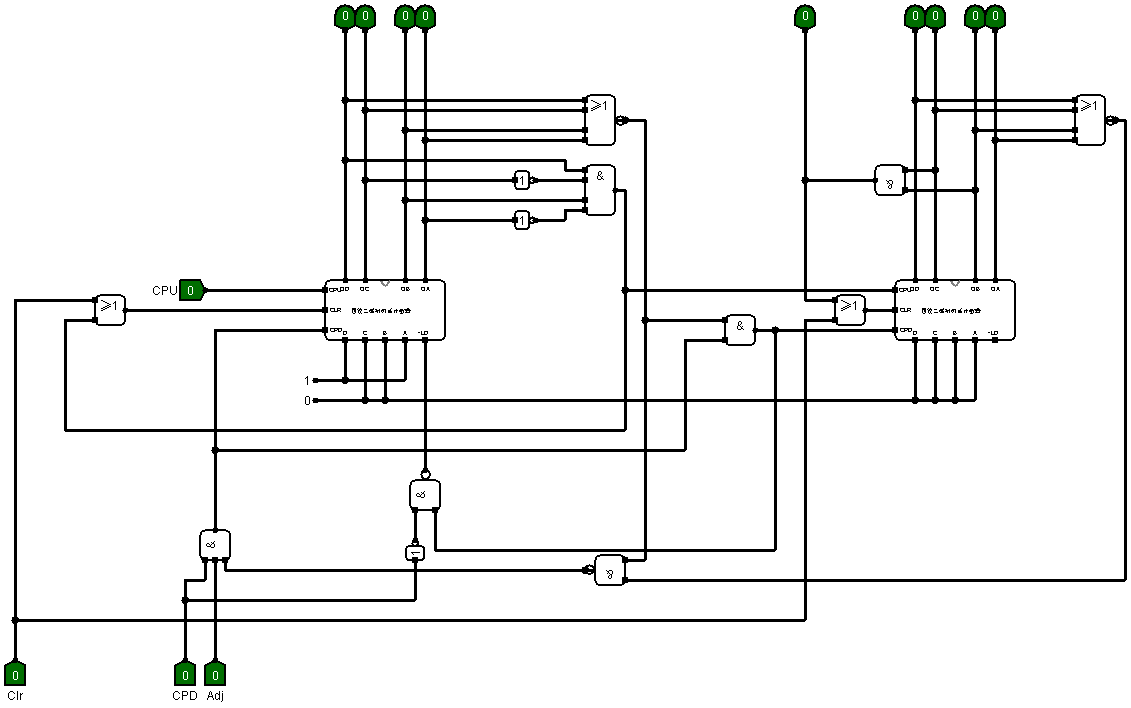


图 5.8电子钟的测试电路

6. 实验方案设计

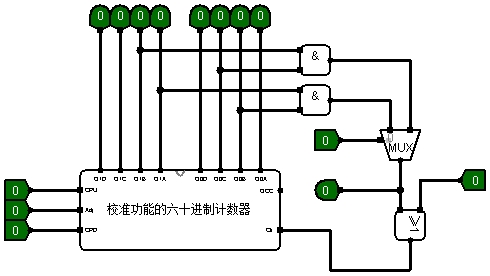
**（1）六十进制计数器**

取两个实验二所做四位二进制可逆计数器，记为1，2。将两计数器的输入A，B，C，D均置为常量0。根据电路功能，有，，， ，，， 。得到电路图如下图所示。



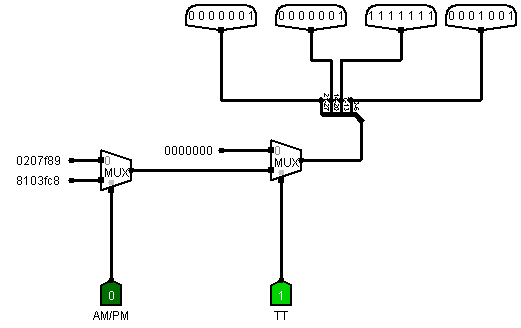
**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

在六十进制计数器的基础上，利用多路选择器确定遇到十二时进位或遇到二十四是进位即可，控制清零的信号即为进位信号。电路如下图所示。



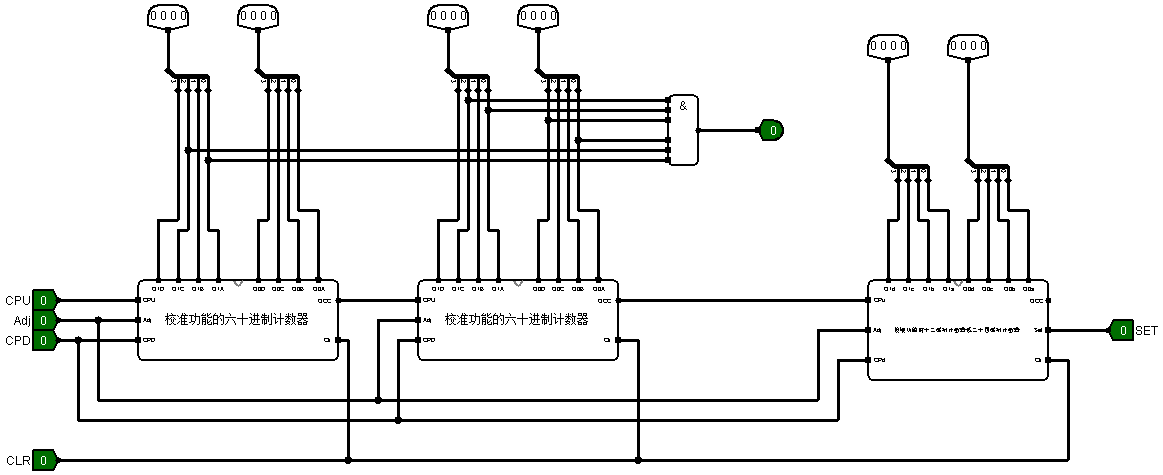
**（3）显示“上午”、“下午”的电路**

使用两个多路选择器，第一个多路选择器控制端链接AM/FM，输入端为使LED点阵显示“上”和“下”的常量；第二个多路选择器控制端连接TT，输入端为第一个多路选择器的输出和常量0。电路如图所示。



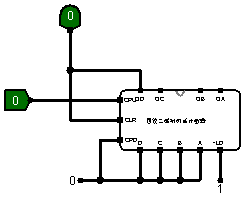
**（4）电子钟整点报时电路**

将六十进制计数器、十二进制或二十四进制计数器封装为显示时、分、秒的电路，当分为59、秒的十位为5时进行报时，即达到报时10秒的目的。电路图如下图所示。



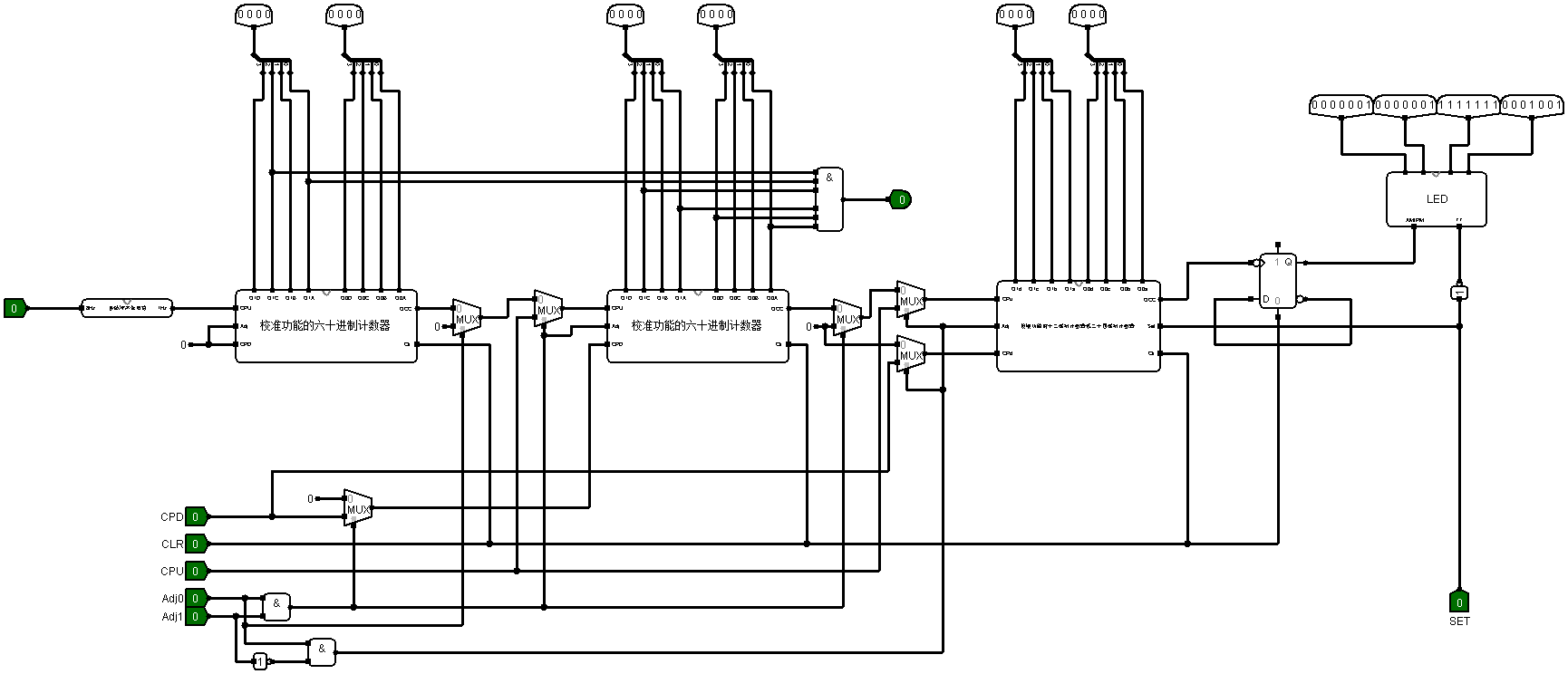
**（5） 秒计时脉冲产生电路**

要将8Hz脉冲转为1Hz脉冲，只需利用四位二进制计数器，每当最高位为1时产生一个脉冲信号并将计数器清零即可。



**（7）多功能数字钟电路**

在（4）电路的基础上，在秒向分进位、分向时进位之间分别加入两个多路选择器，以实现选择调整对象和调整过程中不进位的功能。在时的进位输出处使用一个D触发器来实现改变和保存上下午信息的功能。后续接上下午显示电路即可。电路如下图所示。



7. 实验结果记录

**（1）六十进制计数器**

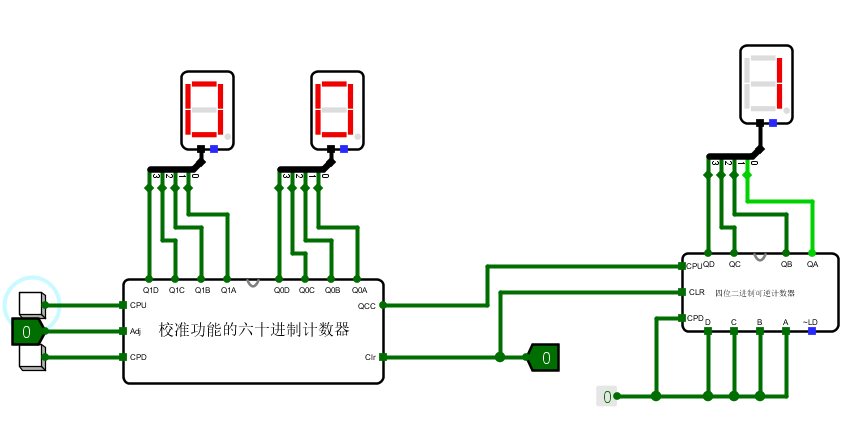
****

图 7.1.1 达到60后进位

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

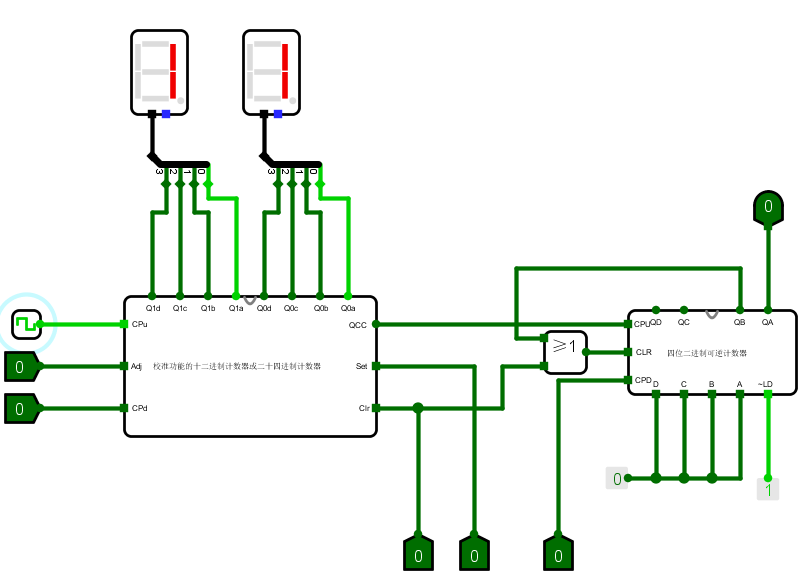
****

图 7.2.1 SET=0时，进位前

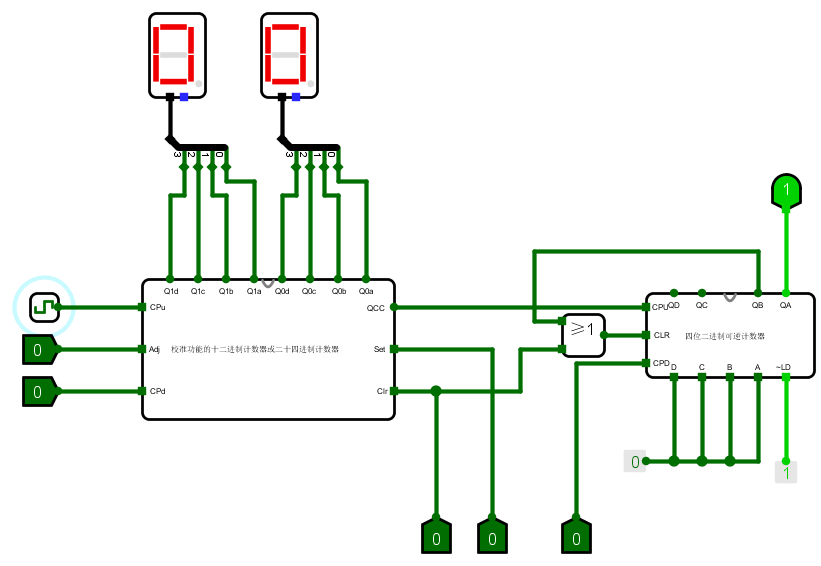


图 7.2.2 达到12点时进位，同时上下午状态转换

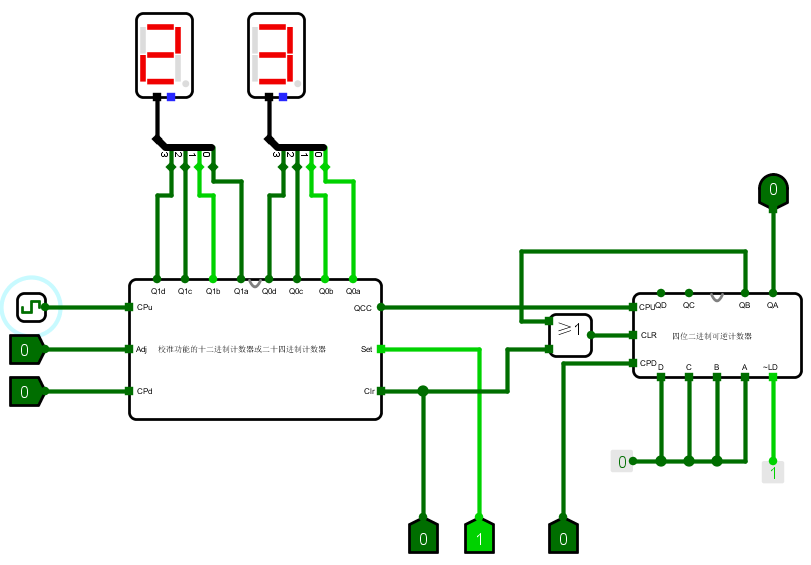


图 7.2.3 SET=1时，进位前

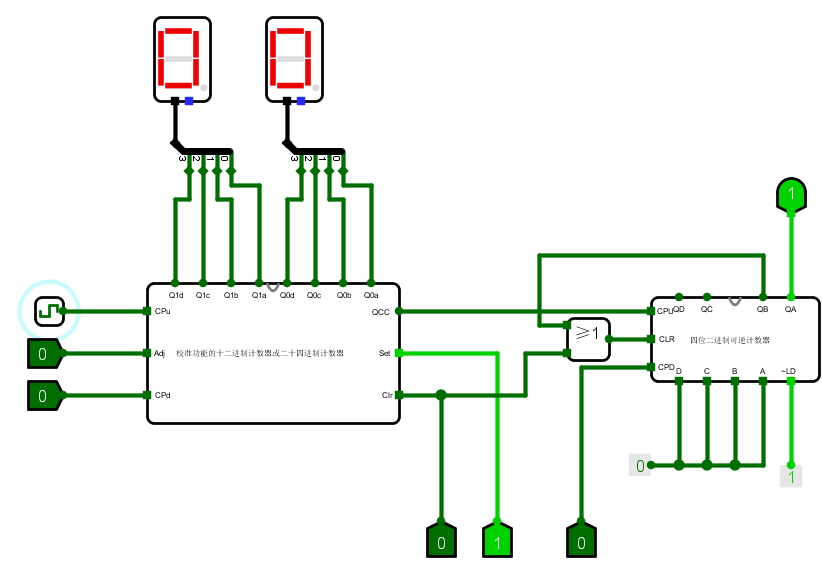


图 7.2.4 时间达到24时进位

**（3）显示“上午”、“下午”的电路**

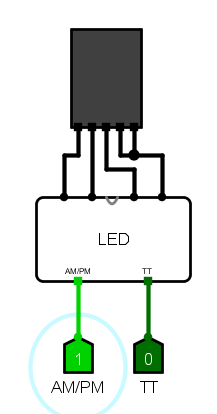
****

图 7.3.1 TT=0时屏幕熄灭

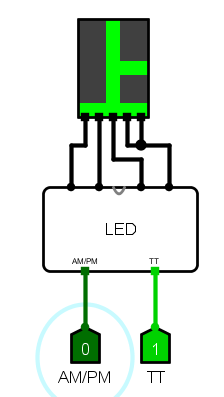


图 7.3.2 AM/PM=0时显示为“上”

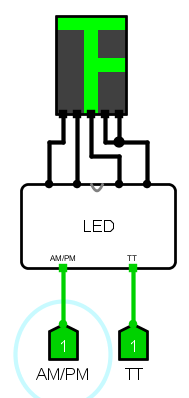


图 7.3.3 AM/PM=1时显示为“下”

**（4）电子钟整点报时电路**

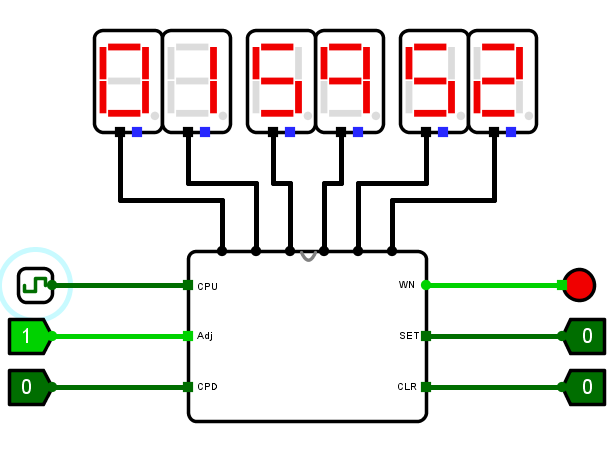
****

图 7.4 整点前10秒，LED灯亮起

**（7）多功能数字钟电路**

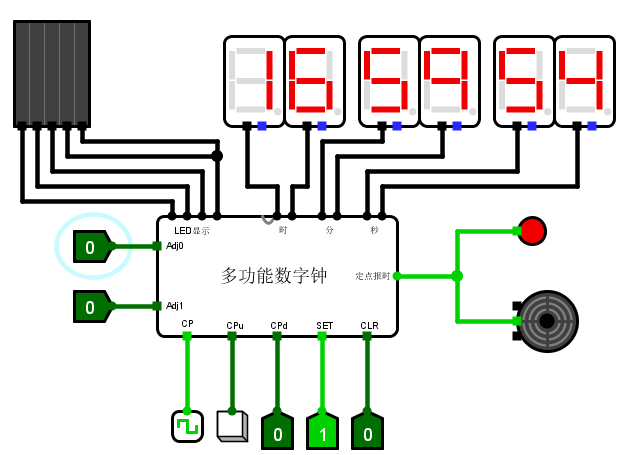


图 7.7.1 24小时模式下的时间显示及报时功能

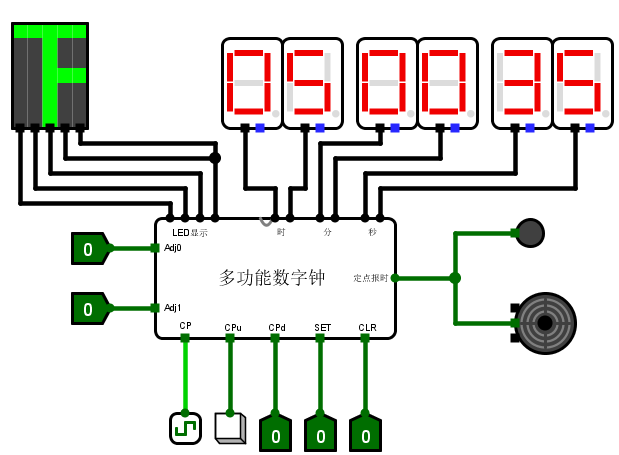


图 7.7.2 12小时模式下下午时间的显示

要求：封装后各电路后，截取带有“Logisim”软件仿真调试信息的电路图。

8. 实验后的思考

（1）实验的难点在哪些方面？

本实验的主要难点在于六十进制计数器的实现。在实验中，利用两个四位二进制计数器实现此功能时，需要在低位出现10时产生进位信号，在低位为0时产生借位信号，并利用这些信号实现清零和进位。但是在Logisim软件中，进位标志的产生和低位的清空是在瞬间完成的，一旦出现问题比较难以调试。

例如，在测试过程中，我发现CPD只能影响到低位，而当低位为0时无法从高位借位。而当我将连接高位CPD的线路接到另一个输入引脚再次测试时，发现使用CPD会导致高位数值增加。这说明低位向高位传递了一个进位信号，而在Logisim软件中并没有办法明显的发现这一点。

（2）如何解决这些难点？

根据多次尝试与分析，可以发现，在原四位二进制可逆计数器中，在收到CPD信号时，输出值会变为1111B，但在8421码中不应出现这个值，因此会导致电路出现逻辑上的错误。解决方法为在原四位二进制可逆计数器基础上，将CPD输入改为即可解决该问题，而改用~LD端来实现置为1001B的效果。