НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ЯДЕРНЫЙ УНИВЕРСИТЕТ «МИФИ»

Лабораторная работа № 4

по дисциплине «Схемотехника ЭВМ» «Синхронные счетчики»

> Работу выполнил: студент группы ххх Сайфуллина З.Р.

> > Преподаватель: Новиков Г.Г. Ядыкин И.М.

Цель: овладеть методом синтеза синхронных счетчиков; приобрести практические навыки отработки проектируемых схем как моделированием с использованием САПР, так и макетированием на универсальном лабораторном стенде.

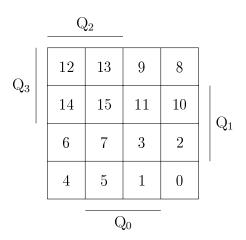
Задание: Спроектировать трехразрядный двоично-десятичный счетчик по данным:

Двоично-десятичный код	Десятичные номера двоичных наборов последовательных десятичных цифр в данном
	двоично-десятичном коде
4621	0, 1, 2, 3, 8, 9, 4, 5, 6, 7

Требуется:

- 1. На основе матрицы переходов составить таблицу истинности функций возбуждения триггеров (DV и JK) счетчика;
- 2. Построить схемы двух разрядов (на DV и JK триггерах) двоично-десятичного счетчика с цепями переноса;
- 3. Описать счетчик на VHDL;
- 4. Построить схему соединения созданных счетчиков;
- 5. Разработать схему исследования спроектированных счетчиков с использованием макроэлементов стенда и осциллографа;
- 6. Получить результаты экспериментальных исследований.

Рис. 1: Эталонная диаграмма Вейча



Напишем таблицу состояний и матрицу переходов DV-триггера:

Таблица 1: Таблица состояний DV-триггера Таблица 2: Матрица переходов DV-триггера

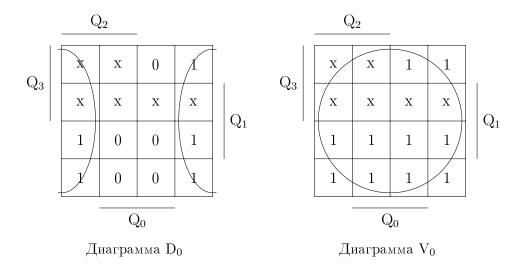
D	V	$\mathrm{Q}(\mathrm{t}{+}1)$
0	0	Q(t)
0	1	0
1	0	Q(t)
1	1	1

$\mathrm{Q}(\mathrm{t}){ ightarrow}\mathrm{Q}(\mathrm{t}{+}1)$	D	\mathbf{V}
$0 \rightarrow 0$	a_1	$ar{a_1}b_1$
$0 \rightarrow 1$	1	1
$1\rightarrow0$	0	1
1 -> 1	a_2	a_2b_2

Таблица 3: Таблица переходов и функций возбуждения DV-триггеров счетчика

10- тичная цифра	№ набора	\mathbf{Q}_3	\mathbf{Q}_2	\mathbf{Q}_1	\mathbf{Q}_0	\mathbf{Q}_3	\mathbf{Q}_2	\mathbf{Q}_1	\mathbf{Q}_0	\mathbf{D}_3	\mathbf{V}_3	\mathbf{D}_2	\mathbf{V}_2	\mathbf{D}_1	\mathbf{V}_1	\mathbf{D}_0	\mathbf{V}_0
0	0	0	0	0	0	0	0	0	1	a_0	$\bar{a_0}b_0$	a_0	$\bar{a_0}b_0$	a_0	$\bar{a_0}b_0$	1	1
1	1	0	0	0	1	0	0	1	0	a_1	$ar{a_1}b_1$	a_1	$ar{a_1}b_1$	1	1	0	1
2	2	0	0	1	0	0	0	1	1	a_2	$ar{a_2}b_2$	a_2	$ar{a_2}b_2$	a_2	a_2b_2	1	1
3	3	0	0	1	1	1	0	0	0	1	1	a_3	$\bar{a_3}b_3$	0	1	0	1
4	8	1	0	0	0	1	0	0	1	a_8	a_8b_8	a_8	$\bar{a_8}b_8$	a_8	$\bar{a_8}b_8$	1	1
5	9	1	0	0	1	0	1	0	0	0	1	1	1	a_9	$\bar{a_9}b_9$	0	1
6	4	0	1	0	0	0	1	0	1	a_4	$\bar{a_4}b_4$	a_4	a_4b_4	a_4	a_4b_4	1	1
7	5	0	1	0	1	0	1	1	0	a_5	$ar{a_5}b_5$	a_5	a_5b_5	1	1	0	1
8	6	0	1	1	0	0	1	1	1	a_6	$\bar{a_6}b_6$	a_6	a_6b_6	a_6	a_6b_6	1	1
9	7	0	1	1	1	0	0	0	0	a_7	$\bar{a_7}b_7$	0	1	0	1	0	1

Найдем минимальную ДНФ для функций D_0 и V_0 :

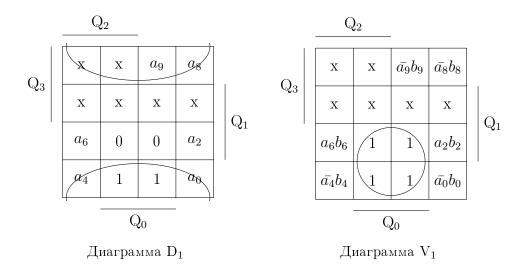


Выпишем минимальные ДНФ функций D_0 и V_0 :

$$D_0 = \bar{Q}_0$$

$$V_0 = 1$$

Найдем минимальную ДНФ для функций D_1 и V_1 :

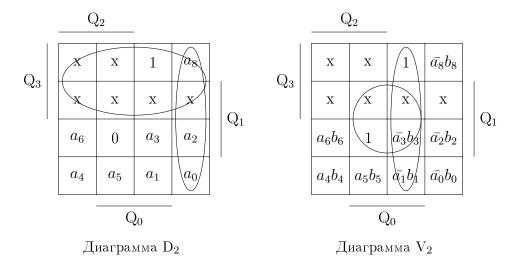


Выпишем минимальные ДНФ функций D_1 и V_1 :

$$D_1 = \bar{Q}_1$$

$$V_1 = \bar{Q}_3 Q_0$$

Найдем минимальную ДНФ для функций D_2 и V_2 :

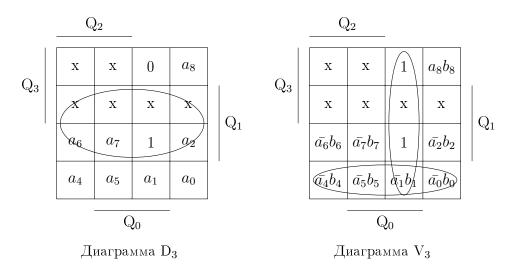


Выпишем минимальные ДНФ функций D_2 и V_2 :

$$D_2 = Q_3 \vee \bar{Q}_2 \bar{Q}_0$$

$$V_2 = Q_1 Q_0 \vee \bar{Q}_2 Q_2$$

Найдем минимальную ДНФ для функций D_3 и V_3 :



Выпишем минимальные ДНФ функций D_3 и V_3 :

$$D_3 = Q_1$$

$$V_3 = \bar{Q}_3 \bar{Q}_1 \vee \bar{Q}_2 Q_0$$

Напишем таблицу состояний и матрицу переходов ЈК-триггера:

Таблица 4: Таблица состояний ЈК-триггера Таблица 5: Матрица переходов ЈК-триггера

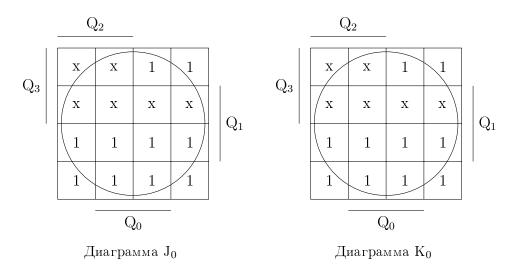
J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

$\mathrm{Q}(\mathrm{t}){ ightarrow}\mathrm{Q}(\mathrm{t}{+}1)$	J	K
$0 \rightarrow 0$	0	X
$0\rightarrow 1$	1	X
1→0	X	1
$1 \rightarrow 1$	X	0

Таблица 6: Таблица переходов и функций возбуждения ЈК-триггеров счетчика

10- тичная цифра	№ набора	\mathbf{Q}_3	${f Q}_2$	\mathbf{Q}_1	\mathbf{Q}_0	\mathbf{Q}_3	\mathbf{Q}_2	\mathbf{Q}_1	${f Q}_0$	\mathbf{J}_3	\mathbf{K}_3	${f J}_2$	\mathbf{K}_2	\mathbf{J}_1	\mathbf{K}_1	\mathbf{J}_0	\mathbf{K}_0
0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
1	1	0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
2	2	0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
3	3	0	0	1	1	1	0	0	0	1	X	0	X	X	1	X	1
4	8	1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
5	9	1	0	0	1	0	1	0	0	X	1	1	X	0	Х	X	1
6	4	0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
7	5	0	1	0	1	0	1	1	0	0	X	X	0	1	Х	X	1
8	6	0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
9	7	0	1	1	1	0	0	0	0	0	X	X	1	X	1	X	1

Найдем минимальную ДНФ для функций J_0 и K_0 :

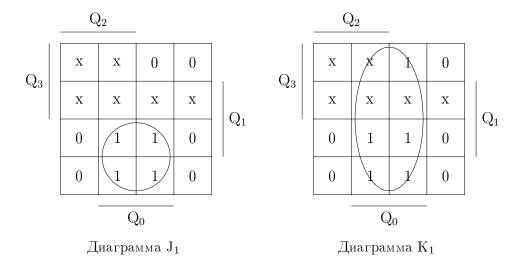


Выпишем минимальные ДНФ функций J_0 и K_0 :

$$J_0 = 1$$

$$K_0 = 1$$

Найдем минимальную ДНФ для функций J_1 и K_1 :

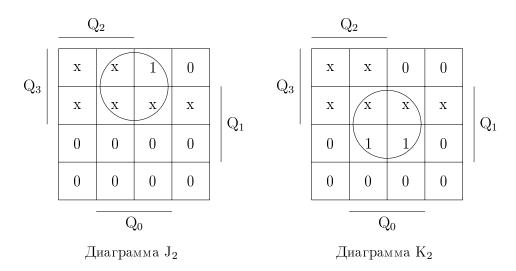


Выпишем минимальные ДНФ функций J_1 и K_1 :

$$J_1 = \bar{Q}_3 Q_0$$

$$K_1 = Q_0$$

Найдем минимальную ДНФ для функций J_2 и K_2 :

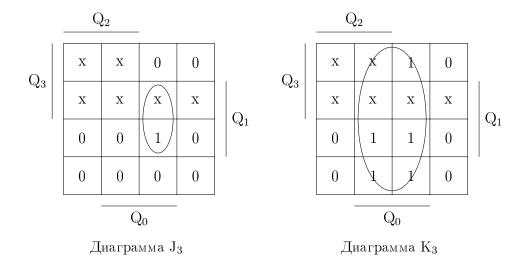


Выпишем минимальные ДНФ функций J_2 и K_2 :

$$J_2 = Q_3 Q_0$$

$$K_2 = Q_0 Q_1$$

Найдем минимальную ДНФ для функций J_3 и K_3 :



Выпишем минимальные ДНФ функций J_3 и K_3 :

$$J_3 = \bar{Q}_2 Q_1 Q_0$$

$$K_3 = Q_0$$

Организация связи между двоично-десятичными счетчиками

$$Q_3 Q_2 Q_1 Q_0 = 0111$$

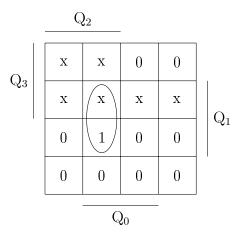


Диаграмма ТС

$$TC = Q_2 Q_1 Q_0$$

Входной сигнал переноса СЕО для дальнейшего увеличения разрядности двоично-десятичных счетчиков:

$$COE = TC\&CE$$

Описание комбинационной схемы на языке VHDL:

```
port (
 CLR, C, CE: in BIT;
 Q: buffer BIT VECTOR (3 downto 0);
 TC: buffer BIT;
 CEO: out BIT
);
end Lab4;
architecture Lab4 arch of Lab4 is
begin
  process (CLR,C)
  begin
    if CLR = '1' then Q \le "0000";
    elsif CE='0' then null;
    elsif C'event and C='1' then
      case Q is
      when "0000" => Q <= "0001";
      when "0001" => Q <= "0010";
      \mathbf{when} \ \ "\,0\,0\,1\,0\," \ => \ Q <= \ "\,0\,0\,1\,1\," \ ;
      when "0011" \Rightarrow Q <= "1000";
      when "1001" => Q <= "0100";
      when "0100" => Q <= "0101";
      when "0101" => Q <= "0110";
      when "0110" => Q <= "01111";
      when "0111" \Rightarrow Q \iff "0000";
      when others \Rightarrow Q <= "0000";
      end case;
    end if;
  end process;
  TC \leq Q(2) and Q(1) and Q(0);
 CEO \le CE and TC;
end Lab4_arch;
```

Рис. 11: Схема двоично-десятичного считчика с асинхронным входом предварительной установки в 0, построенного на DV-триггерах.

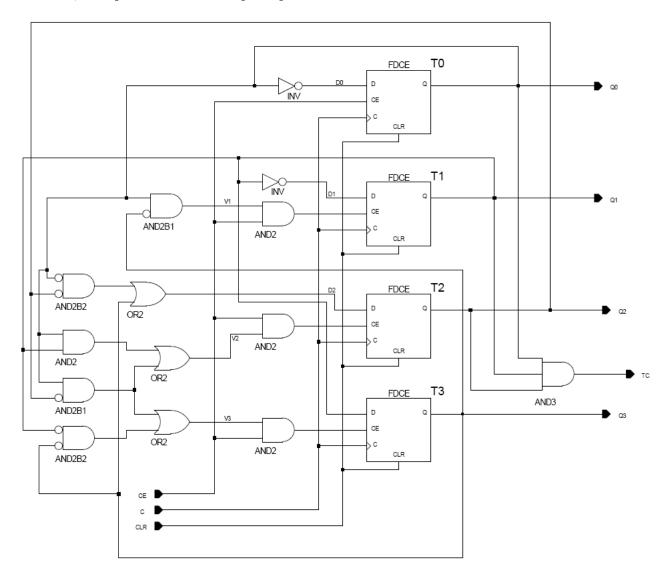


Рис. 12: Временная диаграмма двоично-десятичного считчика с асинхронным входом предварительной установки в 0, построенного на DV-триггерах

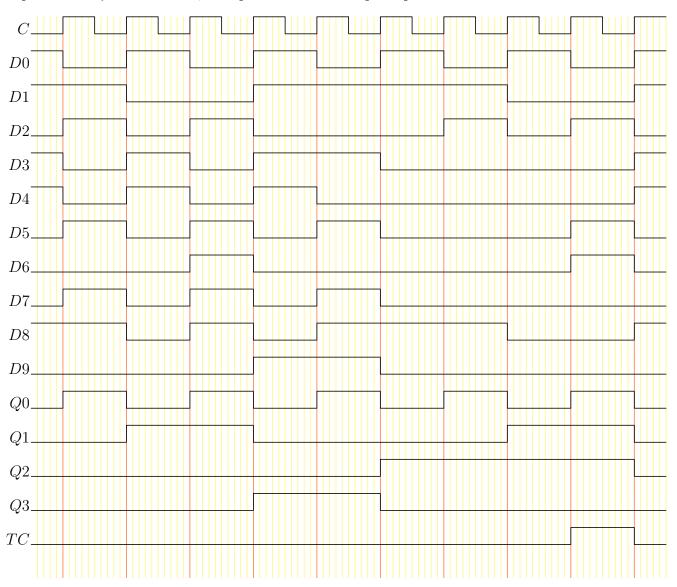


Рис. 13: Схема двоично-десятичного считчика с асинхронным входом предварительной установки в 0, построенного на JK-триггерах.

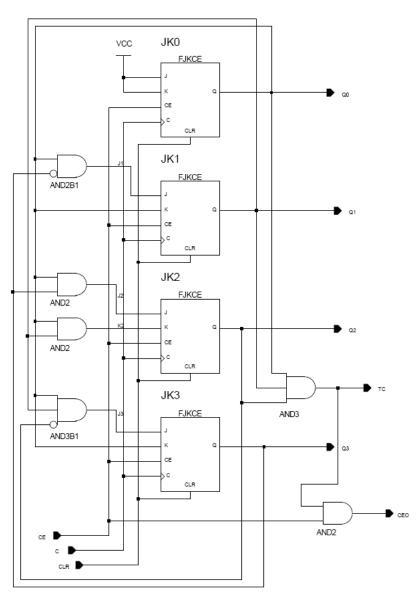


Рис. 14: Временная диаграмма двоично-десятичного считчика с асинхронным входом предварительной установки в 0, построенного на ЈК-триггерах

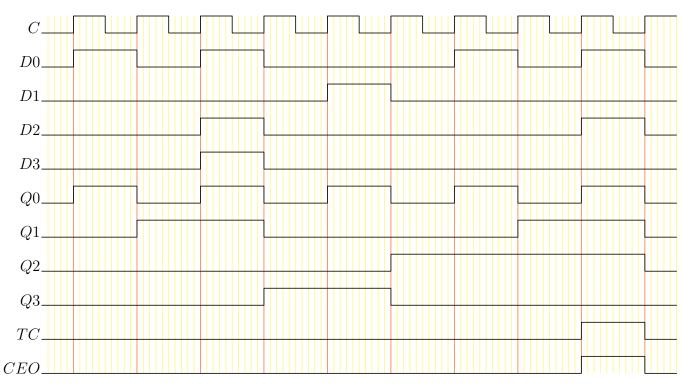


Рис. 15: Схема подключения счетчиков

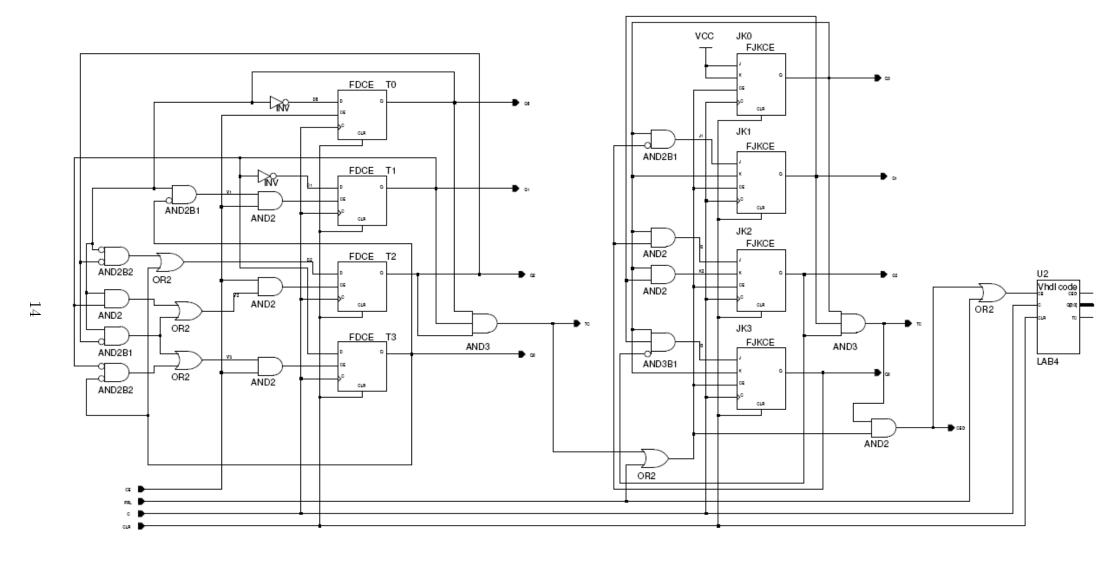


Рис. 16: Схема эксперимента

