

Návrh jádra procesoru architektury RISC-V v FPGA

Představení bakalářské práce

Rok: 2023

Autor práce: Jaroslav Körner

Vedoucí práce: Ing. Martin Rozkovec, Ph.D.



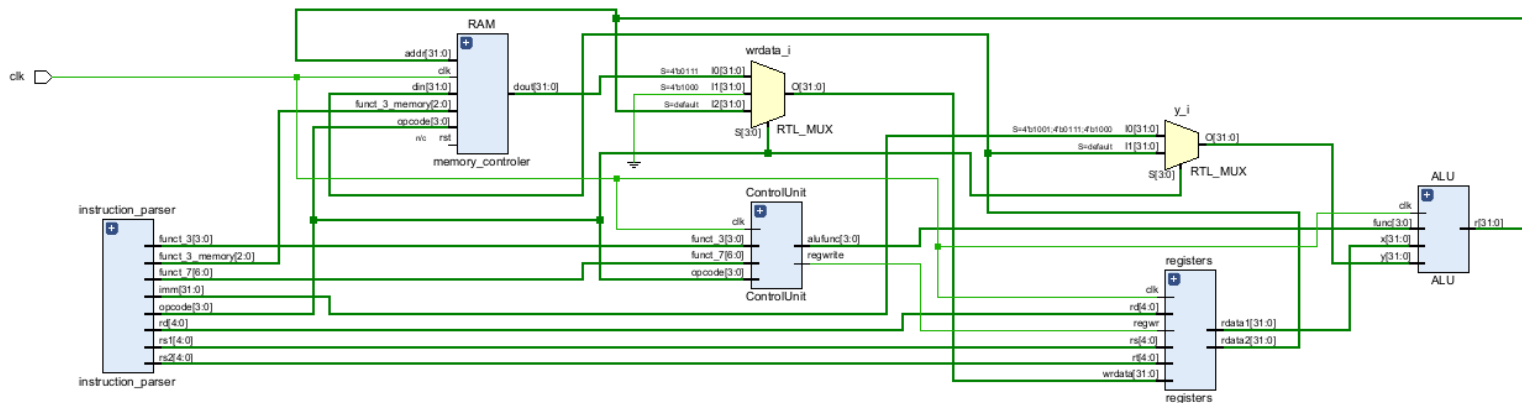
Cíle bakalářské práce

1. Navrhnout jádro procesoru RISC-V
 - Instrukční sada: RISC-V32I
 - Jazyk: VHDL
 - Simulace: IDE Vivado
2. Realizace návrhu na FPGA Xilinx
 - Demonstrační program



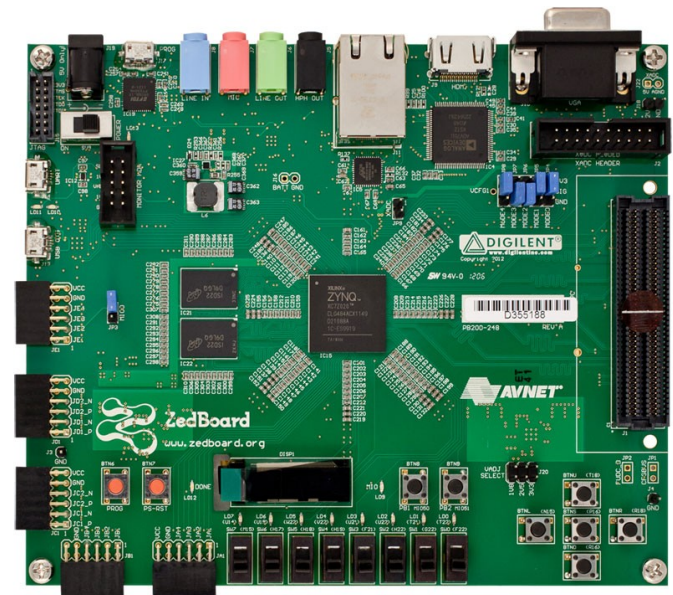
Splnění

- ALU
- Registry
- Dekodér instrukcí
- Řídící jednotka
- Datová paměť



Zbývá dokončit

- Instrukční paměť
- Řízení skoků
- Výjimky
- Demonstrační program
- Dokumentace



Zdroje:

Obrázky:

- <https://cs.wikipedia.org/wiki/Soubor:Xilinx.svg>
- <https://www.xilinx.com/products/boards-and-kits/1-8dyf-11.html>



Děkuji za pozornost

