

# ARM Cortex™ -A9 프로세서

소비자들은 제품을 통해서 더 많은 기능을 경험 할 수 있기를 바랄 뿐만 아니라, 휴대용 제품의 경우 배터리 수명이 연장되기를 바라고 있다. 이에 대한 대안으로 등장한 멀티코어 프로세서 아키텍처를 사용은 최대 성능 수율을 충족하면서도 전력 소비가 매우 적은 디자인을 유지할 수 있는 한 방법이다. 멀티코어 기기는 확장성이 매우 우수한 성능과 저전력을 구현하여 디자인상의 유연성을 높은 수준으로 제공할 수 있어 다양한 고급형 임베디드 시스템에 급속히 보급될 것으로 예상된다.

자료제공 : ARM

[www.arm.com](http://www.arm.com)

많은 주류 프로세서 애플리케이션은 높은 데이터 속도, 더 많은 미디어 서비스, 풍부한 사용자 인터페이스를 사용하는 보안 및 암호화 등의 새로운 기능을 다루기 위해 점점 더 높은 수준의 성능을 필요로 한다. 프로세서 애플리케이션 분야에서는 소비자의 요구가 제품 개발의 주 원동력이 되기 때문에 제조업자들은 최종 제품 비용을 절감해야 하는 큰 과제에 직면하게 되었다. 이는 단순히 경쟁 문제만이 아니라 서구보다 가처분 소득이 훨씬 낮은 개도국에서 새로운 시장의 문을 여는 문제이기도 하다.



Cortex 프로세서 제품군은 ARM 파트너들에게 성능 및 기능별로 특정 시장 및 애플리케이션 사용에 최적화된 다양한 솔루션을 제공한다. 이는 특정 시장 애플리케이션 및 성능 요건에 맞춰 기술을 개발하는 ARM의 전략을 보여주는 것이다. ARM Cortex 제품군은 3가지 시리즈로 구성되어 있는데, 모두 비용에 민감한 임베디드 시장에서 최상의 성능을 실현하기 위해 ARMv7 아키텍처를 따르며, Thumb 명령어 세트를 실행한다.

ARM Cortex-A 시리즈 : 복잡한 OS 및 다중 사용자 애플리케이션을 지원하는 애플리케이션 프로세서

ARM Cortex-R 시리즈 : 딥 임베디드 실시간 시스템을 위한 임베디드 프로세서

ARM Cortex-M 시리즈 : 매우 비용에 민감한 마이크로컨트롤러 및 FPGA에 최적화된 딥 임베디드 프로세서

저비용과 효율적인 성능을 요구하는 애플리케이션의 예는 무수히 많다. 몇 가지만 나열하자면, 인터넷이 연결된 모바일 컴퓨터 및 기타 휴대기기, 휴대전화, PDA, 셋톱박스 애플리케이션, 게임 콘솔, 자동차용 인포테인먼트 등이 그것이다.

소비자들은 제품을 통해서 더 많은 기능을 경험 할 수 있기를 바랄 뿐만 아니라, 휴대용 제품의 경우 배터리 수명이 연장되기를 바라고 있다. 이제는 기본적인 필수 요건이 된 '하루 종일 사용할 수 있는' 제품을 만들기 위해서, 전화, 스마트폰, PDA 제조업자들은 과거 그 어느 때 보다 성능 개선 및 기능을 보다 효율적으로 구현해야만 한다. 전화를 기다리는 동안의 대기 상태에서부터 게임을 할 때의 활발한 처리 능력을 발휘해야 하는 상태까지 등 폭넓은 성능을 구현해야 하는 애플리케이션인 스마트폰을 생각해보자. 스마트폰의 시스템 아키텍처는 이 두 가지 극단적인 성능을 구현할 수 있어야 할 뿐만 아니라, 이를 효율적으로 구현해야 한다.

멀티코어 프로세서 아키텍처를 사용하는 것은 최대 성능 수요를 충족하면서도 전력 소비가 매우 적은 디자인을 유지할 수 있는 한 방법이다. 멀티코어 기기는 확장성이 매우 우수한 성능과 저전력을 구현하여 디자인상의 유연성을 높은 수준으로 제공할 수 있다.

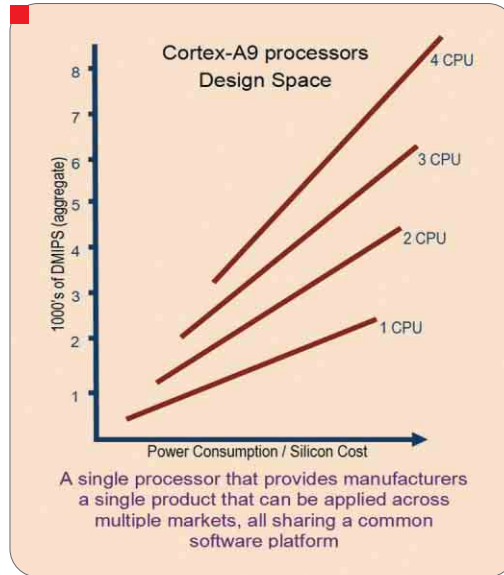
ARM Cortex™-A9 프로세서는 보편적인 지지를 받고 있는 ARMv7 아키텍처의 풍부한 기능을 모두 실현하는 ARM 프로세서 중 가장 최근에 출시된 것으로 최고의 성능을 보여준다. 가장 발전된, 효율성이 우수한 동적 길이의 다중 이슈 수퍼스케일러, 비순차적 추론 8단계 파이프라인을 중심으로 만들어진 Cortex-A9 프로세서는 지금까지 경험하지 못한 최대 성능 및 전력 효율성을 실현하며 소비자, 네트워킹, 엔터프라이즈 및 모바일 애플리케이션 등 다양한 분야의 첨단 제품이 요구하는 기능을 갖추고 있다.

Cortex-A9 마이크로아키텍처는 확장 멀티코어 프로세서인 Cortex-A9 MPCore™ 멀티코어 프로세서 혹은 보다 전통적인 Cortex-A9 단일 코어 프로세서 중 하나로 구현된다. 16, 32 또는 64KB의 4방향 연결(Four Way Associative) L1 캐쉬 구성을 지원하는 확장 멀티코어 프로세서와 단일 프로세서는 서로 다른 별도의 제품으로 최대한의 유연성을 제공하며 각 제품 특징에 따라 특정 애플리케이션 및 시장에 적합하다.

### Cortex-A9 MPCore 멀티코어 프로세서

Cortex-A9 MPCore 멀티코어 프로세서는 큰 성공을 거둔 검증된 ARM MPCore 기술에 추가적으로 이루어진 기능 개선을 통합하여 멀티코어 솔루션 채택을 단순화하고 확대한다. Cortex-A9 MPCore는 최대 성능을 전례 없는 수준으로 확장하는 기능을 제공하면서 동시에 디자인 유연성 및 새로운 기능을 지원하여 프로세서 및 시스템 레벨에서 추가로 전력 소비를 절감하고 제어한다.

또한, Cortex-A9 MPCore는 제한된 모바일 전력







예산에서 효과적인 운영을 유지할 수 있도록 ARM MPCore 기술이 제공하는 고급 전력 관리 기술과 디자인 유연성을 활용하여, 현재 솔루션보다 향상된 최대 성능을 모바일 기기에 제공할 수 있다.

확장 가능한 최대 성능을 이용하여 이 프로세서는 현재 시장에 출시되어 있는 유사한 고성능 임베디드 기기의 성능을 능가하며, 다양한 시장에서 일관적인 소프트웨어 투자를 가능하게 한다.

### Cortex-A9 단일코어 프로세서

Cortex-A9 프로세서는 지금까지 경험하지 못한 최고의 성능 및 전력 효율성을 제공하기 때문에 저전력의 비용에 민감한 단일 프로세서 기반 기기에서 고성능을 요구하는 모든 디자인에 이르기까지 이상적인 솔루션이다. 사용이 편리한 합성 플로우 및 IP 결과물(deliverables)을 이용하는 Cortex-A9 프로세서는 호환 가능한 소프트웨어 환경을 유지하면서 비슷한 실리콘 비용 및 전력 예산에서 성능 및 전력 효율성 개선을 요구하는 기존 ARM11™ 프로세서급 디자인에 이상적인 업그레이드 경로를 제공한다.

Cortex-A9 단일 코어 프로세서는 독립적인 명령

| Next-Generation Devices  | Cortex-A9 Solution  |
|--|---|
| <b>Mobile Handsets<br/>Connected Mobile Computers</b><br> | <b>Next-generation high-end devices (1500-3000DMIPS)</b><br>2-3 core processor with IEM™ technology and adaptive shutdown<br>32K instruction and data caches, 256-512K shared L2 cache using PL310, partitioned AXI<br>NEON technology-based Media Processing Engine, coherent GPU  |
|  | <b>Mid-range, cost reduction, (900-1500DMIPS)</b><br>Single core processor with NEON or FPU<br>16K or 32K instruction and data caches<br>128-256K L2 cache using PL310, single AMBA AXI bus   |
|  | <b>Feature-rich mass market (600-900DMIPS)</b><br>Single core processor with FPU<br>16K instruction and data caches, single AXI   |
| <b>Consumer and Auto-infotainment</b><br>                 | <b>Consumer: user interactions (800-3000DMIPS)</b><br>1-4 core processors giving design scalability across family of devices<br>32K instruction and data caches with 0-512K L2 cache<br>NEON technology for advanced media and DSP processing<br>Advanced bus interface unit for high-speed memory transfers between on-chip 3D engines<br>and network interface MACs<br>AMP configurations using separate CPU for real-time RTOS |
| <b>Networking / Home Gateways</b><br>                     | <b>Enterprise market (4000-8000DMIPS)</b><br>3-4 core performance optimized implementation<br>32K+64K instruction and data cache<br>512K-2MB L2 cache, dual 64 bit AMBA AXI interfaces<br><b>Consumer devices (800-1500DMIPS)</b><br>1x or 2x multicore utilizing coherent accelerators<br>32+32K instruction and data, with 256-512K shared L2 cache<br>NEON or VFP when offering media gateway or services                      |
| <b>Embedded</b><br>                                       | <b>Embedded media and imaging (800-2000DMIPS)</b><br>2x multicore utilizing coherent accelerators<br>32+32K instruction and data with 256K shared L2 cache<br>FPU for postscript and image manipulation and enhancement<br>Code migration through selective AMP/SMP deployments   |

어 및 데이터 트랜잭션을 위해 이중 낮은 지연(Dual Low Latency) 하버드(Harvard) 64비트 AMBA 3 AXI™ 마스터 인터페이스를 제공하며, 메모리의 캐시 지역 전반에서 데이터를 복사할 때 프로세서 주기 5번 마다 4개의 더블 워드를 지속적으로 쓸 수 있다.

## 여러 시장의 요건 충족

Cortex-A9 프로세서는 아래의 공동 요건을 공유함으로써 모바일 단말기에서부터 고성능 소비자 및 엔터프라이즈 제품에 이르기까지 다양한 시장 애플리케이션에 확장 솔루션을 제공한다.

- 고성능을 유지하면서 전력 소비를 줄이기 위해 전력효율성 개선
- 가장 요건이 까다로운 애플리케이션의 최대 성능 향상
- 여러 기기에서 소프트웨어 및 툴 투자를 공유할 수 있는 기능

두 가지 Cortex-A9 프로세서는 애플리케이션과 의 완전 호환 가능하며, Cortex-A9 Neon(NEON)™

미디어 처리 엔진(MPE: Media Processing Engine) 또는 부동소수점 처리장치(FPU: Floating-Point Unit)를 이용하여 애플리케이션 별 성능을 개선할 수 있어서 두 가지 Cortex-A9 프로세서를 활용할 수 있는 시장 애플리케이션 범위를 더욱 확대한다.

두 가지 Cortex-A9 프로세서의 실행 디자인은 그 구성이 유연하여 각각의 실행을 개별 애플리케이션 및 시장의 특성에 맞출 수 있다.

## 애플리케이션 별 최적화

Cortex-A9 및 Cortex-A9 MPCore 애플리케이션 프로세서는 각 애플리케이션은 물론 일반 디자인 용도로 고성능 저전력 솔루션을 제공하기 위해서 여러 가지 다양한 특징 및 ARMv7 아키텍처 기능의 지원을 받는다.

## 고급 마이크로아키텍처

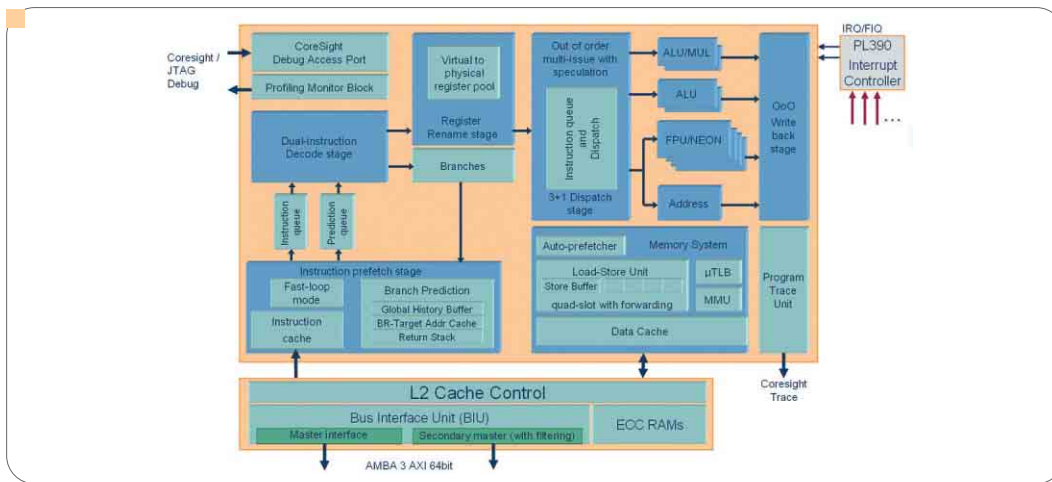
Cortex-A9 마이크로아키텍처는 실리콘 비용 상의 가격에 민감한 임베디드 기기에서 처리 효율성을 최대화하고 지나치게 높은 주파수 디자인과 관련된 비효율성을 제거하기 위해 만들어졌다. 그 결과, 합성 테크닉을 통해 1GHz 클록 주파수 이상이 가능한 기기를 구현할 수 있으며, 장시간 배터리 운영을 하기 위해 필요한 높은 수준의 전력 효율성을 제공하는 프로세서 디자인이 만들어지게 되었다.

## 파이프라인 설명

- 명령어 인출(fetch) 브랜치 예측의 고급 처리 : 잠재적인 메모리 지연으로 유발된 명령어 정체로부터 브랜치 레졸루션(Branch Resolution)을 해제한다.
- 최대 4개 명령어 캐시 라인까지 프리페치-펜딩(Prefetch-Pending) : 메모리 지연 영향을 추가로 더 감소시켜 명령어 전송을 유지한다.

표 1. Cortex-A9 프로세서 예 애플리케이션 프로파일

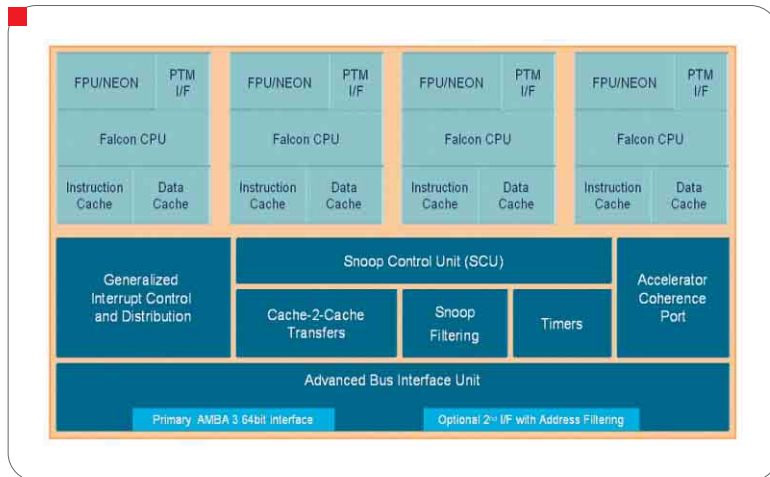
| 특징  | 장점  |
|---|---|
| 효율성이 뛰어난 수퍼스케일러 파이프라인                                 | 2.0DMIPS/MHz 이상의 업계 최고 성능으로 전례가 없는 최대 성능 실현하면서 동시에 저전력 유지로 배터리 수명 연장하고 패키지 및 운영비용을 절감 한다.   |
| Neon(NEON) 미디어 처리 엔진                                  | 미디어 및 신호 처리 기능 가속화로 애플리케이션 별 성능을 개선하고 통합 애플리케이션 소프트웨어 개발 및 지원의 편리성을 제공한다.   |
| 부동소수점 처리장치  | 단일 및 두 배 정밀도 스칼라 부동소수점 운영을 대폭 촉진한다. 이전의 ARM FPU 성능을 두 배로 개선, FPU는 업계 최고의 이미지 처리, 그래픽 및 과학적 연산 기능 제공한다.  |
| 최적화된 레벨 1 캐쉬  | 성능 및 전력 최적화된 L1 캐쉬가 최소 액세스 지연 테크닉을 결합하여 성능을 최대화하고 전력 소비를 최소화한다. 또한, 캐쉬 일관성 옵션을 제공하여 프로세서 간의 커뮤니케이션을 향상시키거나 기능이 풍부한 SMP가 가능한 OS를 지원하여 멀티코어 소프트웨어 개발을 단순화한다.                      |
| Thumb-2 기술  | 기존 ARM 코드의 최대 성능 실현하면서 명령어 저장에 필요한 메모리량을 최대 30%까지 절감한다.   |
| TrustZone 기술  | 디지털 권리 관리에서 전자 지불에 이르는 다양한 보안 애플리케이션의 안전한 실행을 보장한다. 기술 및 업계 파트너들로부터 폭넓은 지지를 받고 있다.  |
| azelle RCT 및 DBX 기술                                   | 코드 크기를 최대 3x까지 절감하여 바이트코드 언어의 JIT(Just-in-time) 및 AOT(Ahead-of-time) 컴 컴파일션을 실현하면서 동시에 자바 명령어의 직접 바이트 코드 실행을 지원하여 기존의 가상 기계 운영 가속화 한다.  |
| L2 캐쉬 컨트롤러  | 고 주파수 디자인이나 오프 칩(off chip) 메모리 액세스와 관련하여 전력 소비를 절감해야 하는 디자인에서 최대 2MB의 캐쉬 메모리까지 낮은 지연 및 고 대역폭 액세스 제공한다.  |
| 프로그램 트레이스 마이크로셀(Macrocell) 및 코어사이트(CoreSight)™ 디자인 키트 | 이 두 가지 컴포넌트는 함께 사용되어 소프트웨어 개발자에게 여러 프로세서의 실행 이력에 방해 되지 않게 추적하는 기능을 제공하며, 두 가지 중 하나가 타임 스탬프가 찍힌 상호관계와 함께 이것을 온 칩 버퍼에 저장하거나 표준 추적 인터페이스를 통해 오프 칩에 저장하여 개발 및 디버그 기간 동안 가시 성능 개선한다. |



- 주기 당 2개에서 4개 명령어가 계속해서 명령어 해독(decode)으로 전송된다. : 효율적인 수퍼스케일러 파이프라인 활용을 보장한다.
- 빠른 루프 모드 : 작은 루프를 실행하는 동안 저 전력 운영을 한다.
- 수퍼스케일러 해독기 : 주기당 2개의 명령어 전체를 해독할 수 있다.
- 명령어의 추론 실행 : 물리적 레지스터를 사용 가능한 가상 레지스터 풀로, 동적으로 이름을 다시 명명하여 이루어진다.
- 파이프라인 활용도 개선 : 인접 명령어 간의 데이터 의존도를 제거하고 인터럽트 지원을 줄인다.
- 레지스터를 가상으로 재명명 : 코드 크기 및 전력 소모에 추가 비용을 들이지 않고 루프를 효율적으

■ 표 2. Cortex-A9 프로세서 특징

■ 그림 1. Cortex-A9 마이크로아키텍처 구조 및 단일코어 인터페이스



로 하드웨어 기반으로 풀어서 코드 가속화

- 4개의 뒤이은 파이프라인 중 어느 파이프라인도 이슈 큐에서 명령어를 선택가능 : 비순차적 디스패치 (Out Of Order Dispatch)를 제공하여 개발자나 컴파일러의 명령어 스케줄링과 관계없이 추가로 파이프라인 활용도를 개선한다. 이전 세대 프로세서에 맞춰 최적화된 코드에서 최대 성능을 보장하여 기존 소프트웨어 투자를 유지한다.
- 풀 이중 산술 파이프라인, 로드-스토어(Load-Store) 또는 연산 엔진은 물론 각 주기당 어떤 브랜치 레졸루션에서도 동시 실행
- 의존적인 로드-스토어 명령어는 메모리 시스템 내로 전송되어 해결 : 파이프라인 정체를 추가로 줄여 주며 복잡한 데이터 구조를 액세스하거나 C++ 함수를 발동하는 높은 레벨의 코드 실행을 상당히 가속화 시켜 준다.
- 4개 데이터 캐시 라인 필(Cache Line Fill) 요청 지원 : 자동 또는 사용자 설정 프리페칭으로 메모리 지연으로 인한 정체를 줄여 중요한 데이터의 가용성을 확보한다.
- 비순차적 라이트 백(write back) 명령어 : 시스템이 필요한 데이터를 제공하는 순서에 상관없이 파이프라인에서 자원을 내보낼 수 있도록 한다.

## Cortex-A9 MPCore 기술

Cortex-A9 MPCore 멀티코어 프로세서는 캐시가 일관된 통합 방식으로 1~4개의 CPU를 지원하는 디자인 구성이 가능한 프로세서를 제공한다. 각 프로세서는 각 캐시 크기와 FPU, MPE 또는 PTM 인터페이스 지원 여부에 따라 독립적으로 구성될 수 있다.

또한, 이 프로세서는 어떤 구성에서든 기타 비 캐시 시스템 마스터링 주변장치와 DMA 엔진이나 암호 가속기 코어 등의 액셀러레이터를 수용하는 ACP (Accelerator Coherence Port)를 L1 프로세서 캐시와 일관된 캐시로 만들 수 있다. 또한, GIC 아키텍처를 준수하는 통합 인터럽트와 커뮤니케이션 시스템이 각각의 주변장치와 결합되어 성능 및 소프트웨어 이식성을 개선하며 0(레거시 바이패스 모드: Legacy Bypass Mode)에서 224개의 독립 인터럽트 소스까지 지원할 수 있도록 구성할 수 있다. 이 프로세서는 단일 또는 이중 64비트 AMBA 3 AXI™ 인터커넥트 인터페이스를 지원할 수 있다.

Cortex-A9 MPCore 멀티코어 프로세서에는 실리콘으로 증명된 ARM MPCore 기술의 향상된 버전이 들어 있어 확장 멀티코어 처리가 가능하다.

### 스누프 컨트롤 유닛

(SCU: Snoop Control Unit)

SCU는 ARM 멀티코어 기술의 핵심 지능이며 인터커넥트, 중재, 커뮤니케이션, 캐시-2-캐시, 시스템 메모리 트랜스퍼, 캐시 일관성 및 모든 MPCore 기술이 적용된 프로세서의 기타 멀티코어 기능 관리를 책임진다.

또한, Cortex-A9 MPCore 프로세서는 최초로 이러한 기능들을 다른 시스템 가속기 및 비 캐시 DMA 기반 마스터링 주변장치에 노출하여 프로세서의 캐시 계층 구조 액세스를 공유함으로써 성능을 개선하고 시스템 전반의 전력 소비를 줄인다. 또한, 이러한 시스템

그림 2. Cortex-A9 멀티코어 프로세서



일관성은 각 OS 드라이버 내에서 소프트웨어 일관성을 유지하는데 수반되는 소프트웨어 관련 복잡함을 줄여준다.

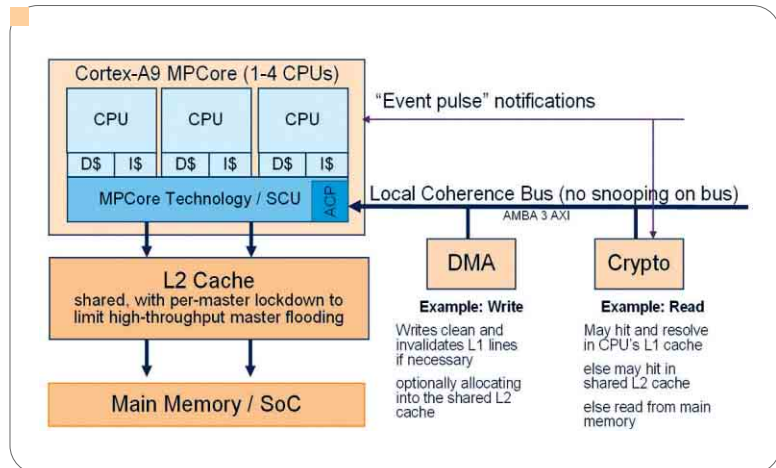
### ACP (Accelerator Coherence Port)

SCU 상에 있는 AMBA 3 AXI와 호환하는 슬레이브 인터페이스는 다양한 시스템 마스터에 인터커넥트 포인트를 제공하기 때문에 전반적인 시스템 성능, 전력 소비나 소프트웨어 단순화 이유 등으로 Cortex-A9 MPCore 프로세서와 직접적으로 인터페이스가 더 잘 되어 있다. 이 인터페이스는 표준 AMBA 3 AXI 슬레이브 역할을 하며, 부속 컴포넌트에 추가로 일관성 유지 요건을 부여하지 않고 모든 표준 읽기 및 쓰기 트랜잭션을 지원한다.

그러나 일관성을 유지하는 메모리 부분으로 전송되는 모든 읽기 트랜잭션은 필요한 정보가 이미 프로세서 L1 캐쉬에 저장되어 있는지 확인하기 위해 SCU와 상호작용을 하게 될 것이다. 만약 이미 저장되어 있다면, 해당 읽기 트랜잭션은 곧장 요청한 컴포넌트로 돌아가게 된다. L1 캐쉬에 없다면, 최종적으로 메인 메모리로 전송하기 전에 L2 캐쉬에도 확인을 한다. 일관성을 유지하는 메모리 부분으로 전송되는 쓰기 트랜잭션의 경우, SCU는 쓰기 트랜잭션이 메모리 시스템으로 전송되기 전에 일관성 유지를 요구할 것이다. 또한, 쓰기 트랜잭션은 선택적으로 L2 캐쉬에 할당될 수도 있으며, 그렇게 되면 오프 칩(Off Chip) 메모리를 통해 직접 쓰기 명령을 실행함으로써 미치는 전력 및 성능상의 영향을 제거할 수 있다.

### GIC (Generic Interrupt Controller)

최근에 표준화 및 설계된 인터럽트 컨트롤러를 실행하는 GIC는 프로세서 간의 커뮤니케이션과 시스템 인터럽트의 라우팅 및 우선순위 설정과 관련하여 풍부하고 유연한 접근방식을 제공한다. 소프트웨어 제어 하에서 최대 224개의 독립 인터럽트를 지원하는 각 인



터럽트는 CPU, 우선순위가 부여된 하드웨어 상에 배포되며, 운영 시스템과 TrustZone 소프트웨어 관리 레이어 사이에 라우트된다. 이런 라우팅상의 유연성과 인터럽트를 운영 시스템으로 가상화하는 지원은 반가상화 매니저를 활용하는 솔루션의 기능을 향상하기 위해 필요한 핵심 기능을 제공한다.

### 고급 BIU (Advanced Bus Interface Unit)

프로세서와 시스템 인터커넥트 간의 인터페이스를 개선하는 Cortex-A9 MPCore 프로세서는 시스템 성능을 최대화하기 위한 고급 기능을 제공하며, 다양한 SoC(System on Chip) 디자인 원리를 탄력적으로 이용할 수 있도록 한다.

단일 또는 이중 64비트 AMBA 3 AXI 마스터 인터페이스를 지원하는 Cortex-A9 MPCore 프로세서는 CPU 속도로 12GB/s를 상회하는 트랜잭션을 시스템 인터커넥트로 풀 로드 밸런싱(full load balancing)할 수 있다. 아니면, 대신 두 번째 인터페이스가 트랜잭션 필터를 GAS(global address space)의 하부그룹으로 정의하여 프로세서 패브릭 내에서 어드레스 공간을 즉시 나눌 수 있는 시스템 디자인으로 나타낼 수도 있다.

또한, 각 인터페이스는 디자인 유연성 향상을 위한

그림 3. ACP  
(Accelerator Coherence Port)

#### Cortex-A9 부동소수점처리장치 (FPU):

Cortex-A9 프로세서 중 하나와 함께 실행되었을 경우 FPU는 이전 세대 ARM 부동소수점 코프로세서와 소프트웨어가 호환하는 VFPV3 아키텍처와 호환 가능한 고성능 단일 및 이중 정밀도 부동 소수점 처리 명령어를 제공한다. 전체 IEEE-754와 호환하는 부동소수점을 지원하며, 최초로 과거의 “런-패스트(run-fast)” 모드와 같은 속도로 운영되고, 이제는 항상 같은 예외사항 없이 운영되어 소프트웨어를 단순화하며, 부동소수점 코드 성능을 더욱 가속화한다.

16비트 부동 소수점 데이터 유형 전환을 위한 추가 명령어는 이미 첨가되어 있어 ARM Mali™ 그래픽 프로세서와 같은 임베디드 3D 프로세서와의 상호작용을 개선한다.

이전세대 ARM 부동 소수점 보조프로세서의 부동 소수점 성능 보다 평균 두 배 이상 개선된 성능을 제공하는 Cortex-A9 FPU는 그래픽, 3D, 이미지 및 과학적 연산 작업을 많이 하는 솔루션을 현격히 개선할 수 있다.

#### Cortex-A9 Neon 미디어 처리 엔진 (MPE):

Cortex-A9 MPE는 두 가지 Cortex-A9 프로세서와 모두 사용 가능하며, Cortex-A9 부동소수점 처리장치의 성능 및 기능을 제공하는 것에 덧붙여 미디어 및 신호 처리 함수 작업을 가속화하기 위해 ARM Cortex-A8에서 처음 도입된 ARM Neon 고급 SIMD를 실행한다.

MPE는 Cortex-A9 프로세서의 FPU를 확대하여 쿼드-MAC와 매 주기마다 8,16, 32 비트 정수와 32비트 부동소수 데이터 양 관련 SIMD 운영 세트를 지원하는 추가 64비트 및 128비트 레지스터 세트를 제공한다.

SIMD 기능을 더욱 개선하기 위해 MPE는 융합된 데이터 유형을 지원하여 패킹/언패킹 관련 간접비 및 구조화된 로드/스토어 기능을 제거하여 알고리즘 포맷과 기계 포맷 사이에 이동하는 데이터를 없애준다.

MPE를 이용하면 FPU에 이용할 수 있는 레지스터 파일을 확대할 수 있고, 디자인을 크게 만들어 32 두 배 정밀도 레지스터를 지원하면서도 Cortex-A9 프로세서의 32/64비트 스케일러 부동소수점 및 핵심 정수 성능은 유지 할 수 있다.

동기 하프 클럭 비율 및 DVFS나 고속 온 칩 메모리를 고려하는 디자인을 위한 시스템 대역폭 개선 등을 포함하여 버스 주파수 비율에 다른 CPU를 제공할 수도 있다. ARM IEM(Intelligent Energy Management) 기능도 모두 지원된다.

### 애플리케이션 별 연산 엔진 가속

최적화된 표준 아키텍처 기능에 덧붙여, Cortex-A9 및 Cortex-A9 MPCore 프로세서 모두 아래의 아키텍처 기능 중 하나를 이용하여 기능을 확대할 수 있다.

### 고급 L2 캐시 컨트롤러

ARM L2 캐시 컨트롤러(PrimeCell PL310)는 Cortex-A9 프로세서의 성능 및 처리량에 필적하는 최적화된 L2 캐시 컨트롤러를 제공하기 위해 Cortex-A9와 함께 만들어졌다.

PL310는 각 인터페이스에서 최대 8개 미해결 AXI 트랜잭션을 지원할 수 있으며 마스터 마다, 경로 마다 록다운(per-master per-way lockdown) 하는 기능으로 ACP를 사용하는 여러 개의 CPU나 컴포넌트 간에 공유가 관리되도록 함으로써 PL310을 액셀러레이터와 프로세서 간의 완충장치를 효율적으로 이용하여 그 결과 시스템 성능을 개선하고 관련된 전력 소비를 줄인다.

또한, PL310는 Cortex-A9 고급 버스 인터페이스 유닛 기능을 포함하고 있어서 동기 클럭 비율을 지원하여 고속 프로세서 디자인의 지연을 줄여 주며, 도메인 분리, 주파수 분리 디자인 및 온 칩 스크래치 메모리에 대한 신속한 액세스 등을 실현하는 두 번째 마스터 AXI 인터페이스의 어드레스 필터 기능을 제공한다.

최대 2MB와 4~16방향 연결(Between Four and Sixteen-way Associative) L2 캐시를 지원하는 PL310는 옵션으로 패리티(parity)와 ECC가 지원하는 RAM과 통합을 지원하며, 프로세서와 같은 주파수에서 운영될 수 있다. 고급 록-다운 테크닉은 캐시 메모리를 일관된 액셀러레이터와 프로세서 간에 트랜스퍼 RAM으로 사용할 수 있는 매커니즘을 제공한다.

### Cortex-A9 프로그램 트레이스 마이크로셀 (PTM: Program Trace Macrocell)

Cortex-A9 PTM은 두 가지 Cortex-A9 프로세서와 모두 호환하는 프로그램 흐름 추적 기능을 갖춘 ARM CoreSight 기술을 제공하며, 프로세서의 실제 명령어 흐름에 대한 완벽한 가시성을 제공한다. Cortex-A9 PTM은 확인된 주기마다 프로파일 분석을 하면서 모든 코드 브랜치 및 프로그램 흐름 변화에

대한 가시성을 제공한다.

여러 프로세서의 추적 스트림 간의 상관관계를 밝히는 Cortex-A9 CoreSight 디자인 키트도 있다. 이에는 Cortex-A9 MPCore 멀티프로세서 디자인을 추적하고 디버그 하는데 필요한 모든 컴포넌트가 포함되어 있다.

### 합성 유연성 및 참조 방법

합성 디자인 흐름의 뛰어난 유연성을 활용하는 Cortex-A9 프로세서 결과물은 어떤 파운드리 프로세스 및 구조에도 맞출 수 있다. 선두 EDA 기업들과 지속적으로 협력을 하면, Cortex-A9 프로세서 라이선스를 취득한 기업들이 자사에서 선택한 프로세스 기술 전반에 걸쳐 Cortex-A9 프로세서를 맞춤화하고, 실행, 검증 및 특성화 할 수 있도록 지원하는 iRM (Implementation Reference Methodologies)이 나오게 될 것이다. 이러한 참조 방법은 논리적 합성 및 물리적 합성 테크닉을 함께 사용하여 실리콘에 예측 가능한 경로를 제공할 것이며, 맞춤화 방법 개발에 대한 기반을 마련할 것이다.

또한, iRM에 ARM Artisan 프론트-엔드 라이브러리 시계(視界)와 미리 편집된 RAM을 포함하면, iRM의 프로세서 실행 흐름 기능을 개선하고 과거에 제공된 것보다 훨씬 더 완벽한 참조 솔루션을 제공할 수 있을 것이다.

## 툴 & 에코시스템

### 툴 지원

모든 ARM 프로세서는 ARM RealView 포트폴리오의 개발 툴 지원을 받으며, 다양한 제 3자 툴, 운영 시스템 및 EDA 벤더 지원도 받는다.

ARM RealView 툴은 개념에서 최종 제품 개발에 이르는 개발 전 과정을 다루는 솔루션을 제공한다는 점에서 매우 특별하다. RealView 포트폴리오의 각 멤



버는 ARM 하드웨어 및 소프트웨어 IP와 매우 밀접하게 개발되어 IP 성능을 최대화하도록 하였다. ARM IP에 대해 시스템에서 프로세서 디자인 및 소프트웨어 개발에 이르기 까지 이렇게 특별한 엔드-투-엔드 톨체인 지원을 제공할 수 있는 다른 업체는 없을 것이다.

ARM RealView 톨로 작업을 하면 설계자 및 개발자들이 자신 있게 최적의 제품을 가장 빨리 시장에 출시 할 수 있도록 뒷받침해주는 포괄적이고 일관성이 있는 제품들을 경험하게 될 것이다.

### 3자 지원

ARM 커넥티드 커뮤니티(Connected Community)는 업계 최대 규모의 선두 실리콘, 시스템, 디자인 지원, 소프트웨어 및 교육 공급업체 네트워크로 시스템 디자이너들이 광범위한 ARM 기술 및 최적화된 IP에 대한 액세스를 활용하여 ARM 아키텍처에 기반한 제품에 대해 디자인에서 제조 및 최종 사용에 이르는 완전한 솔루션을 제공할 수 있도록 한다. 보다 상세한 정보는 웹사이트(<http://www.arm.com/community>)에서 확인 가능하다.

### 물리적 IP

ARM의 Artisan 물리적 IP제품은 특정 제조과정에서 성능, 밀도, 전력 및 생산량 등을 최상으로 결합



하기 위해 만들어졌다. 이 제품은 45~250나노미터 프로세스에서 이용할 수 있으며, 업계 최고 EDA 툴을 지원하는 다양한 관점 및 모델에 대한 포괄적인 세트와 함께 제공된다. ARM Artisan IP 플랫폼과 제품 포트폴리오는 SoC 디자이너들이 나노미터 요건을 충족할 수 있도록 다양한 선택권을 제공한다.

### AMBA

AMBA 인터커넥트 프로토콜은 사실상 업계 표준으로 SoC 디자인의 기본 틀이 되는 온 칩 인터커넥트 규격을 구성하며, 사실상 IP 컴포넌트들을 함께 묶는 '디지털 접착제'를 제공한다. 또한, 이는 ARM 디자인 재사용 전략의 기반이기도 하다.

전체 SoC 업계와의 협의를 통해 ARM은 업계에서 가장 기술적으로 발전되고 지원 가능하며 로열티를 지불할 필요가 없는 인터커넥트 규격을 세우고자 노력하고 있다. 현 프라임셀(PrimeCell) 주변장치 IP 포트폴리오는 AMBA의 AXI™, AHB™, AHB-라이트, APB, 및 ATB 규격을 정의하는 AMBA 프로토콜의 AMBA 2와 3 릴리스를 지원한다. AMBA 프로토콜에 대한 보다 상세한 정보는 웹사이트(<http://www.amba.com>)에서 확인할 수 있다.

### 요약

Cortex-A9 및 Cortex-A9 MPCore는 단일 및 다중 프로세서 디자인의 요건을 충족하기 위해 만들어진 ARM이 새로 출시한 프로세서이다. 프로세서의 공동 마이크로아키텍처에는 프로세서 코어뿐만 아니라 전체 SoC에 강화된 아키텍처 기능, 성능, 전력 효율성을 제공하는 기능들이 포함되어 있다.

단일 코어 프로세서는 기존 ARM11 급 기기의 성능 및 전력 효율성을 개선하여 모바일 디자인에서 기능 향상을 실현하고 배터리 수명 연장을 위해 전력 소비를 낮춘다. 또한, 실행 특징상 아키텍처 소프트웨어

와 완전 호환이 되어 Cortex-A8급 성능에서 비용을 절감할 수 있어 관련 소프트웨어 투자의 시장 수명을 연장할 수 있다.

Cortex-A9 MPCore 실행을 하게 되면, 고급 전력 관리 기술이 제공되어 전력 소비를 추가로 줄일 수 있으며 점점 증가하는 시장 및 애플리케이션의 전력 요건을 충족하고도 남는다. 또한, Cortex-A9 MPCore는 지금까지 경험하지 못한 최고 수준의 확장성을 실현하여 과거에는 ARM프로세서 디자인에 내재한 전력 효율성의 혜택을 보지 못한 시장의 문도 열게 되었다.

두 가지 Cortex-A9 프로세서와 통합 목적으로 특별히 만들어진 지원 기술도 완전히 갖추어져 있어 특히 무선, 엔터테인먼트, 이미징 및 기타 하이-엔드 멀티미디어 애플리케이션 등을 포함한 애플리케이션 및 시장 별로 요구되는 성능을 추가로 향상할 수 있다. <sup>Ref</sup>Time

