

# 論理回路実験レポート

筑波大学情報科学類 2 年 江畑 拓哉 (201611350)

## 1 実験の目的

バイナリカウンタに、ある条件下である数を引くことのできる回路を作成する。今回での条件とは、4 以上の場合を指し、引く数は 4 である。つまりは 4 以上の数を持っているカウンタから任意のタイミングで 4 を引くことのできる回路を作るのである。

たとえば、4 から 4 を引いて 0 , 9 から 4 を引いて 5、といった形にしたい。

## 2 器具及び装置

器具及び装置の一覧を以下に示す。

名称	個数	備考	使用理由
IC トレーナー ブレッドボード	1	IC トレーナーのブレッドボードに配線 IC トレーナーのブレッドボードに配線 左側を使用 D から A まで使用 左側のみを接続 D1,D2 を使用 SW1,SW2 を使用 (上と対応)	配線のため 電源 GND LED 表示のため
Vcc(+5V)	1		
GND	1		
7 セグメント LED	1		
-左桁用端子 (CN4)	4		
-電源入力端子 (CN2)	1		リセット、演算処理のため
データ出力端子	2		
データスイッチ	2		
パルス出力端子 (DA)	1		クロックを生むため 回路を作るため
標準ロジック IC			
74HC00	2	NAND	
74HC04	1	NOT	
74HC08	2	AND	
74HC74	2	D-FF*2 を 2 つ用いた	
74HC86	1	XOR	
その他			配線のため
ジャンパ線 (ワイヤ)	大量	他の実験者よりもかなり多い ( )	
ジャンパ栓 (単芯)	少量	他の実験者よりもかなり少ない ( )	

他の実験者よりも実装に手間取ったため長いジャンパ線を張り巡らせた。

## 3 実験経過

以下に配線図を示す。

配線を行った後、IC の電源を入れ、クロックを発生させた。

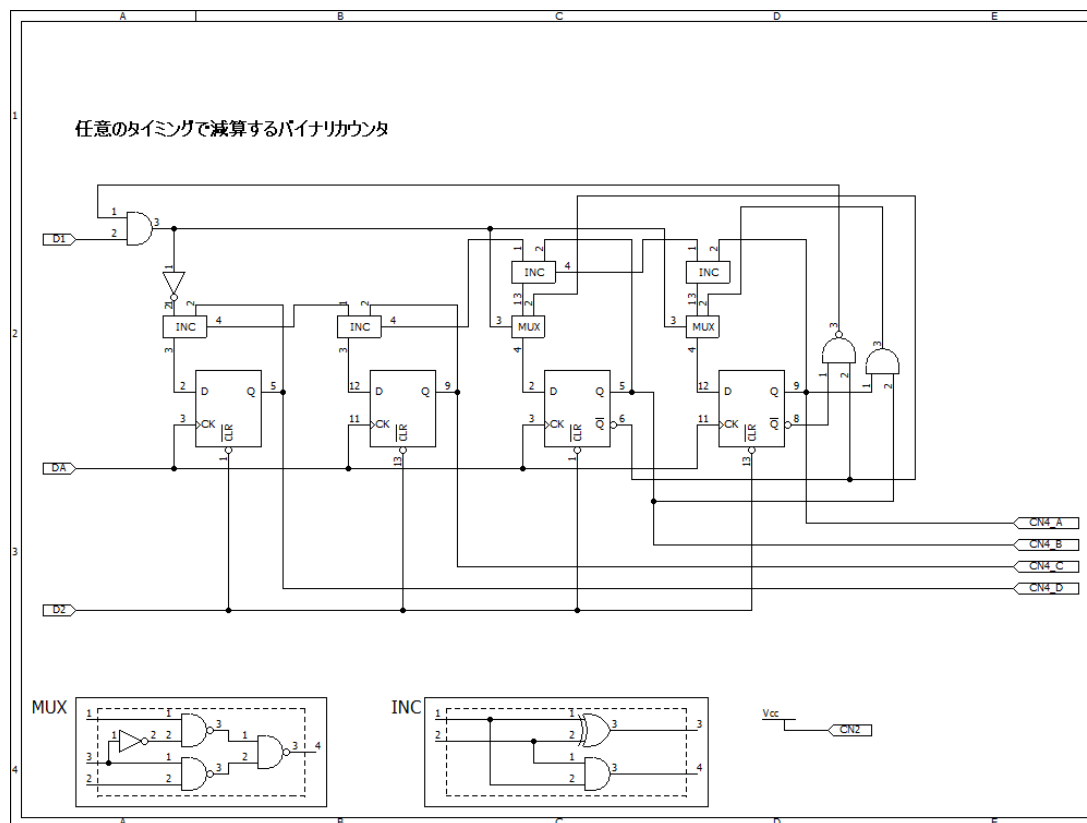


Figure 1: 配線図

## 4 実験結果

以下に実行結果を示すためのタイミングチャートを示す。それに続けて説明を加える。

### 4.1

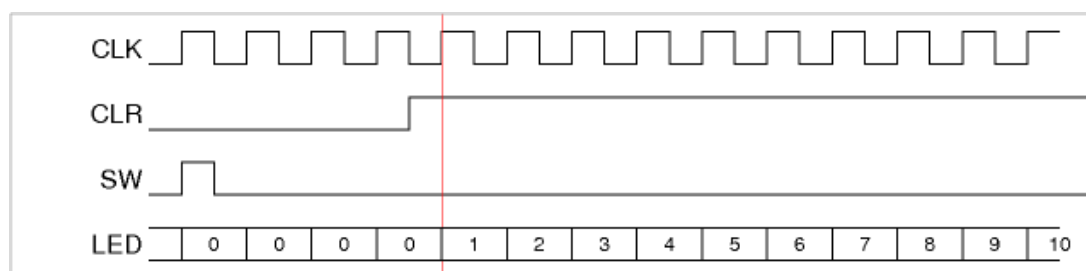


Figure 2: タイミングチャート No.1

CLR(Active-L) を H にすると、カウントが進み始める。逆に CLR が入っている (H の) 間は 0 になる。

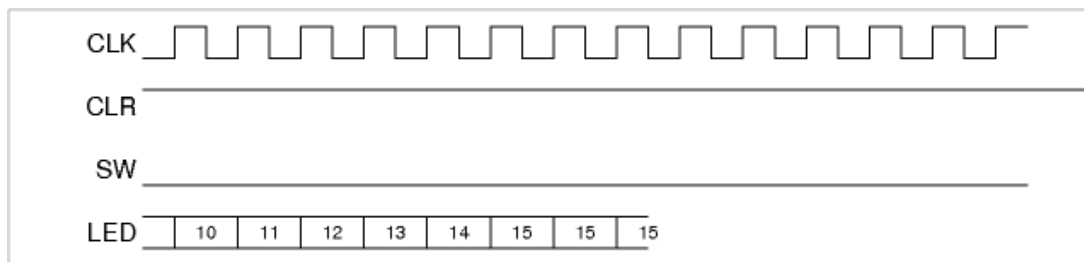


Figure 3: タイミングチャート No.2

## 4.2

最終的に 16 番目の数 (15) までカウントが進み、そこで止まる。

## 4.3

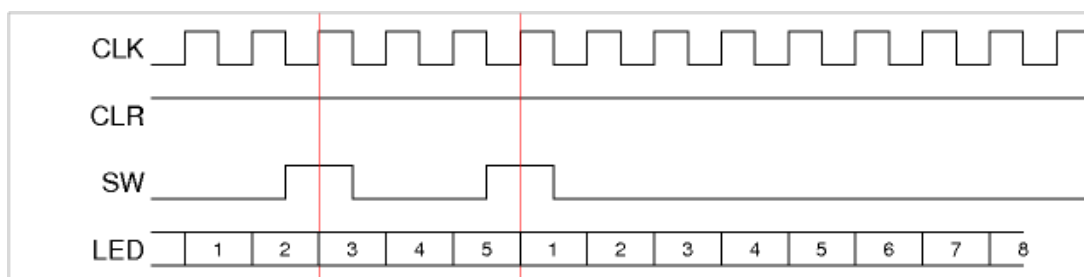


Figure 4: タイミングチャート No.3

カウンタが 4 以上のときスイッチを入れることで 4 を引かれるが、そうでないとき (今回は 2) のときは引き算が行われない。条件が揃っているとき (今回は 5) のときは 4 を引かれる (今回は  $5 - 4 = 1$  になる)。尚、引かれるタイミングはクロックが立ち上がったときである。

## 4.4

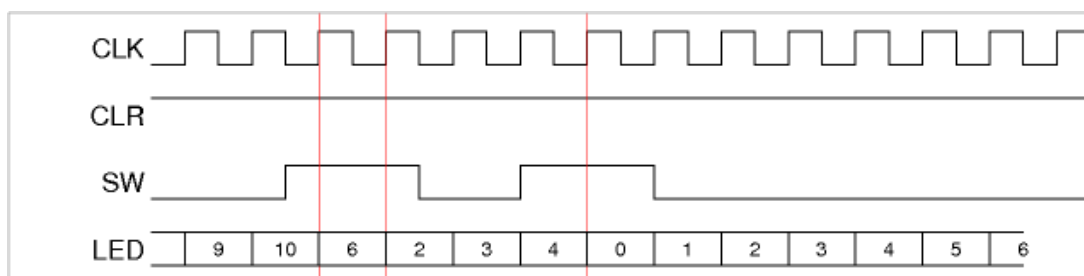


Figure 5: タイミングチャート No.4

また、4 を引いた後にまだ条件を満たしている場合には、更に 4 を引くことができるので、連続でそれが行われる。更に念のため、4 から 4 を引いて 0 になるかどうかを確認することができた。

## 5 考察

今回の課題では4を引く、という文言に踊らされたためにロジックを考える時間を多く取られた。これをもし4を引くのではなく、 $4 (= 2^2)$  の桁や  $8 (= 2^3)$  の桁を示すビットを操作する、と読み替えれば問題は途端に容易に解決させることができる。問題の処理についてカルノー図で見てみることにする。(X は don't care)

Table 1:  $4 = 2^2$  の桁

$4 \setminus 8$	0	1
0	X	1
1	0	0

以上から、4を引く際には、4の桁は元の4の桁の値の反転を取れば良いことがわかった。

Table 2:  $4 = 2^3$  の桁

$4 \setminus 8$	0	1
0	X	0
1	0	1

以上から、4を引く際には、8の桁は元の4と8の桁のANDを取れば良いことがわかった。

これによって回路図を作成すれば問題が解けることがわかる。

またこれは次のカウンタの出力なので、これは「半加算器の出力」と選択できるようにすれば良いことがわかる。

結論として、回路図制作の際には柔軟な試行を持って処理を様々な角度から見直すことが必要なのだという事を身にしみて感じた。

## 6 批判

私は、実験内容に関しては十分に噛みごたえのある良い課題内容であって難易度も適切である、と感じているが、周囲の学生を見ると、かなり難航している方もいれば、早々と課題を解決できた方もおり、進捗のばらつきを感じた。

批判に値するかはわからないが、課題の最後になるにつれ難易度が高くなっているため、もう少しTA、教員や友人間で協力できる雰囲気があっても良かったのではないかと考えている。この授業は期末試験がないため、お互いに教え、教えられ合うことでより理解が深まるのではないかなと思う。

また、レポートの作成に関して、前回のレポートの採点をもう少し早くするか、例年の、あるいはその年のよくある間違い、減点事項を具体例とともに出していただけると、円滑なレポート提出・採点ができるのではないかと感じている。

## 7 参考文献

基本的には自分の頭を用いて作成したが、半加算器などは昨年度必修科目であった論理回路の指定教科書である、「だれにもわかるデジタル回路 [1]」を用いた。

## References

- [1] 相磯 秀夫 (監修) 天野 英晴 (著) 武藤 佳恭 (著). だれにもわかるディジタル回路. オーム社.

## 8 発展課題

以下に発展課題の目的とそれぞれについての内容を記述する。

### 8.1 実験の目的

この実験の目的は今までの授業で身につけた知識をより発展的なものにして知識を定着させるためのものだろう。

### 8.2 課題 1 : カウンタに任意のリセット回路をつける

10 進バイナリカウンタを作成した。

#### 8.2.1 器具及び装置

器具及び装置の一覧を以下に示す。

名称	個数	備考	使用理由
IC トレーナー ブレッドボード	1		配線のため
Vcc(+5V)	1	IC トレーナーのブレッドボードに配線	電源
GND	1	IC トレーナーのブレッドボードに配線	GND
7 セグメント LED	1	左側を使用	LED 表示のため
-左桁用端子 (CN4)	4	D から A まで使用	
-電源入力端子 (CN2)	1	左側のみを接続	
データ出力端子	1	D2 を使用	リセットのため
データスイッチ	2	SW2 を使用 (上と対応)	
パルス出力端子 (DA)	1		クロックを生むため
標準ロジック IC			回路を作るため
74HC00	1	NAND	
74HC08	2	AND	
74HC74	2	D-FF*2 を 2 つ用いた	
74HC86	1	XOR	
その他			配線のため
ジャンパ線 (ワイヤ)	大量	他の実験者よりもかなり多い	
ジャンパ栓 (単芯)	少量	他の実験者よりもかなり少ない	

#### 8.2.2 実験経過

以下に配線図を示す。

配線を行った後、IC の電源を入れ、クロックを発生させた。

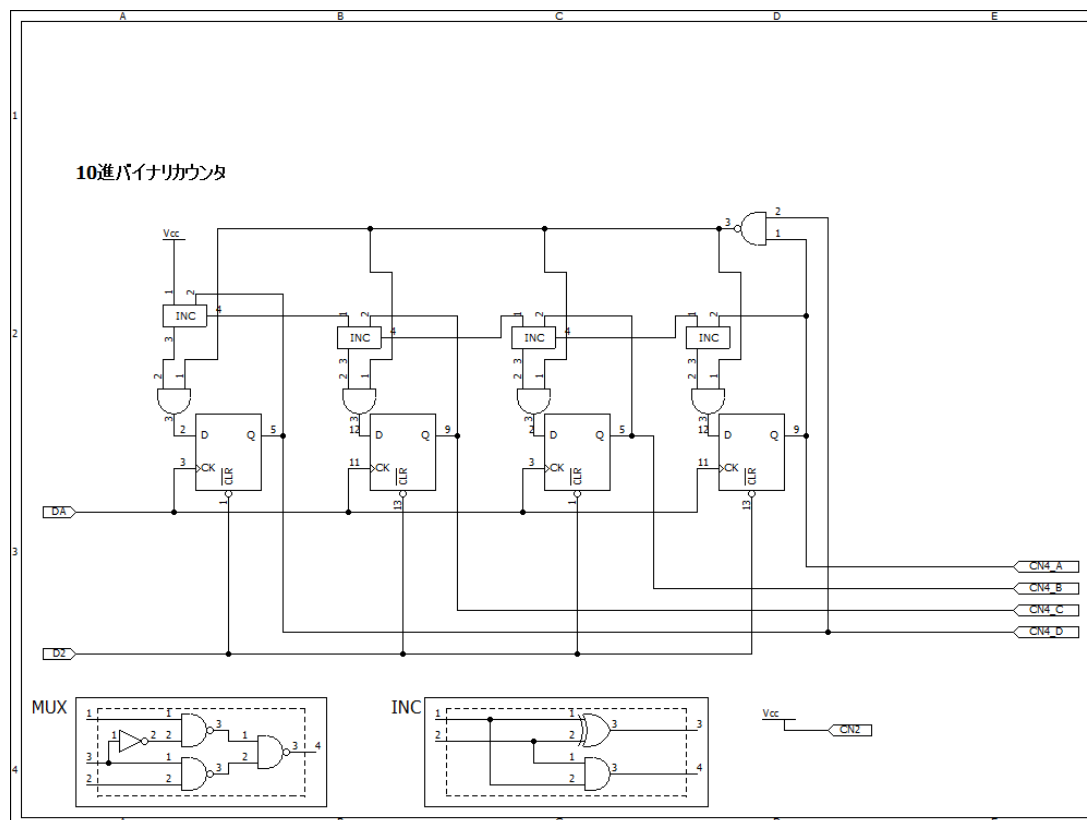


Figure 6: 配線図

### 8.2.3 実験結果

以下のように動作し、これが 10 進カウンタとしての役割を満たしていることを確認した。

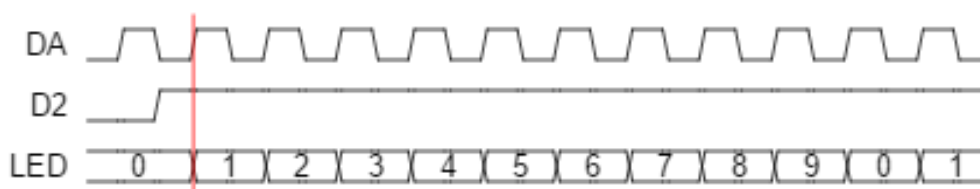


Figure 7: タイミングチャート No.1

### 8.2.4 考察

作り方としては、 $9 (= 8 + 1)$ であることを検出したならばこれをキーに次の出力を 0 にするのである。今回はこの機能を AND を用いることで作成した。

実験結果を見る限り問題なく動作していることは明らかである。

考察として挙げるものではないが、カウントアップを行っているうちに途中停止の機能を追加したいとも思った。実際 1 を足していた部分を  $V_{cc}$  から D9 などに接続してカウントを停止できるような機能を実験外で追加した。

### 8.2.5

### 8.2.6 批判

この課題では批判は何もなかった。

## 8.3 課題 2：特定の条件で 1 サイクルのみパルスが発生する

特定の条件で一サイクルのみパルスが発生させた。今回その特定の条件とは、2つの入力がいずれも H になったときのことを指す。

### 8.3.1 器具及び装置

器具及び装置の一覧を以下に示す。

名称	個数	備考	使用理由
IC トレーナー			
ブレッドボード	1		配線のため
Vcc(+5V)	1	IC トレーナーのブレッドボードに配線	電源
GND	1	IC トレーナーのブレッドボードに配線	GND
データ出力端子	1	D0/D1 を使用	入力
データスイッチ	2	SW0/SW1 を使用（上と対応）	
パルス出力端子 (DA)	1		クロックを生むため
データ入力スイッチ	1	I0 を使用	出力
標準ロジック IC			回路を作るため
74HC08	1	AND を 2 つ用いた	
74HC74	1	D-FF を 2 つ用いた	
その他			
ジャンパ線 (ワイヤ)	少々		配線のため

### 8.3.2 実験経過

以下に配線図を示す。

配線を行った後、IC の電源を入れ、入力を変化させた行った。

### 8.3.3 実験結果

以下に動作のタイミングチャートを示す

### 8.3.4 考察

資料に示された同期微分回路とほぼ変わらない設計となっている。

実験結果から正しい動作を行うことが明らかである。特に異常な動作を示さなかった。

### 8.3.5 批判

1 サイクルの意味を解釈することが難しかったため、1 クロック分と書き換えた方が良いと考えている。

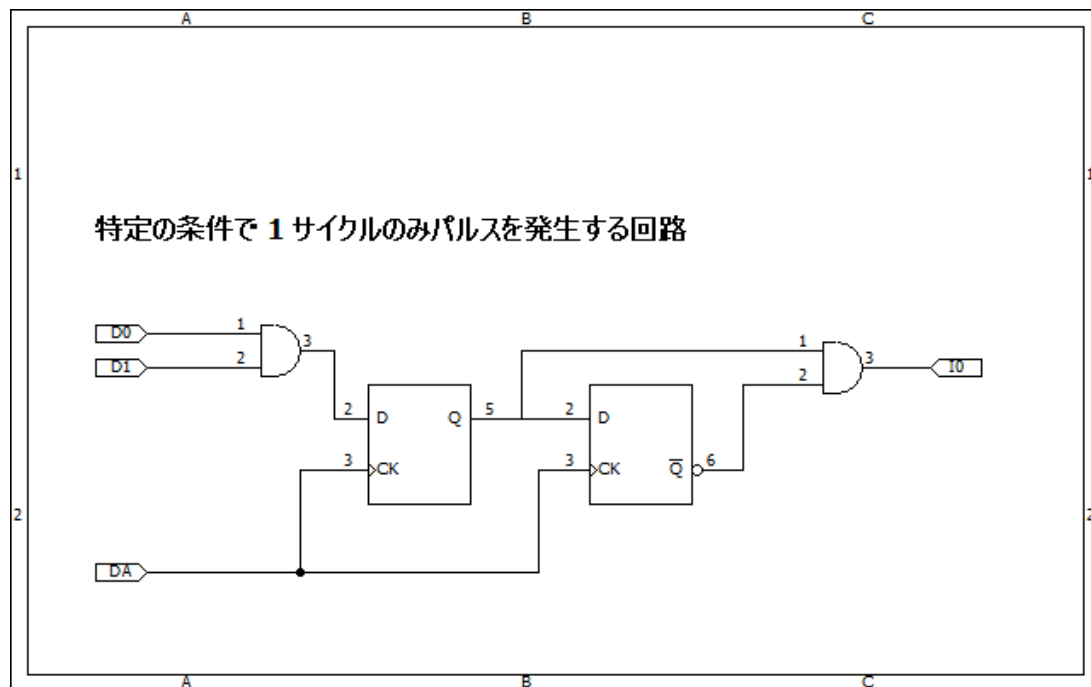


Figure 8: 配線図

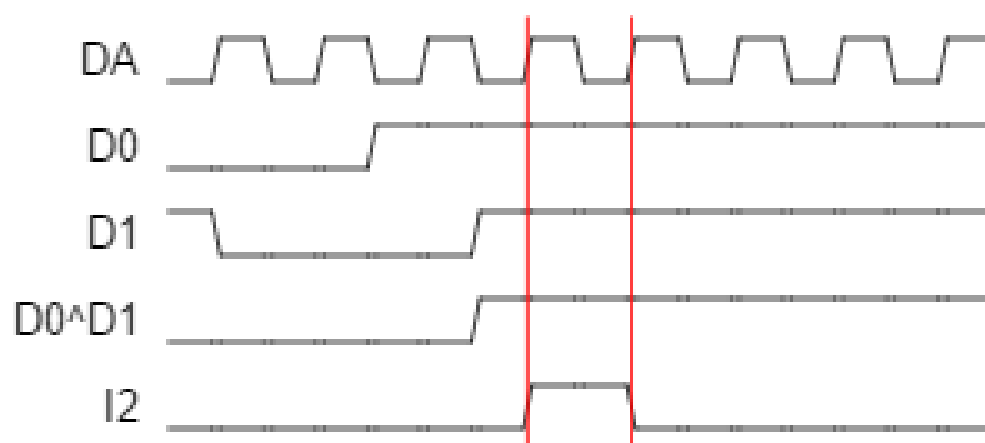


Figure 9: タイミングチャート No.2



## 8.4 課題3：リセット後一回のみ動作する回路

リセットを押された後に一回だけ動作する回路を作った。

### 8.4.1 器具及び装置

器具及び装置の一覧を以下に示す。

名称	個数	備考	使用理由
IC トレーナー ブレッドボード	1		配線のため
Vcc(+5V)	1	IC トレーナーのブレッドポートに配線	電源
GND	1	IC トレーナーのブレッドポートに配線	GND
データ出力端子	1	D0 を使用	入力
データスイッチ	2	SW0 を使用（上と対応）	
クロック出力端子 (DA)	1		クロックを生むため
パルス入力スイッチ	1	I0 を使用	出力
標準ロジック IC			回路を作るため
74HC00	1	NAND を 1 つ用いた	
74HC04	1	NOT を 1 つ用いた	
74HC74	1	D-FF を 1 つ用いた	
その他 ジャンパ線 (ワイヤ)	少々		配線のため

### 8.4.2 実験経過

以下に配線図を示す。

配線を行った後、IC の電源を入れ、入力を変化させた行った。

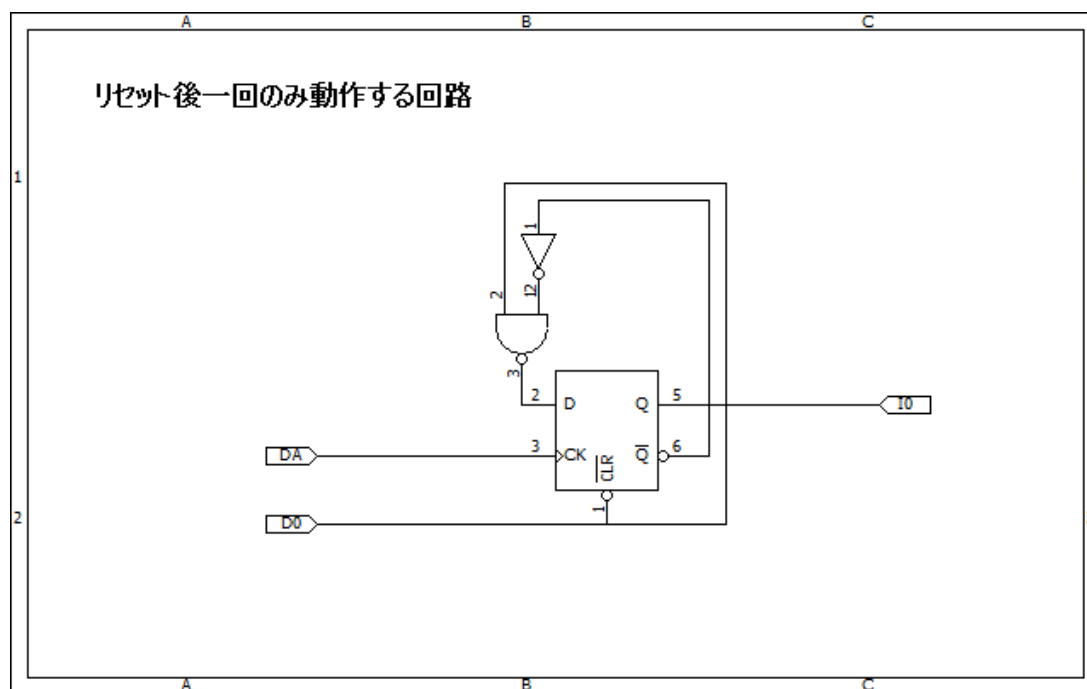


Figure 10: 配線図

### 8.4.3 実験結果

以下に動作のタイミングチャートを示す

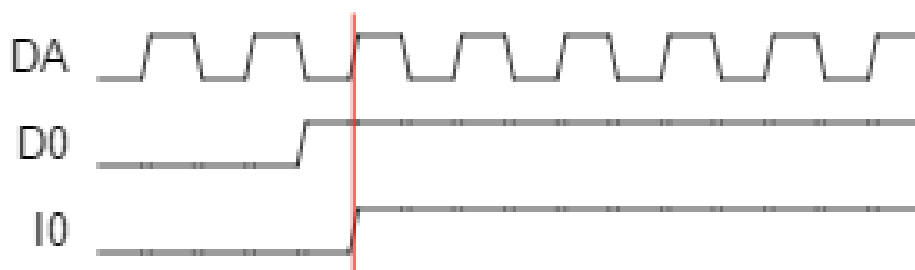


Figure 11: タイミングチャート No.3

### 8.4.4 考察

出力を次の入力に入れることで解決した。

クリアをして、その入力を受けて次のクロックで出力がH担っているのを確認できた。入力をクリアから別のものに分けたものが次の課題の重要な位置要素になっている。

### 8.4.5 批判

この課題では批判は何もなかった。

## 8.5 課題4：ボタンを押した時一回のみ作動する回路

ボタンが押されたら、そこからカウントアップする8進タイマーを作成した。

### 8.5.1 器具及び装置

器具及び装置の一覧を以下に示す。

名称	個数	備考	使用理由
IC トレーナー ブレッドボード	1		配線のため
Vcc(+5V)	1	IC トレーナーのブレッドボードに配線	電源
GND	1	IC トレーナーのブレッドボードに配線	GND
7 セグメント LED	1	左側を使用	LED 表示のため
-左桁用端子 (CN4)	4	D から A まで使用	
-電源入力端子 (CN2)	1	左側のみを接続	
データ出力端子	2	D0 を使用	リセットのため
データスイッチ	2	SW0 を使用 (上と対応)	
データ入力スイッチ	1	I0 を使用	ボタンが押されたことを検出
パルス出力端子 (DA)	1		カウントの開始のため
クロック出力端子 (CK)			クロックを生むため
標準ロジック IC			回路を作るため
74HC00	1	NAND を 1 つ用いた	
74HC04	1	NOT を 1 つ用いた	
74HC08	1	AND を 3 つ用いた	
74HC74	2	D-FF*2 を 2 つ用いた	
74HC86	1	XOR を 3 つ用いた	
その他			配線のため
ジャンパ線 (ワイヤ)	大量		
ジャンパ栓 (単芯)	少量		

### 8.5.2 実験経過

以下に配線図を示す。  
配線を行った後、IC の電源を入れ、入力を変化させた行った。

### 8.5.3 実験結果

以下に動作のタイミングチャートを示す

### 8.5.4 考察

課題 3 で行ったことをバイナリカウンタに追加することで機能を満たす回路を作成した。  
期待通りの動作が行われたことがわかったが、はじめに動作を起こすか確認するための 1 クロックがどうしても気になってしまった。D-FF のクロックを複数持てないため仕方ないことだが、分集をするなどの対策を施したいと思った。  
また、ボタンを押したときその動作を記憶する、という動作を行うためにはボタンを押した動作が 1 クロック分は継続していることが望ましい、という問題も残った。今回はクロックを分集できるだけの IC がなかったため、あるいは複数のクロックを発生することができなかったため、こちらも実装はできなかった。

### 8.5.5 批判

この課題では批判は何もなかった。

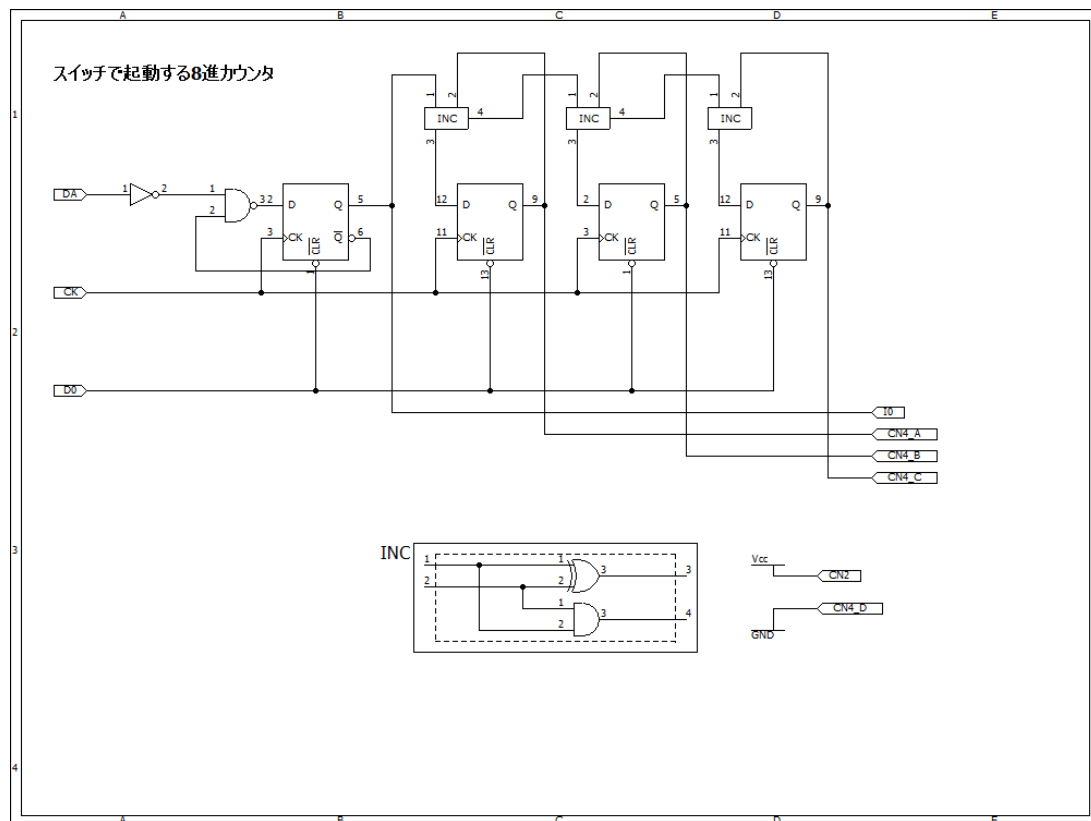


Figure 12: 配線図

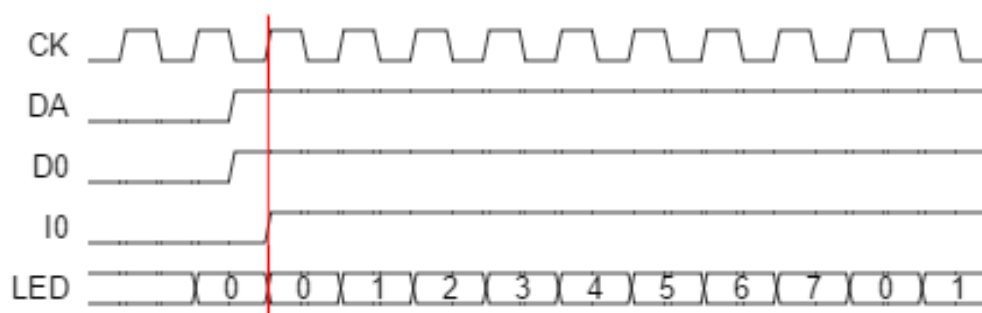


Figure 13: タイミングチャート No.3

## 8.6 参考文献

9章のものと同一ものを用いた。