

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.05 ANÁLISIS DE SEÑALES Y SISTEMAS DIGITALES

TRABAJO PRÁCTICO DE LABORATORIO N°3

Procesamiento Mixto de Señales

Grupo 2:

Matías LARROQUE

Leg. 56597

Tomás Agustín GONZÁLEZ ORLANDO

Leg. 57090

Lucero Guadalupe FERNANDEZ

Leg. 57485

Manuel MOLLÓN

Leg. 58023

Ezequiel VIJANDE

Leg. 58057

Profesor:

Daniel JACOBY

Carlos BELAUSTEGUI GOITIA

Rodrigo Iñaki IRIBARREN

Entregado: 14 de Junio de 2019

Índice

1. Placa ADA	3
1.1. Introducción	3
1.2. Diseño	3
1.3. DAC	4
1.4. Filtro Antialias y Recuperador	5
2. Conversor SAR	9
2.1. Introducción teórica	9
2.1.1. Algoritmo de búsqueda binaria	9
2.2. Modelo y funcionalidad general del conversor	9
2.3. Implementación de la lógica digital para la búsqueda binaria	10
2.4. Interacción temporal entre los distintos componentes	11
2.4.1. Interacción entre módulo lógico y Sample and Hold	11
2.4.2. Interacción con el DAC	11
2.4.3. Interacción con el comparador	11
2.4.4. Condición de Clock resultante	12
2.5. Componentes físicos de la placa base	13
2.5.1. Sample and Hold	13
2.5.2. DAC	13
2.5.3. Comparador	13
2.6. Implementación física del módulo lógico	13
2.6.1. Frecuencia máxima de operación	14
2.6.2. Errores de precisión	15
3. Modulador Delta	16
3.1. Introducción	16
3.2. Recuperación de la señal	17
3.3. Parámetros Limitantes	17
3.3.1. OSP	17
3.3.2. SNR	18
4. Conversor y Modulador Sigma Delta	19
4.1. Introducción	19
4.2. Marco Teórico	19
4.2.1. Transferencia y Noise Shaping	20
4.2.2. Oversampling	21
4.2.3. Decimación	23

4.3.	Simulaciones de Simulink - Matlab	24
4.3.1.	Simulación de Respuesta al Impulso	25
4.3.2.	Simulación de Espectro de Ruido	25
4.4.	Simulación del Espectro de Salida con Entrada Senoidal	26
4.5.	Decimador	27
4.6.	Diseño e Implementación	28
4.6.1.	Filtros Antialias y Recuperador	29
4.6.2.	Diferenciador	29
4.6.3.	Integrador $\sum \Delta$	29
4.6.4.	Cuantizador	32
4.6.5.	Clock	32
4.6.6.	Sobre Rango Dinámico	33
4.6.7.	Esquemático Final	33
4.7.	Mediciones	35
4.7.1.	Mediciones de Señal Senoidal	35
4.7.2.	Mediciones de Señal $\frac{1}{2}$ Gauss	37
4.7.3.	Mediciones de Señal Sinc	40
4.7.4.	Sobre Tensión de Realimentación y Rango Dinámico	42
4.8.	Análisis de Resultados	42
4.8.1.	Resultados de Mediciones de Salida Digital	43
4.8.2.	Resultados de las Mediciones de Recuperación	43
4.8.3.	Resultados de Mediciones de Integrador Diferencial	43
4.8.4.	Resultados de Mediciones en Modo Average	43
4.8.5.	Resultados de Mediciones con Analizador de Espectro	44
4.9.	Conclusión	44

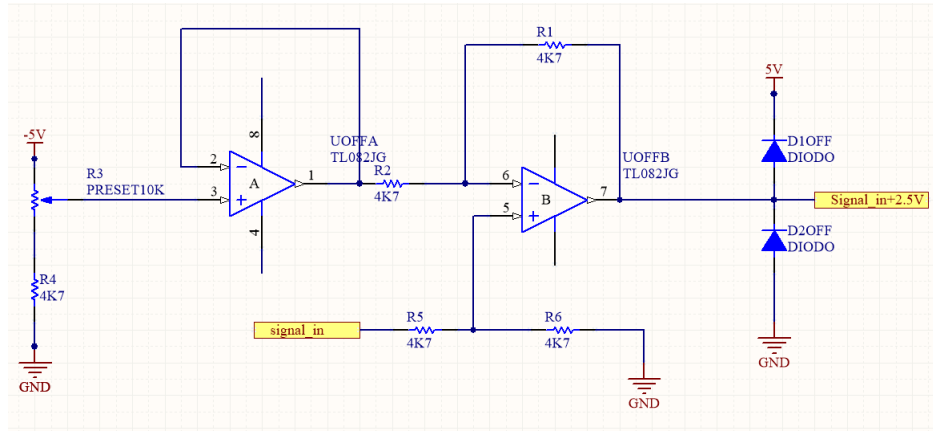


Figure 2: Etapa de offset.

La idea del anterior circuito es que la entrada esté limitada al rango $0V - 5V$, ya que es la limitación que tienen las etapas subsiguientes. La función de los diodos es evitar que la señal supere el rango permitido. Seguido de eso, la señal ingresa a un Sample & Hold, para que se mantenga el valor el tiempo de conversión necesario tal que se puedan realizar las conversiones. Los conversores son entonces, un ADC0809, un SAR y un modulador Delta, estos últimos implementados en una FPGA; y un Sigma Delta implementado en una placa separada. El conversor a utilizar se elige mediante jumpers, que colocan al conversor no elegido en un estado de alta impedancia.

La salida de estos conversores está conectada a un DAC0800 de manera de ser recuperada analógicamente, y finalmente por un filtro recuperador (FR).

Además se usaron reguladores de tensión para las alimentaciones de los integrados ($\pm 15V$ y $\pm 5V$) de manera que la tensión sea lo más estable posible, para proteger los integrados durante el encendido y apagado de la fuente.

1.3. DAC

Se utilizó el integrado DAC0800 para la conversión digital a analógico de 8 bits a la salida del circuito. Se buscó una salida simétrica respecto de tierra ($0V$), por lo que se utilizó el siguiente circuito proporcionado por la datasheet del fabricante:

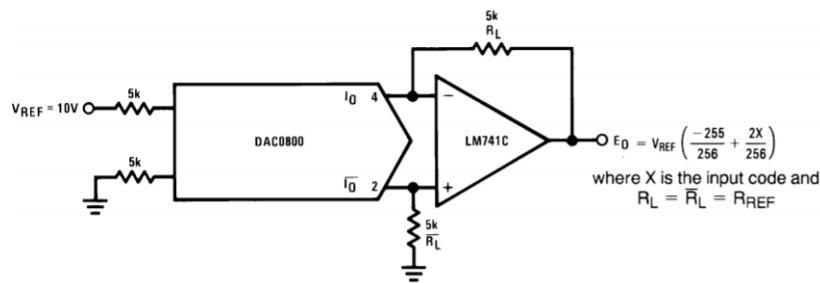


Figure 3: Configuración del DAC para una salida simétrica.

Como tensión de referencia se utilizó $5V$ ya que era una de las tensiones proporcionadas por las fuentes reguladas. La tensión de salida se corresponde con la ecuación que se muestra en la figura, que se ve representada por la siguiente tabla:

B0	B1	B2	B3	B4	B5	B6	B7	V_{out}
1	1	1	1	1	1	1	1	+4.98V
1	0	0	0	0	0	0	0	0V
0	0	0	0	0	0	0	0	-4.98V

Table 1: Tensión de salida de acuerdo a los valores de los 8 bits.

1.4. Filtro Antialias y Recuperador

El filtro antialias y recuperador se implementaron con el integrado MAX297. El mismo es un filtro elíptico, de capacitores switcheados, pasabajos de octavo orden. Cuenta con una frecuencia de corte modificable entre $0.1Hz$ y $50kHz$. Tiene una selectividad de 1.5 ($\frac{f_a}{f_p} = 1.5$) con un A_a igual a $80dB$. El fabricante asegura un ripple en banda de paso de $0.23dB$.

A continuación se muestra la respuesta en frecuencia del filtro:

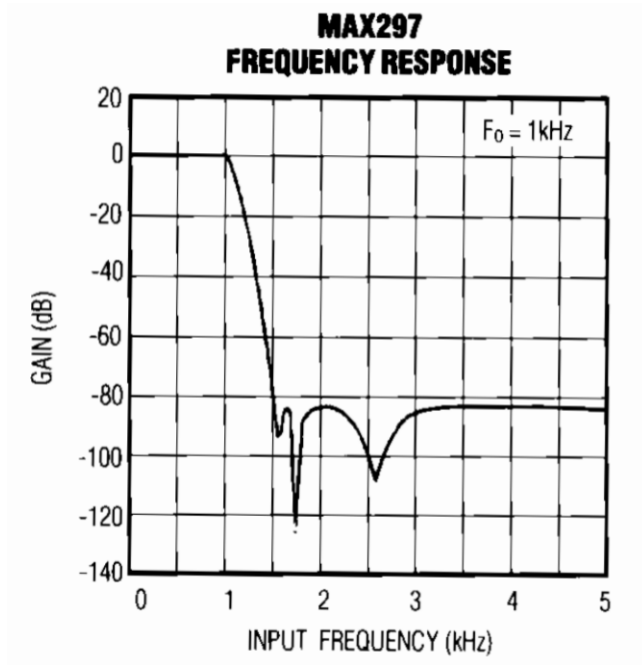


Figure 4: Respuesta en frecuencia de magnitud.

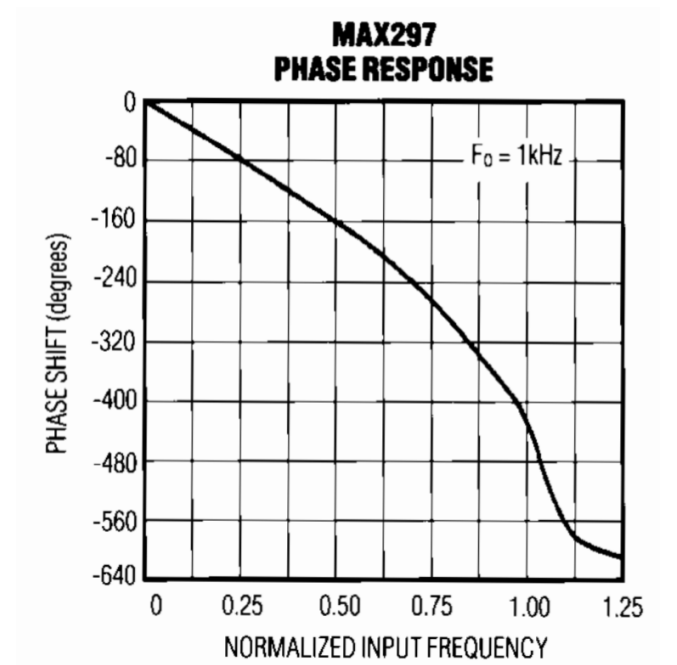


Figure 5: Respuesta en frecuencia de fase.

Figure 6: Respuesta en frecuencia del MAX297.

Además se simuló la respuesta en frecuencia, según un filtro elíptico de Cauer de octavo orden:

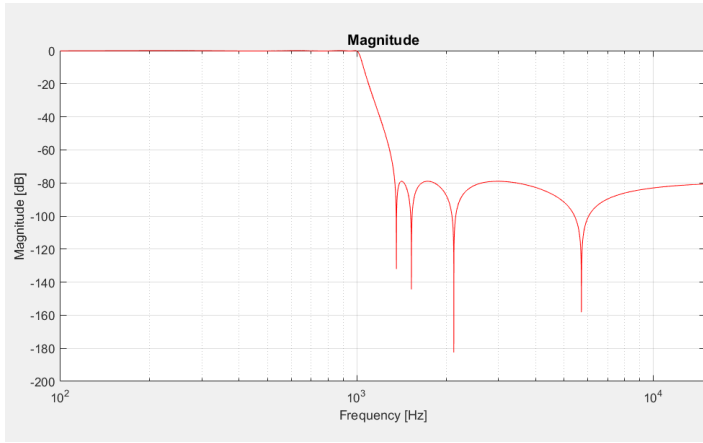


Figure 7: Respuesta en frecuencia de magnitud.

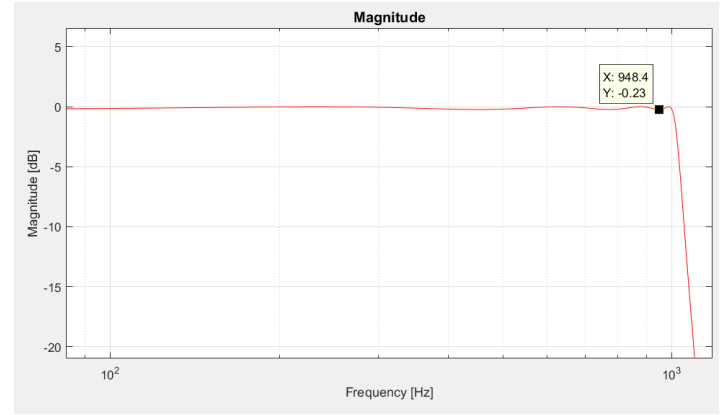


Figure 8: Detalle de la banda pasante.

Figure 9: Respuesta en frecuencia teórica.

Se puede ver el ripple en la banda pasante máximo de $0.23dB$.

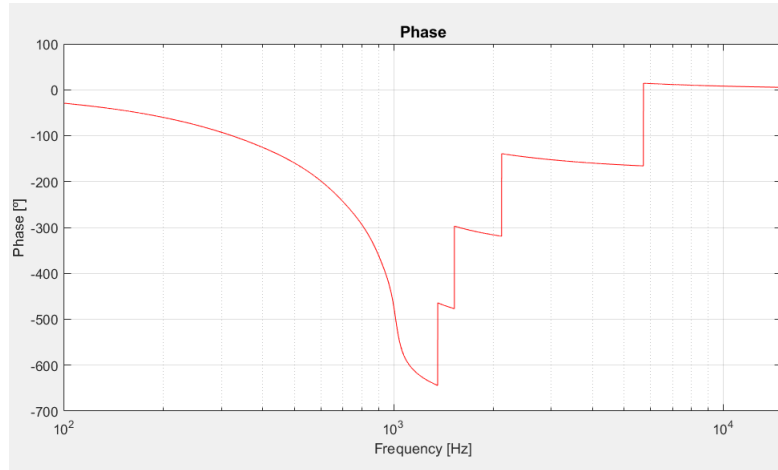


Figure 10: Respuesta en frecuencia de fase teórica.

Ambos coinciden con el que se muestra en la datasheet.

Se buscó la transferencia del filtro a partir de los datos otorgados por la datasheet:

$$H(s) = \frac{s^8 + 1,63 \cdot 10^9 s^6 + 4,78 \cdot 10^{17} s^4 + 4,76 \cdot 10^{25} s^2 + 1,54 \cdot 10^{33}}{s^8 + 8753 s^7 + 1,5 \cdot 10^8 s^6 + 7,54 \cdot 10^{11} s^5 + 4,99 \cdot 10^{15} s^4 + 1,96 \cdot 10^{19} s^3 + 6,8 \cdot 10^{22} s^2 + 1,43 \cdot 10^{26} s + 1,77 \cdot 10^{29}}$$

Se muestra también el diagrama de polos y ceros, que corresponde a un filtro de octavo orden con una alta selectividad:

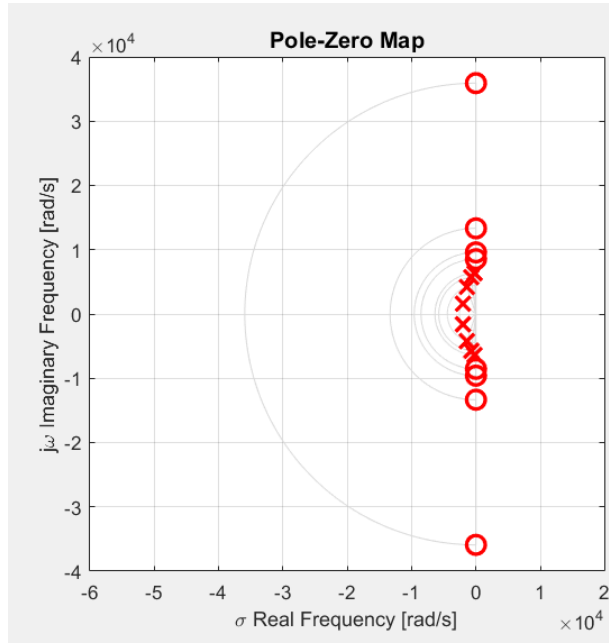


Figure 11: Diagrama de polos y ceros.

La frecuencia de corte del MAX297 puede ser controlada mediante un clock externo, o con un capacitor externo mediante el oscilador interno del integrado. La relación entre el clock interno y la frecuencia de corte es de 50 : 1. Se decidió controlar la frecuencia de corte con un banco de capacitores externo, según el siguiente circuito, tanto como para el filtro antialias como para el recuperador:

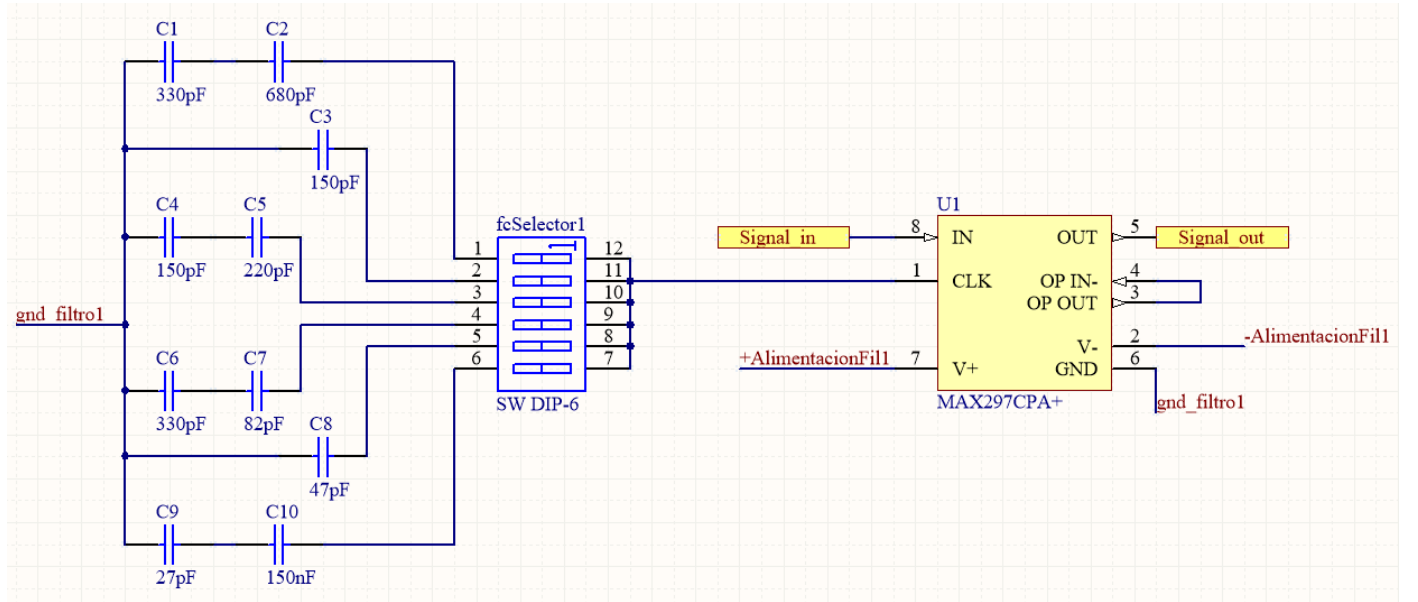


Figure 12: Circuito utilizado para controlar la frecuencia de corte.

Según la datasheet, la frecuencia de corte está dada por:

$$50 \cdot f_c = f_{osc}(kHz) = \frac{10^5}{3C_{osc}(pF)} \quad (1)$$

Por lo que se eligieron las siguientes f_c y valores de capacitores:

$f_c(\text{Hz})$	$C(\text{F})$
$3k$	$222.22p$
$4.44k$	$150p$
$7.47k$	$89p$
$10.15k$	$65.7p$
$14.18k$	$47p$
$22.22k$	$30p$

Table 2: Valores de capacitores para distintas frecuencias de corte.

2. Conversor SAR

2.1. Introducción teórica

Un conversor SAR o conversor por aproximaciones sucesivas es un tipo de implementación de un conversor analógico digital.

El conversor utiliza un algoritmo de búsqueda binaria para lograr establecer el valor digital cuya conversión analógica es la más cercana al valor de la entrada que se está intentando convertir.

2.1.1. Algoritmo de búsqueda binaria

El algoritmo de búsqueda binaria es un algoritmo que permite encontrar un valor buscado V_b dentro de un conjunto discreto y ordenado de valores V_{set} . Este algoritmo resulta eficiente por su manera de buscar, que va descartando mitad de los elementos de V_{set} por cada comparación realizada.

El algoritmo compara el valor objetivo al elemento medio de V_{set} según el ordenamiento utilizado. En caso de no resultar iguales, el algoritmo elimina la mitad derecha V_{subDer} o la mitad izquierda V_{subIzq} de los elementos de V_{set} como posibles valores V_b según el resultado anterior de la comparación con el elemento medio y continúa realizando la comparación con el elemento de la mitad del subconjunto restante hasta que encuentre el elemento V_b o el nuevo subconjunto $V_{sub} \subseteq V_{set}$ tiene un único elemento que no es V_b .

Luego de ejecutado el algoritmo, se obtendrán dos posibles resultados:

1. Se obtiene el valor V_b buscado, como se mencionó anteriormente.
2. Se obtiene un valor V_{ob} no igual a V_b tal que $V_{ob} \in V_{sub}$ que resulta ser el elemento perteneciente a V_{set} que más se acerque al valor buscado, ya sea por izquierda o por derecha.

2.2. Modelo y funcionalidad general del conversor

El esquema general de un conversor SAR de 8 bits es el siguiente:

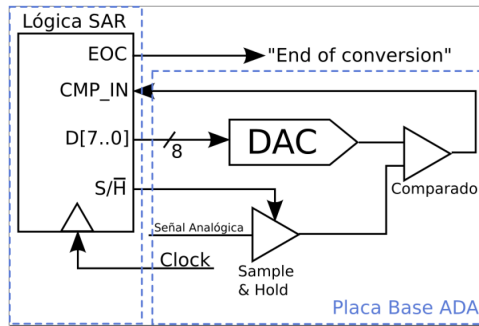


Figure 13: Conversor SAR

Se procede a explicar la implementación del algoritmo de búsqueda binaria para lograr convertir la tensión de entrada analógica “Señal Analógica”, ahora en más denominada “ V_a ” a un valor digital apropiado “ V_d ”.

1. La señal analógica V_a pasará por un sample and hold que logrará retener un cierto valor de la señal cada un intervalo de tiempo bien definido τ , como se explica en el Trabajo Práctico 1. Denominaremos al valor muestreado en el tiempo t_o como $V_a(t_o)$, el cual será mantenido por un intervalo temporal τ .

2. El módulo “Lógica SAR” es el encargado de implementar la lógica del algoritmo de búsqueda binaria: El mismo decidirá con qué valor inicial comparar la señal analógica (el “elemento medio”, como se mencionó en la explicación del algoritmo) para finalmente obtener V_d . Comenzará con un valor digital tentativo V'_d .
3. V'_d es convertido a valor analógico V'_a mediante el uso de un DAC.
4. El comparador arrojará un valor lógico que indica si V'_a es menor, mayor o igual a $V_a(t_o)$. Este valor lógico retornará al módulo lógico para que el mismo obtenga el nuevo valor tentativo V'_d y se continúe comparando hasta que se llegue al final de la conversión/búsqueda (EOC), en cuyo caso se V'_a resulta ser el valor igual o más cercano a $V_a(t_o)$ y por ende se deduce que el V'_d asociado resulta ser la representación digital de la entrada, lográndose así convertir la señal analógica a la digital para toda muestra.

2.3. Implementación de la lógica digital para la búsqueda binaria

Únicamente para los efectos de este conversor, se tomará la convención de que un bit “apagado” será equivalente a un 0 lógico mientras que un bit “prendido” será equivalente a un 1 lógico.

Por cuestiones notacionales, se numerará a los bits en forma creciente, siendo el bit más significativo el bit b_0 y el menos significativo el bit b_{N-1} , siguiendo la siguiente figura:

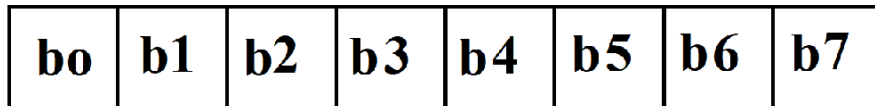


Figure 14: Notación para los bits

Se elige que la representación binaria/digital de la tensión de entrada que se almacene en el módulo lógico luego de finalizada la conversión asocie su valor mínimo a todos sus bits apagados y su valor máximo a todos sus bits prendidos, lo que se correspondería con una representación positiva (no admitiría números negativos) de los números. Esto se debe a que muchos DACs interpretan su input digital de la misma forma. Además, la lógica utilizada para implementar el algoritmo resulta ser más fácil de escribir de esta manera.

Se considera ahora al arreglo de N bits que es la salida del módulo lógico (en nuestro caso, N=8) como el arreglo en el cual se realizará la búsqueda del valor V_d , es decir, los todos los números que son representables con N bits formarán el conjunto V_{set} . El valor medio inicial de este conjunto estará dado por el bit más significativo prendido y el resto apagado.

El algoritmo procederá haciendo un análisis “bit a bit” y es por eso que denominamos b_a al bit que está siendo analizado, es decir, al bit para el cual se está decidiendo si deberá prenderse o apagarse para lograr el valor V'_d final correcto. De lo anterior, inicialmente $b_a = b_0$, por lo que $a = 0$.

(1) Al convertir el valor tentativo digital dado por el estado actual de los N bits a analógico y luego comparar con la tensión de entrada retenida (el resultado de la comparación será recibido por el pin CMP_IN de la figura) como se explicó en la subsección anterior, se seguirá la siguiente regla de decisión:

- Si el valor tentativo resulta menor al de entrada V_a , el bit b_a deberá prenderse.
- Si el valor tentativo resulta mayor al de entrada V_a , el bit b_a deberá apagarse.

Luego, si $a \neq N - 1$, se elige incrementalmente el índice a y se vuelve a realizar la comparación, volviendo al punto (1).

Al terminar el ciclo iterativo, la configuración en la que se encuentran los N bits será el valor V'_d , que convertido a analógico estará más cercano al valor de la entrada V_a .

Cabe aclarar que cada iteración será realizada en un ciclo de clock interno del módulo lógico, que será menor en duración al intervalo temporal τ durante el cual se retiene la muestra tomada en el instante t_o , ya denominada $V_a(t_o)$. Sin embargo, estos dos tiempos estarán íntimamente relacionados y es por eso que los tiempos de muestreo y retención del sample and hold estarán también manejados por el módulo lógico.

Esta afirmación y la relación entre tiempos serán explicadas con detalle en la siguiente subsección.

2.4. Interacción temporal entre los distintos componentes

Por cuestiones notacionales definimos a t_c como el tiempo que dura un ciclo de clock.

El módulo lógico no resulta independiente del funcionamiento del resto de los componentes que forman parte del conversor en cuanto a cuestiones temporales. Se irá caso por caso, llamando la atención sobre los factores y tiempos a tener en cuenta.

2.4.1. Interacción entre módulo lógico y Sample and Hold

La dependencia entre tiempos de componentes se debe principalmente a que la implementación del algoritmo de búsqueda mencionada anteriormente depende de que $V_a(t_o)$ se mantenga constante durante las N iteraciones que tiene que realizar el módulo lógico para poder convertir el valor $V_a(t_o)$ a digital. Para que esto último suceda, el tiempo por el cual se retiene una muestra tiene que ser, como condición necesaria pero no suficiente, mayor al tiempo en que tarda el módulo lógico en realizar N iteraciones de comparación ($N \cdot t_c < \tau$). Además, las N iteraciones tienen que realizarse sobre la misma muestra, por lo que la señal de clock y el tiempo en el que se comienza a iterar tienen que estar sincronizados con la señal de Sample y de Hold de manera tal que sólo se comience a iterar cuando se comenzó el tiempo de hold de una muestra.

Sin embargo, en la práctica es necesario pedir una condición extra cuando se habla de la interacción específica entre S&H y módulo lógico, y es que hay que tener en cuenta los tiempos de establecimiento de la muestra cuando es retenida por el S&H. Es por esto que se podrá comenzar a iterar sobre la muestra únicamente cuando la muestra retenida ya se ha establecido, por lo que si llamamos a este tiempo de establecimiento t_e resulta ser que $N \cdot t_c + t_e < \tau$.

2.4.2. Interacción con el DAC

Por cada iteración, el DAC tendrá que convertir el valor digital tentativo a un valor analógico para luego poder comparar ese valor con la entrada. La respuesta del DAC en tiempo no es ideal (nula), sino que tiene un valor definido por el intergrado o circuito a utilizar. Cada iteración tendrá que esperar un tiempo t_{dac} de respuesta del conversor DAC para poder recibir la respuesta de comparación y así poder decidir el valor del bit actualmente analizado. Es de aquí que se agrega esta condición para las N iteraciones que se realizan dentro de un tiempo de hold.

De aquí, $N \cdot t_c + t_e + N \cdot t_{dac} < \tau$

2.4.3. Interacción con el comparador

El tiempo de respuesta del comparador ha de ser tenido en cuenta. Dado que la salida del comparador sólo será observada durante el tiempo en que el S&H está en estado Hold y luego de pasado el tiempo de establecimiento del

mismo, entonces se deberá sumar el tiempo de respuesta del comparador a la condición para el tiempo de clock. De esta manera, llamando t_{comp} al tiempo de respuesta del comparador, obtenemos $N \cdot t_c + t_e + N \cdot (t_{dac} + t_{comp}) < \tau$.

2.4.4. Condición de Clock resultante

Luego de establecidas las condiciones a tener en cuenta y habiendo llegado a la expresión:

$$N \cdot t_c + t_e + N \cdot (t_{dac} + t_{comp}) < \tau$$

Podemos despejar la condición para el tiempo máximo en el que el clock realiza un ciclo como:

$$t_c < \frac{\tau - t_e}{N} - t_{dac} - t_{comp}$$

Este tiempo máximo tendrá asociada un frecuencia mínima de clock dada por $f = \frac{1}{T}$.

Nos preguntamos luego cómo definir el tiempo de Hold para que el sistema funcione correctamente. El tiempo que impondrá las condiciones para el tiempo de clock será el tiempo de sample en este caso, ya que el integrado de sample and hold tendrá un tiempo de adquisición mínimo que deberá cumplirse y es más restrictivo que el tiempo de establecimiento del hold.

Dada la máxima frecuencia de muestreo del sistema, f_m de $44.1kHz$, la cual para dar márgenes de error aproximamos a $f_m = 44.5kHz$, podemos obtener el máximo período de sampleo $T_m = 22.45\mu s$.

Llamando a su vez $t_a = t_e + N \cdot (t_{dac} + t_{comp})$, podemos expresar a un período de muestreo a partir del siguiente gráfico, donde t_{sar} es el tiempo en el que se realizan las iteraciones:

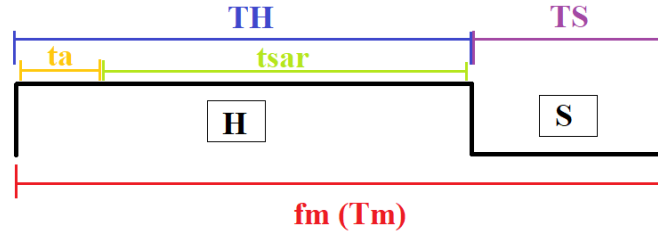


Figure 15: Tiempo de muestreo, sample, hold y retardos adicionales

Requerimos utilizar el menor tiempo de sample posible, por lo que utilizando el valor de frecuencia f_m mencionado anteriormente y teniendo en cuenta un tiempo de adquisición de $10\mu s$ (el sample and hold a utilizar será el LF398), observamos que si se elige $T_s = T_m \cdot 0.45 = \frac{0.45}{f_m} \approx 10.1\mu s$, se cumple la condición. De aquí se deduce que $\tau = T_H = 0.55 \cdot T_m \approx 12.5\mu s$ para el caso extremo.

Luego, denominando $T_{it} = T_H - t_e$ al tiempo en el que se realizarán las N iteraciones, nos damos cuenta que si $T_{it} \geq N \cdot (t_{dac} + t_{comp}) + t_{sar} = N \cdot (t_{dac} + t_{comp} + t_c)$, entonces el sistema podrá realizar la conversión correctamente. Pero esta condición no resulta suficiente en el caso práctico, porque digitalmente se esperará generar el registro de N bits para próximo valor tentativo y luego realizar la conversión de digital a analógico y la comparación correspondiente, pero en ciclos de clock en vez de un tiempo continuo interrumpido. Verificamos que si $t_{dac} + t_{comp} \ll t_c$ (en la práctica con perder $t_{dac} + t_{comp} < 0.5 \cdot t_c$ esta condición se cumple), el proceso entero de generar, convertir y comparar comentado anteriormente entrará completamente en t_c y por ende se necesitará esperar N ciclos de clock para cubrir T_{it} , por lo que resulta $T_{it} \geq N \cdot t_c$ como requerimiento.

Lo último, en conjunto con el requisito impuesto para el tiempo de sample mencionado anteriormente nos lleva a la conclusión que la frecuencia de clock mínima para implementar el sistema es:

$$\frac{N}{12.5\mu s - t_e} \leq f_{clk}$$

2.5. Componentes físicos de la placa base

2.5.1. Sample and Hold

Dado que en Trabajo Práctico 1 se realizó el análisis del circuito integrado LF398 y habiendo verificado en la subsección anterior la posibilidad de utilizar a este integrado con el rango de frecuencias de muestreo impuesto por consigna, se decidió utilizar al mismo para la placa base ADA. El tiempo de establecimiento fijado por la datasheet del mismo es de $t_e = 0.8\mu s$. De aquí, asumiendo que se cumple que $t_{dac} + t_{comp} \ll t_c$, ya se desprende el valor numérico de la frecuencia mínima de clock:

$$f_{clk} \geq 685kHz$$

Lo cual se corresponde en el caso extremo con un período de clock $t_c = 1.46\mu s$.

2.5.2. DAC

Por ser el único DAC disponible en el pañol, además de ser el fijado por consigna para el resto del trabajo, se elige como DAC a utilizar el DAC 0808L. Este integrado tiene un tiempo de respuesta de $150ns$.

Usando la notación fijada anteriormente, $t_{dac} = 150ns$.

2.5.3. Comparador

Por disponibilidad en el pañol, el circuito integrado usado como comparador LM311, cuyo tiempo de conversión es $t_{comp} = 165ns$.

De estos dos tiempos, se ve que $t_{comp} + t_{dac} = 315ns = 0.315\mu s$.

Y de esto, $\frac{t_{comp} + t_{dac}}{t_c} \cdot 100 = 21.6\%$. Se ve entonces que el tiempo en el que se realiza la comparación es suficiente como para que entre en un período de clock, por lo que se puede esperar un sólo período para poder recibir el resultado de la comparación y así se cumple la condición que asumimos para calcular la frecuencia mínima de clock.

2.6. Implementación física del módulo lógico

Se decidió implementar al módulo lógico mediante el uso de una FPGA Neo-Dos Nano, programándola con el uso de Quartus II. La frecuencia de Clock interno de esta FPGA es de 50Mhz.

Para independizar al módulo lógico de la FPGA de la frecuencia de muestreo que se está utilizando, se busca un tratamiento genérico del conversor en el que el tiempo total de muestro T_m y sus respectivos tiempos T_H y T_s sean expresados en un múltiplo de la frecuencia de Clock utilizada.

Dado el período de clock mínimo $t_c = 1.46\mu s$ establecido anteriormente, se decide que para cubrir el tiempo de establecimiento $t_e = 0.8\mu s$ se necesita al menos un período de clock. Se elige el caso extremo para poder utilizar la mayor cantidad de tiempo en tiempo efectivo de muestreo.

Sabemos por el razonamiento de la sección anterior que necesitaremos $N=8$ períodos de clock para realizar las comparaciones. De los tiempos de establecimiento y de comparación, se decide entonces que $T_H = 9 \cdot t_c$.

Para el período de sampling, se sabe que como mínimo se necesitará que

$$T_m \cdot 0.45 = T_s$$

Si se sabe que $T_H = 0.55 \cdot T_m = 9 \cdot t_{cmin}$, entonces

$$T_m = \frac{9}{0.55} \cdot t_c$$

De aquí, $T_S = T_m \cdot 0.45 = 9 \cdot \frac{0.45}{0.55} \cdot t_{cmin}$. Manteniendo esta relación para otros valores de clock y aproximando al entero techo,

$$T_S \approx 8 \cdot t_c$$

Entonces,

$$T_m = T_H + T_S$$

$$T_m = 17 \cdot t_c$$

Y por lo tanto obtenemos la relación final entre frecuencia de muestreo y de clock:

$$f_{clk} = f_m \cdot 17$$

Cabe destacar que de esta relación, dado que se tomó la relación, que en el cálculo teórico no había sido tenido en cuenta, obtenemos una condición más restrictiva para la frecuencia del clock, en la que:

$$f_{clk} \geq 750kHz$$

Sin embargo, esta condición no resulta para nada restrictiva para la FPGA utilizada y las frecuencias impuestas por consigna, ya que el clock interno de la misma, como se mencionó anteriormente, es de 50Mhz.

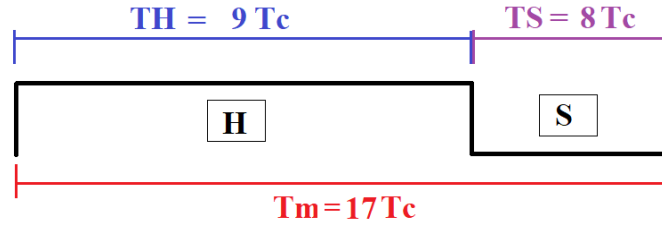


Figure 16: Distribución final de tiempos en función de períodos de Clock

2.6.1. Frecuencia máxima de operación

Dado que la consigna impone como condición una frecuencia máxima de muestreo de 44.1kHz, esta fue la utilizada para los cálculos de diseño y es por esto que la frecuencia máxima de operación será la misma. Sin embargo, nos hacemos la pregunta de cuál será la máxima frecuencia de conversión que se podría llegar a implementar si la limitación no estuviera impuesta por consigna.

Sin tener en cuenta el tiempo de iteracion, tenemos que por cada período de muestreo, T_m deberán entrar al menos un tiempo $t_{min} = N \cdot (t_{dac} + t_{comp}) + t_e + t_{acq}$, donde t_{acq} es el tiempo de adquisición del sample and hold de $10\mu s$ ya mencionado y el resto de los valores ya son conocidos por la notación previa. De aquí surge que $t_{min} = 13.32\mu s$.

Asumiendo ningún otro retraso, obtenemos la frecuencia máxima de muestreo a partir de este valor de $75kHz$. Dado que la FPGA maneja frecuencias de clock de 50Mhz (666 veces más grande), se asume despreciables el resto de los tiempos a tener en cuenta, por lo que tomando arbitrariamente un margen de error de 5kHz se puede fijar un valor seguro de frecuencia máxima de muestreo del ADC de:

$$f_{max} = 70kHz$$

2.6.2. Errores de precisión

Al haber tenido en cuenta los máximos tiempos de establecimiento y de adquisición dictados por las datasheets de los componentes, los errores de cuantización del ADC estarán dados mayoritariamente por la operación comparadora.

Si el comparador no tuviese ventana de histéresis o la misma resulta muy angosta, una oscilación de pequeña amplitud provocada por el establecimiento gradual de la señal de hold o la presencia de ruido en la misma harán que la comparación sea imprecisa, pudiéndose así tener un error por defecto o exceso indistintamente a la hora de realizar la comparación. Es por esto que la ventana de histéresis es necesaria para el correcto funcionamiento del conversor.

En cambio, si la ventana de histéresis resulta demasiado grande, podrá haber un error de un bit (el menos significativo) ya que pequeñas diferencias entre la señal de entrada y de comparación no serían tenidas en cuenta por el comparador.

Es por esto que debe fijarse el ancho de la ventana de manera tal que se permita como máximo error en un bit significativo, que de por sí es permisible por el hecho de que la igualdad entre el valor digital y el analógico no está cubierta de por sí, por la característica binaria de la respuesta del comparador.

3. Modulador Delta

3.1. Introducción

La modulación delta es una implementación mas simple de modulación por codificación de impulsos diferenciales (DPCM). Esta se basa en la conversión de una señal analógica a digital con una resolución de 1 bit. Ya que a la salida se obtiene la diferencia entre el valor anterior y el actual, y no la señal cuantizada. Midiendo esta diferencia, se puede usar un contador para obtener la señal cuantizada. A continuación se presenta un simple diagrama en bloques de el modulador delta como un sistema lineal realimentado:

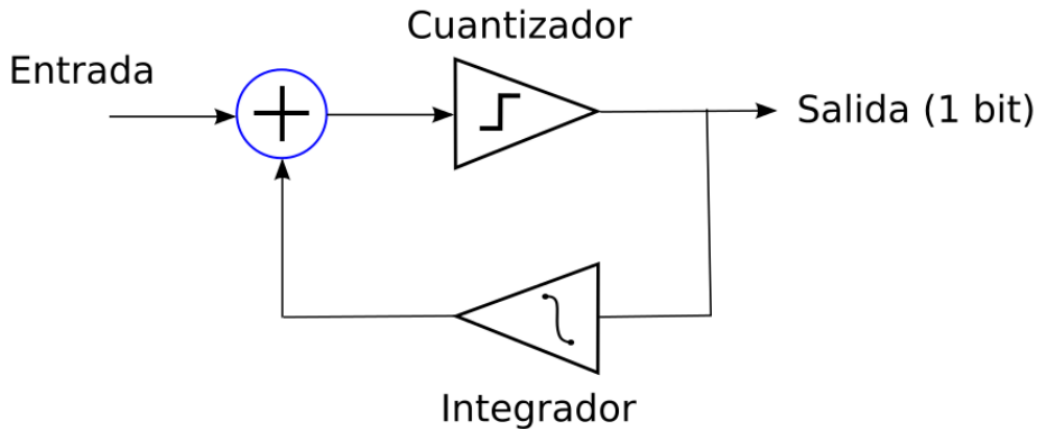


Figura 17: Diagrama modulador delta

Para la implementación física del sistema, se usa un comparador lógico para el cuantizador y un contador con un DAC para el integrador. El diagrama resultante es el siguiente:

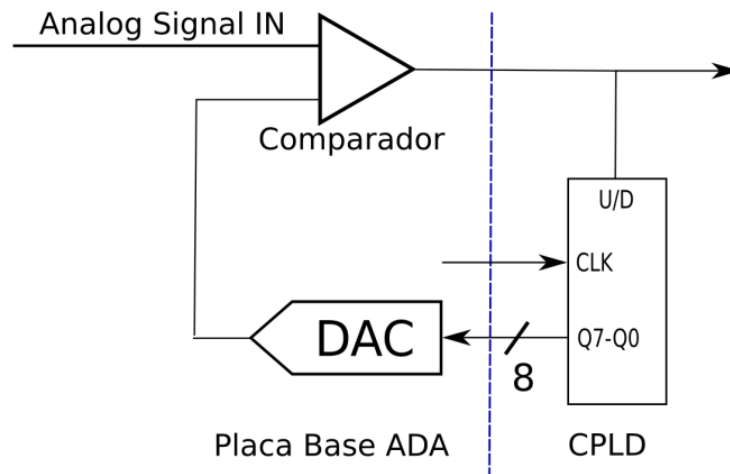


Figura 18: Esquema de implementación en placa

En este esquema, el comparador compara la señal analógica de entrada con una señal secundaria. Esta señal secundaria resulta en la señal de entrada, un tick de clock antes, por lo que el comparador devuelve si la señal presente aumento

o disminuyo en comparación a la pasada. Este bit de diferenciación entra en un contador up/down, donde este se incrementa si el comparador dio un uno lógico y se decrementa si dio un cero lógico. Por lo que a la salida de el contador, tengo la señal cuantizada. Cuanto mas bits tenga el contador, mejor sera la resolución. Si la señal cuantizada se introduce en un DAC, a la salida se obtiene nuevamente la señal analógica, un tiempo anterior a la entrada.

3.2. Recuperación de la señal

Para recuperar la señal se necesita el siguiente circuito:

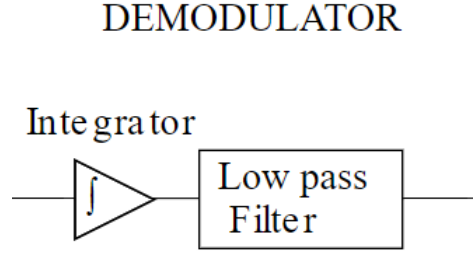


Figura 19: Esquema del demodulador

Donde el integrador vuelve a ser un contador up/down. De manera que al pasar por el low pass, se eliminan las altas frecuencias y se logra obtener la señal recuperada.

3.3. Parámetros Limitantes

Los dos factores limitantes a la hora de implementar el modulador delta son: La resolución de la señal, la SNR (signal to noise ratio) y el OSP (output signal power).

3.3.1. OSP

Este factor introduce una restricción en la amplitud de la señal de la entrada. Si tiene una derivada muy grande la señal de entrada, entonces la señal modulada no puede seguir a la señal de entrada y ocurre 'slope overload'.

Teniendo la entrada:

$$X_i(t) = A \cdot \cos(\omega \cdot t)$$

Derivando se obtiene:

$$X'_i(t) = -A \cdot \omega \cdot \sin(\omega \cdot t)$$

El máximo se encuentra en:

$$|X'_i(t)|_{MAX} = A \cdot \omega$$

Y para evitar 'slope overload', se necesita que se cumpla el siguiente criterio:

$$|X'_i(t)|_{MAX} < f_s \cdot \sigma$$

Donde σ es el step size de la cuantización.

Despejando se obtiene que la amplitud de entrada máxima es:

$$A_{MAX} = \frac{\sigma \cdot f_s}{\omega} = \frac{\sigma \cdot f_s}{2\pi f}$$

3.3.2. SNR

Para tener high signal to noise ratio, se necesita hacer oversampling. Por lo que hay una restricción en cuanto a la f_s . Esta restricción se genera cuando en un período de sampleo, la señal cambia del máximo valor al mínimo valor, por lo que para que el modulador pueda hacer ese cambio a tiempo, el clock debe ser el numero de niveles mas grande que la frecuencia de sampleo a la entrada. Por lo que en el peor caso:

$$Clk = f_s \cdot L = f_s \cdot 2^8$$

4. Conversor y Modulador Sigma Delta

4.1. Introducción

En esta parte del artículo se pretenderá diseñar un conversor analógico - digital a partir del siguiente esquemático:

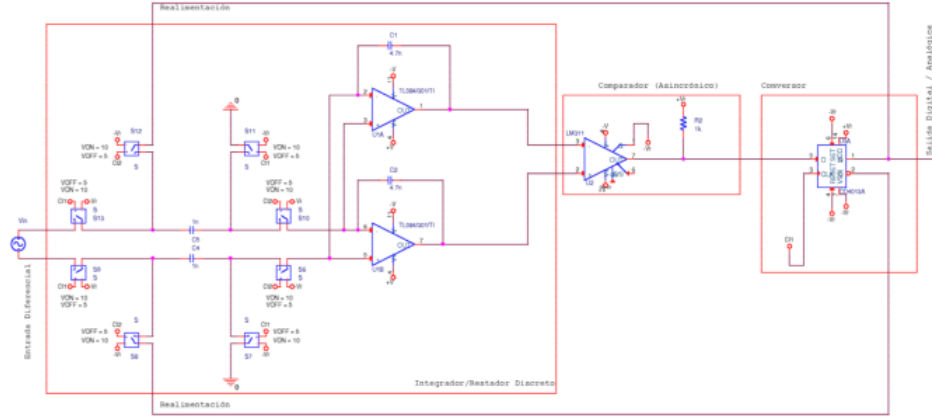


Figure 20: Esquemático Base Propuesto

Este esquema corresponde al de un conversor/modulador de tipo “Sigma-Delta” ($\sum \Delta$), el cual será analizado en las siguientes secciones, se enumerarán sus ventajas y se propondrán mejoras.

Luego, se corroborarán las conclusiones del análisis mediante simulaciones computacionales mediante el programa “Simulink” de Matlab y finalmente se realizarán mediciones experimentales del prototipo cuyo diseño se arriba en este trabajo.

4.2. Marco Teórico

El funcionamiento del conversor/modulador “Sigma-Delta” se puede analizar de manera sencilla partiendo del conocimiento del modulador “Delta” (Δ), que se ha tratado con anterioridad en el artículo. En este último, se actualiza la salida digital según si se identifica un incremento o decremento de la entrada con respecto de la salida anterior. Para esto se realiza una diferencia entre estas dos señales (entrada vs salida anterior) lo cual da motivo a nombrar al conversor/modulador) como “Delta”. Luego, si se quisiera recuperar la señal analógica con este tipo de modulador sería necesario integrar la señal digital de salida y luego eliminar las componentes armónicas fuera de la banda de frecuencias de la señal que originalmente ingreso al modulador (mediante filtro pasabajos). En el caso del Sigma-Delta, se parte de la misma logica descripta para el modulador Delta, sin embargo se simplifica las dos integraciones realizadas en el anterior modulador en una sola, tal como lo muestran las siguientes figuras:

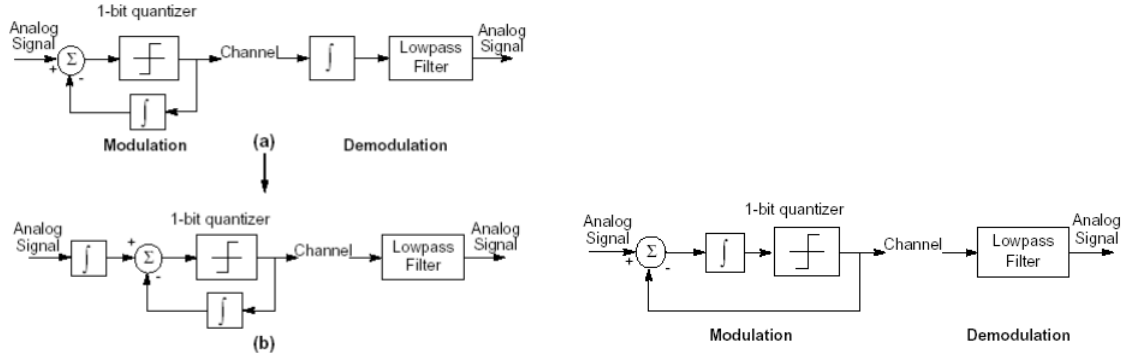


Figure 21: Diagrama de Sigma Delta a partir de Modulador Delta

Entonces en el lazo de realimentación del nuevo conversor/modulador en cuestión no es necesaria una integración y tampoco lo es para recuperar la señal analógica original, sino que estas dos integraciones se pueden tratar como una operación lineal que se puede trasladar a la instancia inmediatamente después a la realización de la diferencia. Este hecho de realizar la diferencia y subsiguientemente integrar es al cual se alude mediante el nombre “Delta - Sigma” o bien “Sigma-Delta” ($\sum \Delta$). Vale aclarar que el sistema al cual se arribo mediante los diagramas es un $\sum \Delta$ de primer orden, pero se pueden obtener sistemas de ordenes superiores al agregar mayor cantidad de realimentaciones o al incorporar varios sistemas en cascada. En este artículo solo se tratará con el sistema de primer orden.

Luego, se obtuvo un modulador en el cual se resta a la entrada (mediante la realimentación) una constante que es positiva en caso de que la salida anterior (el resultado del promedio de las diferencias anteriores) haya sido negativa y en caso contrario la constante a restar es negativa. Esto hace posible que la integración sea de tan solo un “delta” lo cual da como resultado una menor cantidad de bits, lo cual trae consigo multiples ventajas. Sin embargo, para poder lograr esto en la práctica son necesarias algunas consideraciones como por ejemplo el “oversampling” o la “decimación”. Estos conceptos serán explicados a continuación, y además se planteará matemáticamente la transferencia del sistema conversor en cuestión para poner aún más en evidencia sus características.

4.2.1. Transferencia y Noise Shaping

A partir del diagrama teórico de $\sum \Delta$ presentado anteriormente, se puede reemplazar cada bloque mediante su equivalente matemático para poder calcular la función transferencia del sistema. Entonces el diagrama del modelo matemático del sistema es el siguiente:

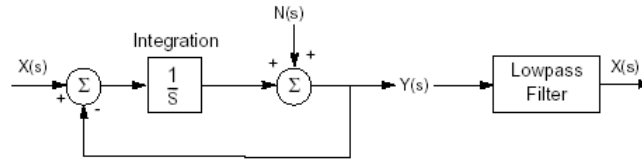


Figure 22: Diagrama $\sum \Delta$ modelado matemático

En este esquema, las operaciones que participan son la suma y la integración (pasabajos en frecuencia). Además, se tiene dos entradas “ $X(s)$ ” e “ $N(s)$ ” y la salida “ $Y(s)$ ”. En cuanto a $N(s)$, esta representa el ruido de cuantización que se introduce al cuantizar la señal. Este ruido se puede modelar mediante una variable aleatoria con distribución uniforme en el intervalo $(-q; q)$ siendo “ q ” el valor que representa el bit menos significativo de la señal digital.

Por ende el ruido se puede pensar como una variable que para cada cuantización toma un valor en el intervalo mencionado con igual probabilidad para cualquiera de ellos, sin importar el espectro de la señal que es cuantizada.

Luego, se obtiene la siguiente respuesta:

Pasivando $X(s)$:

$$Y(s) = \frac{s}{s+1} \cdot N(s)$$

Pasivando $N(s)$:

$$Y(s) = \frac{1}{s+1} \cdot X(s)$$

Por superposición:

$$Y(s) = \frac{1}{s+1} \cdot X(s) + \frac{s}{s+1} N(s)$$

Aplicando al integrador la transformación foward:

$$Y(z) = z^{-1} \cdot X(z) + (1 - z^{-1}) \cdot N(z)$$

Como se puede observar de la expresión anterior, el sistema presenta una respuesta de pasabajos en frecuencia para la señal "x" de entrada, mientras que forma un pasa-altos para el ruido de cuantización. Esto último es de sumo interés para reducir el ruido en la conversión, de hecho, si se aumentara el orden del sistema entonces aumentaría el orden de la respuesta pasa-altos. Esto es lo que se pretende representar en el siguiente gráfico:

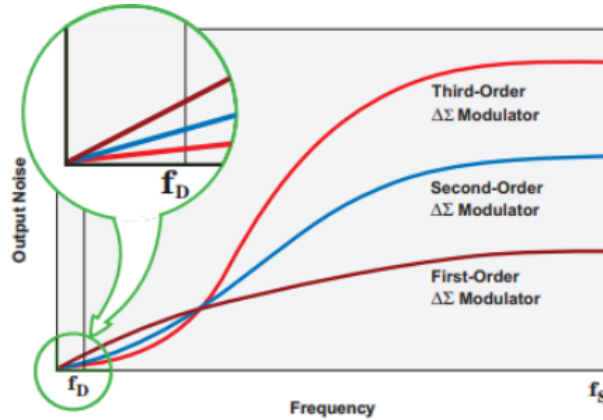


Figure 23: Orden del Noise Shaping

El hecho de que la respuesta al ruido uniforme de cuantización sea pasa-alto provoca que el conversor sigma-delta sea de especial interés ya que produce un efecto de "Noise Shaping", es decir, mueve el ruido de cuantización a las altas frecuencias lo cual es sumamente útil si se combina con la técnica de "oversampling". Esto último se explicará a continuación.

4.2.2. Oversampling

Para lograr que la integración de la diferencia (operación $\sum \Delta$) se realice de manera que la salida digital modulada se corresponda con la entrada, la realimentación debe actualizarse con la suficientemente rapidez para no perder cambios de la señal de entrada, y para esto también la salida debe actualizarse con esta suficiente rapidez. Por esto

es que para la implementación del $\Sigma \Delta$ se realiza “oversampling”. Esto quiere decir que la frecuencia de muestreo del sistema debe ser superior a la de Nyquist. Mayor sea esta frecuencia de muestreo, entonces se podrán detectar menores cambios de la entrada, se reducirá el error de la conversión y además se presentarán condiciones menos exigentes para algunas partes del sistema. Estas, todas consecuencias de muestrear a una tasa mayor a la que indica el límite de Nyquist, serán explicadas con detalle a continuación.

Ventajas en el Filtrado Como primera medida, el hecho de que la frecuencia de muestreo “ f_s ” sea considerablemente mayor a la frecuencia de Nyquist implica que el espectro de la señal digital presenta las repeticiones de la banda base separadas de tal manera que los filtros necesarios para recuperar la señal analógica y para eliminar el alias sean de un orden menor con respecto a los que se deberían utilizar en caso de muestrear a la frecuencia de Nyquist.

Esto se pone en evidencia en el siguiente esquema:

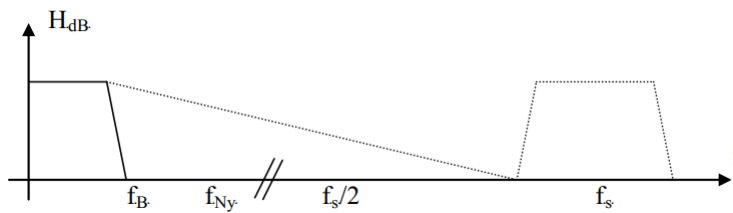


Figure 24: Oversampling - Separación de Espectros de Banda Base

Relación con Noise Shaping Una ventaja notable del oversampling, la cual provoca que el modulador/conversor $\Sigma \Delta$ resulte más eficiente con respecto a otros conversores, es el hecho de la reducción del ruido de cuantización. En efecto, como se ha mencionado anteriormente el ruido de cuantización se puede modelar como si fuera una variable aleatoria con distribución uniforme entre “ $-q$ ” y “ q ”, siendo q el valor que representa el bit menos significativo de la conversión.

Entonces, para una señal muestreada a una frecuencia f_s , se distribuye uniformemente el ruido de cuantización en el intervalo $(-\frac{f_s}{2}; \frac{f_s}{2})$. Esto a su vez implica que si se aumenta la frecuencia f_s el ruido de cuantización se debe distribuir en un rango mayor de frecuencias y por ende existirá menor cantidad de ruido unidad de frecuencia, ya que el ruido total sigue siendo el mismo en todos los casos, solo que puede variar el rango de la banda de frecuencias en el cual se debe distribuir este.

Dicho esto, si se tiene una señal limitada en banda, muestreada a una frecuencia relativamente mucho mayor a la frecuencia de Nyquist, existirá ruido que sea aportado en frecuencias mayores a la de Nyquist y por ende la banda base de la señal será afectada por menor cantidad de ruido de cuantización.

Aún más, el ruido de la banda base que esta reducido por la técnica de oversampling se reducirá aún más ya que el sistema produce el efecto de “Noise Shaping” desplazando el ruido a las altas frecuencias. La forma del espectro se puede visualizar en la siguiente figura:

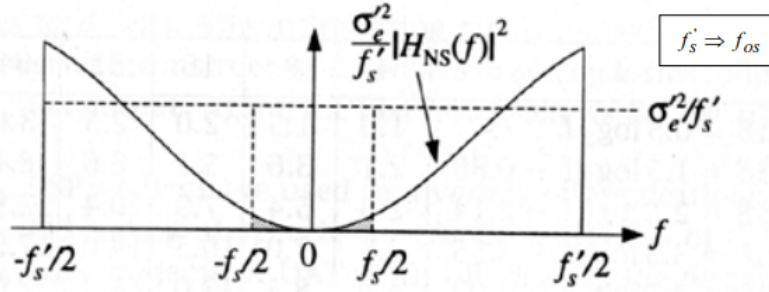


Figure 25: Espectro de la Respuesta al Ruido de Cuantización

En consecuencia de lo explicado hasta aquí, con el sistema de $\sum \Delta$ es posible implementar conversiones dando como resultado el mismo error de cuantización en relación a otros sistemas, pero pudiendo introducir mayor cantidad de ruido al sistema, es decir, pudiendo reducir la cantidad de bits. A continuación se analizará aún más este último hecho.

Reducción de Bits Como se ha mencionado anteriormente, el conversor/modulador $\sum \Delta$ permite implementar una conversión con un ruido de cuantización dado pero con menor cantidad de bits que los utilizados por otros sistemas debido al “Noise Shaping” y al “Oversampling”. A continuación se pretende describir esto matemáticamente: Sea la frecuencia de oversampling “ f_{os} ”, mientras que “ f_s ” corresponde a la frecuencia de muestreo intrínseca del sistema de procesamiento de “ n ” bits, entonces se tiene que $f_{os} = L \cdot f_s$ siendo “ L ” una constante multiplicativa.

En cuanto a la cuantización, $q = A2^{-n}$; $q_{os} = A \cdot 2^{-n_{os}}$, siendo “ A ” el valor máximo de la señal. Luego:

$$\sigma_\epsilon^2 = \frac{q^2}{12}; \sigma_{\epsilon_{os}}^2 = \frac{q_{os}^2}{12}$$

Por otro lado, analizando la densidad espectral de potencia de la respuesta al ruido de cuantización, se puede plantear la siguiente ecuación:

$$S_\epsilon(f) = |H_{NS}|^2 \cdot \frac{\sigma_{\epsilon_{os}}^2}{f_{os}} \Rightarrow \sigma_\epsilon^2 = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} |H_{NS}|^2 \cdot \frac{\sigma_{\epsilon_{os}}^2}{f_{os}} \cdot df = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} |2 \cdot \sin(\frac{\pi \cdot f}{f_{os}})|^2 \cdot \frac{\sigma_{\epsilon_{os}}^2}{f_{os}} \cdot df$$

$$\Rightarrow \Delta n = n - n_{os} = \frac{3}{2} \log_2(L) - \frac{\log_2(\frac{\pi^2}{3})}{2}$$

Con estas expresiones, se puede concluir que para un sistema con frecuencia de trabajo “ f_s ” de 8 bits, se puede realizar la conversión con el sistema $\sum \Delta$ implementando el oversampling con un factor de “ L ” igual a 64 (si $f_{os} = 64 \cdot f_s \Rightarrow \Delta n \simeq 8.14$).

4.2.3. Decimación

Hasta aquí se ha expuesto la importancia de la técnica de oversampling para la conversión $\sum \Delta$. Sin embargo, la salida digital de este conversor es en realidad una modulación por ancho de pulso a una frecuencia $f_{os} = L \cdot f_s$. Para poder interpretar esta señal digitalizada con un procesador, por ejemplo, que trabaja con una frecuencia de muestreo f_s se deben promediar las muestras de salida del modulador/conversor generar nuevas muestras a frecuencia f_s .

Es decir, cada L muestras del modulador se debe generar una nueva muestra para el sistema de procesamiento y así poder lograr reducir la frecuencia de muestreo para que sea acorde a la del procesador mencionado. Este proceso descrito en término del tiempo, se denomina decimación.

Por otro lado, puede analizarse en el campo de la frecuencia. Este análisis se basa en tener en cuenta que el espectro de la señal digital modulada proveniente del modulador/conversor $\sum \Delta$ es la repetición del espectro según la frecuencia f_{os} de la banda base de la señal original con ancho de banda $f_B = \frac{f_{NYQUIST}}{2}$. Al aplicar la decimación, la distancia entre los espectros de banda base repetidos y distanciados según la frecuencia f_{os} se acercan ya que la frecuencia de muestreo pasa a ser de $f_s = \frac{f_{os}}{L}$.

Por último, el hecho de realizar un promedio generar las nuevas muestras a frecuencia f_s , implica aplicar un filtro pasabajos digital, cuya frecuencia de corte debe ser cercana (pero aún mayor) a la frecuencia de ancho de banda de la señal. Esto se puede realizar mediante un filtro IIR de alto orden, pero para evitar las exigencias de este tipo de implementación, se logra realizar un pasabajos partiendo de la implementación de filtros FIR de tipo “Comb”. En efecto, el hecho de que cada nueva muestra sea un promedio de muestras de la señal original se puede pensar como un filtro FIR ya que se da con la siguiente expresión:

$$y(n) = x(n) + x(n-1) + x(n-2) + \dots + x(n-M) \Rightarrow H(z) = \frac{Y(z)}{X(z)} = 1 + z^{-1} + z^{-2} + \dots + z^{-M}$$

Finalmente, este filtro Comb se corrige para adoptar la forma de un pasabajos digital (espectro periódico), lo cual es conveniente para eliminar cualquier distorsión que pueda introducirse en la banda de frecuencia de interés. En el caso del modulador/conversor $\sum \Delta$ es de gran utilidad el pasabajos de la decimación para eliminar el ruido de cuantización que anteriormente fue afectado por el efecto de “Noise Shaping”. Es decir que este efecto de Noise Shaping se complementa con el oversampling no solo para el caso en que se recupera la señal mediante un filtro pasabajos analógico sino que también lo hace para el caso en que se procesa la señal digital para lo cual se aplica el pasabajos al decimar.

4.3. Simulaciones de Simulink - Matlab

En esta parte del artículo se procede a mostrar la simulación mediante “Simulink” del modulador/conversor $\sum \Delta$. Para esto se utilizó el siguiente esquema para una simulación idealizada:

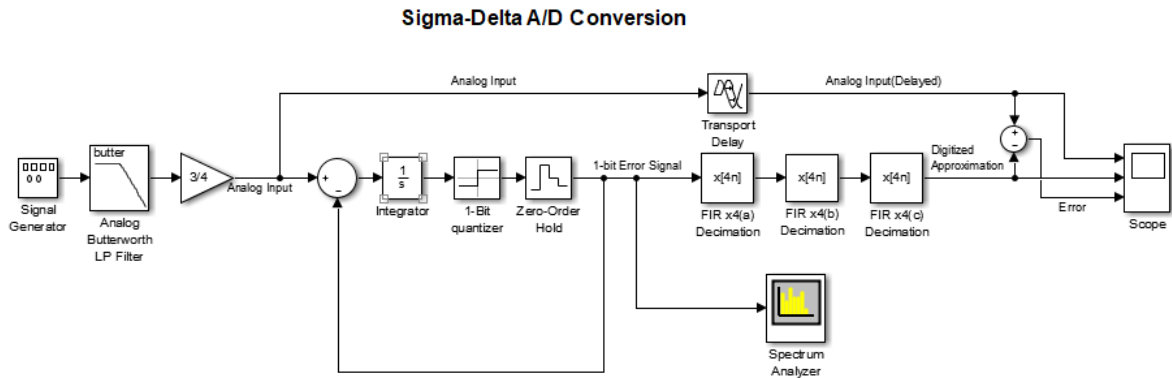


Figure 26: Diagrama - Simulación Idealizada

A partir de este modelo, se procederá a realizar diversas simulaciones como respuesta al impulso del sistema, espectro de ruido, etc.

Todas las simulaciones se realizaron con una frecuencia de muestreo de $512KHz$.

4.3.1. Simulación de Respuesta al Impulso

Para analizar el comportamiento del sistema, además de su estabilidad, es conveniente simular la respuesta impulsiva del mismo. A continuación se expone la respuesta de ingresar con un impulso al sistema mostrado en la introducción de esta sección de simulación, habiendo sido medida a la salida del decimador:

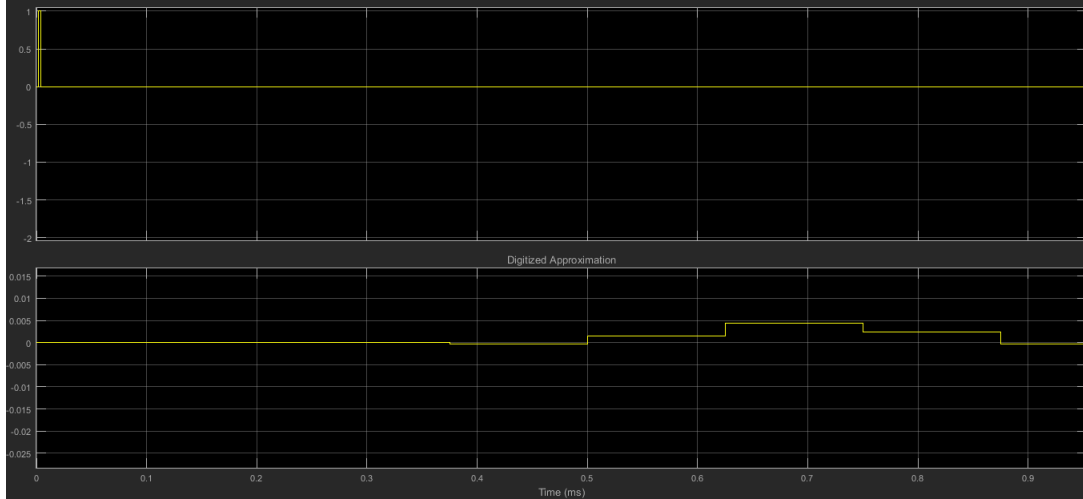


Figure 27: Simulación Respuesta al Impulso

De la imagen se puede notar la excitación (impulso), en la cual el eje vertical representa la amplitud en Volts (1 Volt para el caso del impulso). En cuanto a la respuesta, esta se manifiesta luego de un retardo del orden de los microsegundos mediante una leve amplitud (relativamente baja con respecto a la amplitud del impulso) y luego de un tiempo menor al milisegundo vuelve a anularse como es de esperar, ya que como se ha visto antes el decimador presenta una respuesta impulsiva finita al ser realizado con filtros “FIR”.

En fin, lo que se logra visualizar es el resultado de la diferencia que se ingresa en el integrador (introducida brevemente por el impulso), que logra que durante un tiempo relativamente pequeño el promedio de la señal digital modulada (salida del cuantizador) sea distinto a cero. Luego de que esta diferencia deja de existir (la excitación cesó) se genera nuevamente una modulación tal que el promedio de la señal digital del módulo “Sigma Delta” sea igual al valor cero.

4.3.2. Simulación de Espectro de Ruido

En orden a exponer mediante simulación computacional la forma en la que el modulador/conversor $\Sigma \Delta$ disminuye el ruido de cuantización, se presenta el resultado de simular el espectro de ruido antes del decimador y despues del mismo:

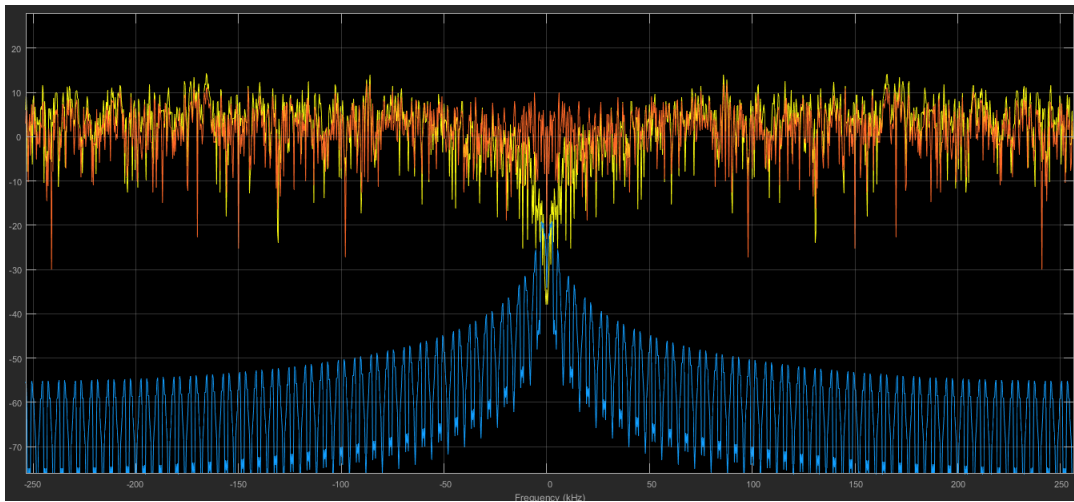


Figure 28: Simulación Espectro de Ruido de Cuantización - Antes y Después del Decimador

Vale aclarar que para realizar esta simulación se pasivo la entrada y se impuso correspondientemente dentro del lazo del sistema un ruido blanco de una potencia que simula la introducida por el hecho de cuantizar con un cuantizador de 1 bit.

En la imagen se puede notar el espectro propio del ruido blanco (espectro de color rojo), representándose la frecuencia en el eje horizontal (en KHz) y la potencia en dBm en el eje vertical. La respuesta a este ruido introducido al sistema se traduce en el espectro correspondiente a la señal digital antes del decimador (espectro de color amarillo) el cual manifiesta una atenuación en las bajas frecuencias con respecto a la señal de ruido original, tal como se predijo en el análisis del marco teórico.

En cuanto al espectro luego del decimador (color celeste), se nota una respuesta de pasabajos, como también se ha mencioando antes. Esto tiene sentido ya que la decimación realiza un promedio, pero además se vale del noise shaping que se puede notar mediante el espectro antes del decimador para asegurar que el ruido de cuantización tenga el menor efecto posible sobre la decimación en cuestión.

En fin, claramente se puede visualizar el “Noise Shaping” el cual también se podría notar si se aumenta la cantidad de bits del cuantizador, sin embargo el ruido de cuantización en este caso sería menor. Aún más, se podría llegar a un número de bits de cuantización tal que el error al cuantizar sea tan bajo que el ruido introducido sea comparable al ruido del ambiente de laboratorio y entonces no se logre identificar la forma de pasa altos característica del “Noise Shaping”.

4.4. Simulación del Espectro de Salida con Entrada Senoidal

Al sistema propuesto en la introducción de esta sección de simulación se introdujo una señal senoidal de $1KHz$ y se obtuvo el siguiente resultado:

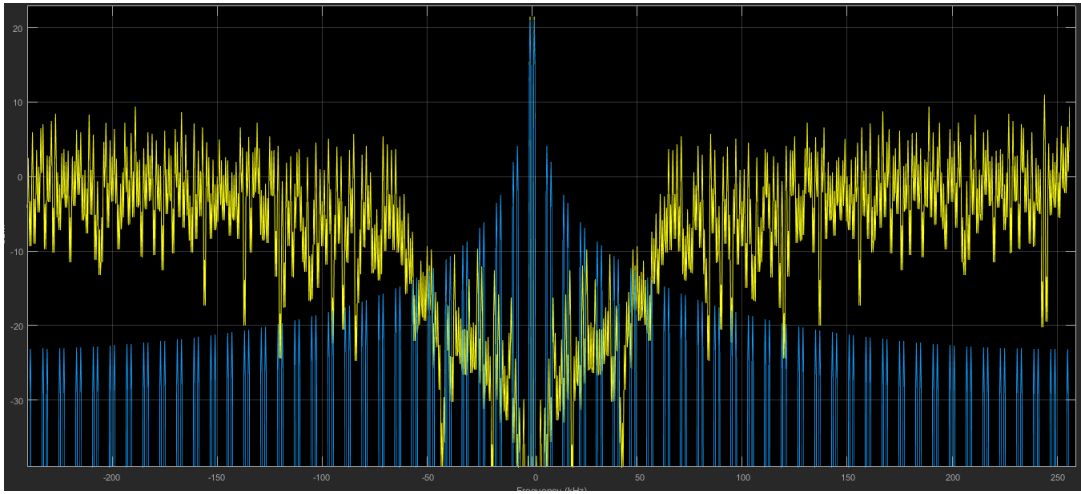


Figure 29: Simulación Espectro de Salida ante Entrada Senoidal - $f = 1KHz$

En el gráfico, cuyo eje vertical representa la potencia en dBm y su eje horizontal represente la frecuencia en KHz, se puede observar el espectro a la salida del sistema (luego del decimador, espectro de color celeste) y el espectro de ruido antes del decimador que se encuentra filtrado para las bajas frecuencias.

En el espectro celeste se pueden notar los picos de mayor potencia en las frecuencias de $\pm 1KHz$, correspondientes a la frecuencia de la señal senoidal de entrada, mientras que la potencia del ruido de cuantización en un rango cercano a dichas frecuencias se observan relativamente altamente atenuados, coincidiendo esto con el análisis de Noise Shaping realizado hasta el momento.

4.5. Decimador

Se puede notar en el esquema de la simulación idealizada que se están implementando tres etapas de decimación de cuarto orden cada una, es decir que cada etapa decimación reduce la frecuencia de las muestras en un factor de 4. En total, la frecuencia de muestreo se reduce en $4^3 = 64$. Como se ha demostrado anteriormente, para poder realizar esto son necesario 8 bits en caso de que la salida del sistema sigma delta de primer orden sea de un solo bit.

El hecho de implementar de la decimación en varias etapas presenta la ventaja de que se podrían realizar los cálculos (mediante un procesador, ya que la decimación en este caso es una operación digital) en forma paralela para cada una de ellas por separado y así dar como resultado un sistema con menor tiempo de retardo.

A continuación se presenta la respuesta en frecuencia que permite visualizar Simulink del primer decimador:

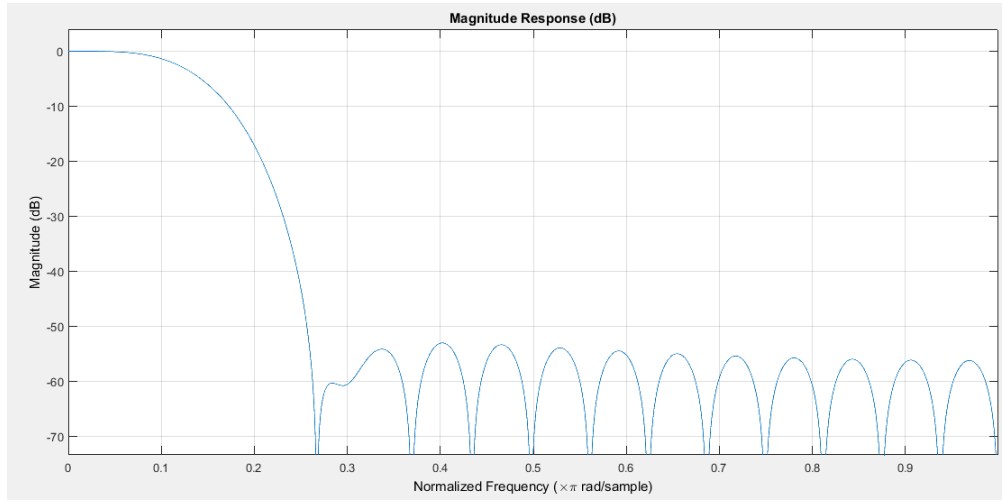


Figure 30: Respuesta en Frecuencia Decimador x 4

Se puede notar del gráfico que su forma coincide con la de un pasabajos realizado a partir de filtros Comb como ya se ha mencionado anteriormente en el análisis del marco teórico.

4.6. Diseño e Implementación

En esta parte del artículo se propone la implementación de un modulador “Sigma - Delta” de 1 bit a partir del esquemático que se expuso en la introducción. A modo de análisis del modelo dado como base de diseño se proceden a identificar los distintos bloques representativos del circuito mediante la siguiente imagen:

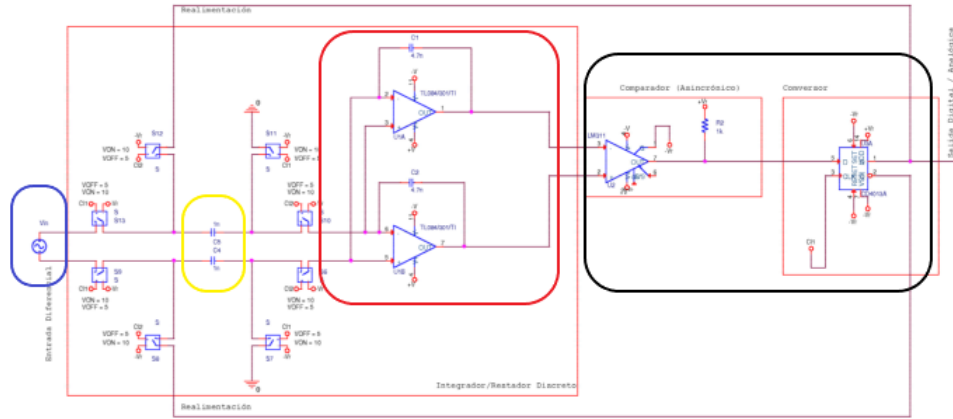


Figure 31: Identificación de Bloques del Circuito Base

En primer lugar, se logra identificar que se tiene una entrada diferencial (bloque color azul) al bloque de capacitores switcheados (bloque color amarillo). Este bloque de capacitores switcheados consta de dos capacitores que se exponen a distintas señales según se switchea una llave mediante una señal de “clock”. Uno de estos capacitores corresponde a la fase positiva de la señal mientras que el capacitor restante se corresponde con la fase negativa de la señal de entrada.

En un semiciclo de clock los capacitores se conectan a la entrada y a “tierra”, produciéndose la carga de los mismos, mientras que durante el otro semiciclo se conectan los circuitos activos con amplificadores operacionales y a una

tensión de referencia inyectada por una realimentación de la salida. Este mecanismo da lugar al bloque integrador de la resta $\sum \Delta$ (bloque color rojo), produciéndose la integración debido a los operacionales en dicha configuración y siendo la resta entre la señal de entrada y la señal realimentada.

En cuanto al bloque cuantizador (bloque color negro), este consta de un comparador que luego se conecta a un flip flop que actualiza el valor de su salida por cada flanco de clock.

En fin, se lograron corresponder las partes del circuito a los bloques consituyentes del conversor $\sum \Delta$, sin embargo faltan algunas especificaciones importantes, como por ejemplo la conversión digital a analógica de la señal de realimentación, la sincronización del clock en relación a los “switches” de las llaves, e incluso se podrían proponer mejoras al circuito en orden de asegurar un mejor funcionamiento. Esto último es la motivación de las secciones que siguen en el artículo, en las cuales se modificará levemente el diseño explicando cada paso con detalle.

4.6.1. Filtros Antialias y Recuperador

En el esquemático base no se encuentra el filtro antialias del sistema ni tampoco el filtro recuperador, los cuales son cruciales para el correcto funcionamiento del sistema. Para implementar cada uno de estos se procedió a implementar una celda Sallen Key de segundo orden. Como la frecuencia de sampleo se espera que sea relativamente alta, al menos 32 veces mayor a la frecuencia de Nyquist, y como se espera lograr una frecuencia de oversampling de $1MHz$, se decidió realizar ambos filtros con una frecuencia de corte $f_c = \frac{1000KHz}{(2).(32)} = \frac{f_{NYQUIST}}{2} = 15KHz$.

En cuanto al orden de los filtros, para el recuperador no es necesario un alto debido a que la frecuencia de sampleo es ampliamente superior a la de Nyquist, mientras que para el antialias tampoco ya que ña señal de entrada a utilizar ya es analógica y solo es de interes eliminar componentes de altas frecuencias, relativamente mucho mayores a la frecuencia de corte de $15KHz$, que además no poseen una amplitud significativa con respecto al piso de ruido.

4.6.2. Diferenciador

Luego de ingresar la señal por el filtro antialias, para generar un sistema con mayor grado de inmunidad al ruido, se decide utilizar un buffer y un operacional en configuración inversora con unitaria ($ganancia \equiv -1$) para generar una señal $+V_{in}$ y otra $-V_{in}$ y así poder plantear el circuito de manera diferencial.

4.6.3. Integrador $\sum \Delta$

Para analizar el bloque que integra la diferencia entre la entrada y la salida, se puede observar el siguiente circuito analógico tan solo compuesto por dos operacionales, capacitores y resistencias:

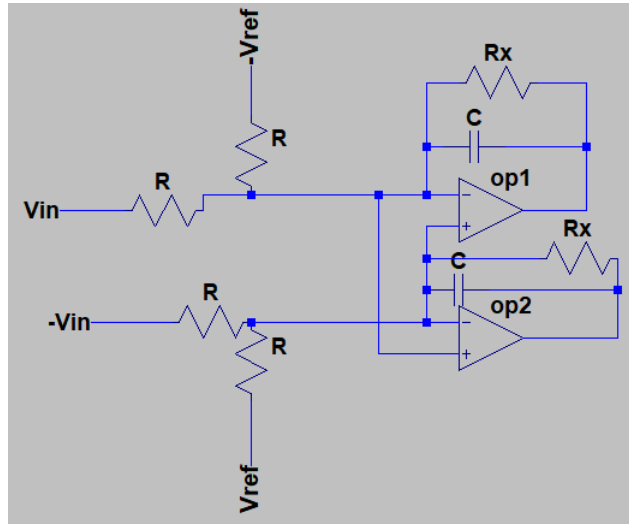


Figure 32: Circuito Integrador Diferencial

Dado este esquema, se procede a resolver el circuito planteando las siguientes ecuaciones:

Pasivando V_{REF} :

$$\begin{cases} \frac{V_{in}-V^+}{R} = \frac{V^+}{R} + \frac{V^+-V_{o1}}{Rx//\frac{1}{sC}} \\ \frac{-V^+}{R} + \frac{V_{o2}}{Rx//\frac{1}{sC}} = \frac{V^++V_{in}}{R} \end{cases} \Rightarrow V_{o1} - V_{o2} = -2\frac{Rx//\frac{1}{sC}}{R1}.V_{in}$$

Analogamente, pasivando V_{in} se obtiene:

$$V_{o1} - V_{o2} = 2\frac{Rx//\frac{1}{sC}}{R1}.V_{REF}$$

Por superposición:

$$V_{o1} - V_{o2} = 2\frac{Rx//\frac{1}{sC}}{R1} \cdot (V_{REF} - V_{in}) = \frac{2Rx}{R} \frac{(V_{REF}-V_{in})}{(1+sC.Rx)}$$

Para este integrador diferencial, la resistencia "Rx" solo es necesaria para casos en los que se trabaja con señales que posean armónicos de baja frecuencia o de continua de modo que pudieran "desactivar" el lazo de realimentación en caso de que solo se contara con el capacitor en el mismo. Si se trabaja solo con frecuencias relativamente altas de modo que sea posible evitar la incorporación de Rx, la expresión que determina la integración sería la siguiente:

$$V_{o1} - V_{o2} = 2 \cdot \frac{(V_{REF}-V_{in})}{sC.R}$$

Por otro lado, si se intercambiaran las resistencias por su equivalente en capacitores switcheados se podría obtener un esquema similar al propuesto inicialmente. Esto en la práctica conlleva una ventaja ya que al momento de realizar un circuito integrado se evita el uso de resistencias. En cuanto al análisis, permite calcular la transferencia mediante transformada Z. A continuación se propondrá el integrador con la incorporación de capacitores switcheados y mediante un nuevo análisis.

Capacitores Switcheados Para realizar un integrador con capacitores switcheados se debe tener en cuenta es posible obtener una resistencia equivalente $R = \frac{1}{f.Cs}$ mediante el siguiente circuito:

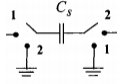


Figure 33: Circuito de capacitor switchheado - R equivalente

En la expresión de la resistencia, " f " representa la frecuencia a la cual conmutan las llaves que controlan las llaves de los capacitores.

Incorporando esto al integrador, se propone el siguiente diseño para el integrador:

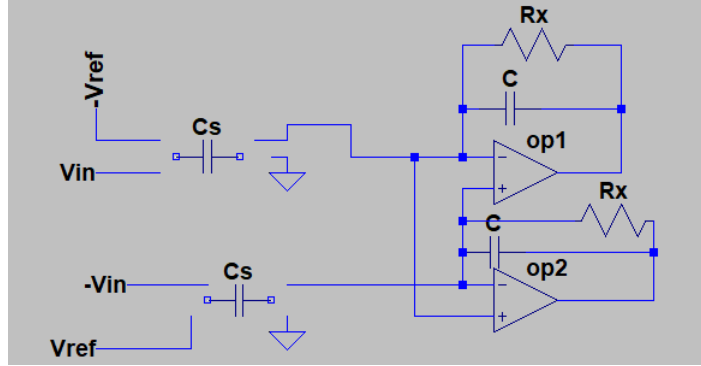


Figure 34: Integrador de la Resta- Versión con Capacitores Switchheados

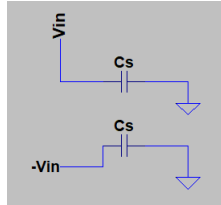


Figure 35: Semiciclo "Hold"

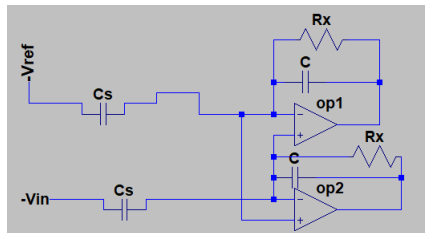


Figure 36: Semiciclo "Sample"

Se puede notar que en el semiciclo de "hold", el capacitor que conmuta mientras que la salida del integrador mantiene ("hold") el valor de la muestra anterior, mientras que en el semiciclo de muestreo ("sample") se actualiza la muestra en la salida.

Para calcular una expresión para la integración, se puede utilizar la transformación bilineal $s \leftarrow \frac{2f \cdot (z-1)}{(z+1)}$ obteniendose lo siguiente:

$$V_{o2} - V_{o1} = \frac{Cs(V_{in} - V_{REF}) \cdot (z+1)}{C \cdot (z-1)}$$

Aquí se puede ver la respuesta pasabajos, según la transformada Z de la respuesta en tiempo discreto.

En cuanto al valor del capacitor " C_s ", es deseable que no tome un valor elevado de capacitancia debido a que podría generar corrientes elevadas al momento de conmutar que podrían deteriorar las llaves. Por otro lado, debe ser de un valor de capacitancia considerablemente más elevado al de las capacidades parásitas del circuito (del orden de los $10pF$) para que sea válido el análisis realizado. Dicho esto, un valor de $330pF$ sería correcto.

En cuanto al capacitor " C ", se elige el valor de $330pF$ para que el factor de ganancia $\frac{C_s}{C}$ sea igual a la unidad.

Sobre el operacional a utilizar, es de interés que este cuente con el suficiente slew rate para satisfacer las variaciones de corrientes que se pueden dar a la salida del integrador, por ende el circuito integrado "LM833" se puede considerar una buena opción para el diseño.

Finalmente, para realizar las conmutaciones, se puede utilizar el mutiplexor "CD4053", alternando las conexiones de los capacitores según una señal de control (un clock, por ejemplo) y decidiendo el valor de V_{REF} según el valor de la salida digital del sistema. Para este último caso, el mutiplexor funciona implícitamente como el conversor digital analógico (DAC) de la realimentación.

Generación de V_{REF} Para generar la tensión de " V_{REF} " utilizada para el análisis del integrador, se procedió a utilizar dos reguladores lineales de tensión para generar $+5V$ y $-5V$ y luego se utilizaron operacionales para poder variar el valor absoluto de la tensión de referencia y así poder realizar mediciones con distintas tensiones de realimentación.

4.6.4. Cuantizador

El bloque cuantizador es el encargado de traducir la entrada al valor digital representable más cercano al real. En este caso, el cuantizador es de 1 bit, por ende solo hay dos estados posibles a los cuales cuantizar: "1" o "0". Para esto, solo hace falta un comparador que tenga como entradas la salida del integrador diferencial e ingrese el resultado digital a un flip flop de tipo " D " para poder actualizar la salida en cada flanco de una señal de control.

En el esquemático base propuesto al inicio, se sugiere la utilización del comparador "LM311" y el flip flop D "74HC74". Esto podría funcionar en la práctica de no ser por la incompatibilidad de las corrientes de salida del comparador y de entrada al flip flop, ya que el LM311 puede egresar por su pin de salida una corriente mayor a $20mA$ mientras que el flip flop D solo admitiría hasta $20mA$ (según hoja de datos). Una solución a esto es implementar el circuito con circuitos integrados que sean compatibles en el sentido que se ha mencionado, pero si solo se tuvieran estos elementos a disposición se podrían utilizar flip flops "D" 74hc74 poniendo en paralelo los pines de entrada "D" y reduciendo así la corriente de entrada de cada flip flop para lograr el correcto funcionamiento. Evidentemente este no es el caso más eficiente, sin embargo fue lo que se tuvo que realizar en la práctica.

4.6.5. Clock

La señal de clock del circuito a implementar es la señal que actualiza la salida del flip flop D (actualiza el valor de salida y el de la señal de realimentación) y a su vez controla la conmutación de las llaves de los capacitores switcheados en el integrador.

Esta señal de control se debe sincronizar de manera que en el momento en que se actualiza la salida del flip flop (flanco ascendente de clock) los capacitores que conmutan se encuentren en el semiciclo de "hold" para evitar valores erróneos debido a transitorios del semiciclo de "sample". Teniendo esto en cuenta, se puede utilizar la misma señal de clock para ambos controles.

En cuanto a la implementación circuital del clock, se utilizó el "VCO" (Voltage Controlled Voltage) incorporado en el PLL "CD4046", configurandolo de manera que sea posible oscilar en un rango de frecuencias entre $60KHz$ y $1MHz$.

4.6.6. Sobre Rango Dinámico

En orden a analizar la máxima amplitud de señal de entrada para la cual el modulador/conversor funciona correctamente se presta especial atención a los valores de tensión de alimentación de los operacionales del circuito como así también al valor de tensión " V_{REF} " que se realimenta en el sistema.

En cuanto a las tensiones de alimentación de los operacionales, estos determinan el valor de saturación de cada operacional (según el tipo de operacional utilizado) y esto a su vez limita la entrada. Por otro lado, para que la señal de realimentación produzca su efecto correspondiente, el valor de tensión de la misma debe superar en valor absoluto al valor máximo de tensión de la señal de entrada, ya que en caso contrario existirían valores de tensión de la entrada tales que el resultado de la resta entre esta entrada y la realimentación sea siempre positiva o siempre negativa según las características de la señal de entrada. Esto quiere decir que la realimentación no podría corregir a la señal de salida (almenos para los instantes en los cuales la señal de entrada supera en valor absoluto a la señal de realimentación), invirtiéndose así la realimentación (de negativa a positiva) y por ende dicha señal de salida saturaría.

Además, en relación a la tensión de la señal de realimentación, mayor sea su valor, más "rapidamente" se lograría corregir la señal de salida. Sin embargo, la tensión " V_{REF} " no debe ser lo suficientemente elevada tal que el valor de esta tensión sumado a la tensión de entrada supere la tensión de saturación de los operacionales que se encuentran en el integrador diferencial, según el diseño que se ha desarrollado hasta aquí.

Finalmente, para el caso del diseño de este artículo se consideró óptimo elegir una tensión de alimentación para los operacionales de $\pm 15V$ y una tensión $V_{REF} = \pm 5V$ lograda con los reguladores de tensión de tres terminales a partir de los $\pm 15V$ mencionados anteriormente. Esto implica que el caso más limitante sea aquel para el cual la señal de realimentación no pueda corregir la salida debido a la imposibilidad de superar las grandes amplitudes de la señal de entrada. Entonces, centrandonos en este análisis y dejando de lado, por ejemplo, posibles atenuaciones de la señal de entrada mediante el filtro antialias, se arriba a un valor de rango dinámico que se puede calcular mediante la siguiente expresión:

$$Rd = 20 \cdot \log_{10} \left(\frac{V_{inMAX}}{V_{inMIN}} \right) = 20 \cdot \log_{10} \left(\frac{5V - \frac{(2) \cdot (40)}{1000} V}{\frac{40}{1000} V} \right) \simeq 41.8dB$$

Vale aclarar que para el cálculo se consideró " V_{inMIN} " como $40mV$ que equivale al piso de ruido que suele manifestarse en un ambiente de laboratorio universitario. Entonces se consideró a la tensión máxima como la máxima tal que se pueda diferenciar de la tensión V_{REF} pero siendo a la vez menor que esta última tensión de referencia. Por esto es que la tensión máxima de entrada se considera como la tensión de referencia (o de realimentación) $V_{REF} - 80mV$ (se sustrae el doble del piso de ruido).

4.6.7. Esquemático Final

A continuación se presentan imagenes de los circuitos esquemáticos que componen el prototipo final:

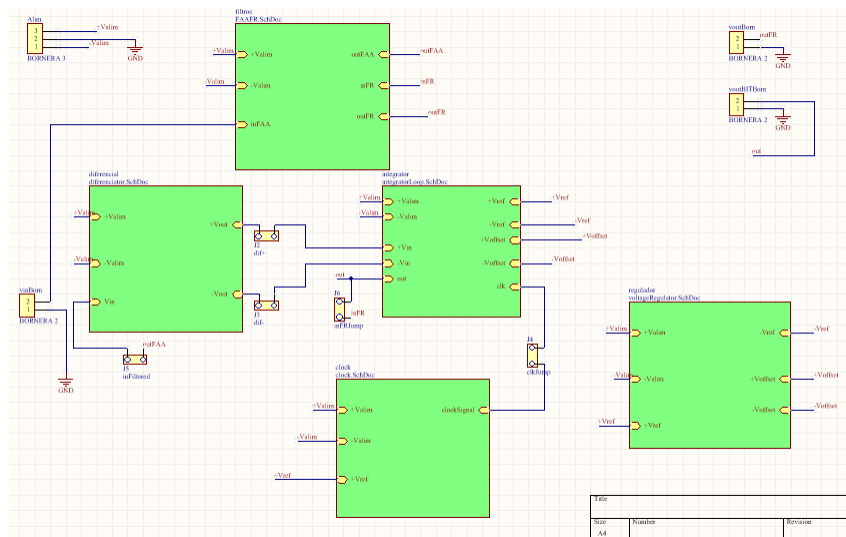


Figure 37: Esquemático General

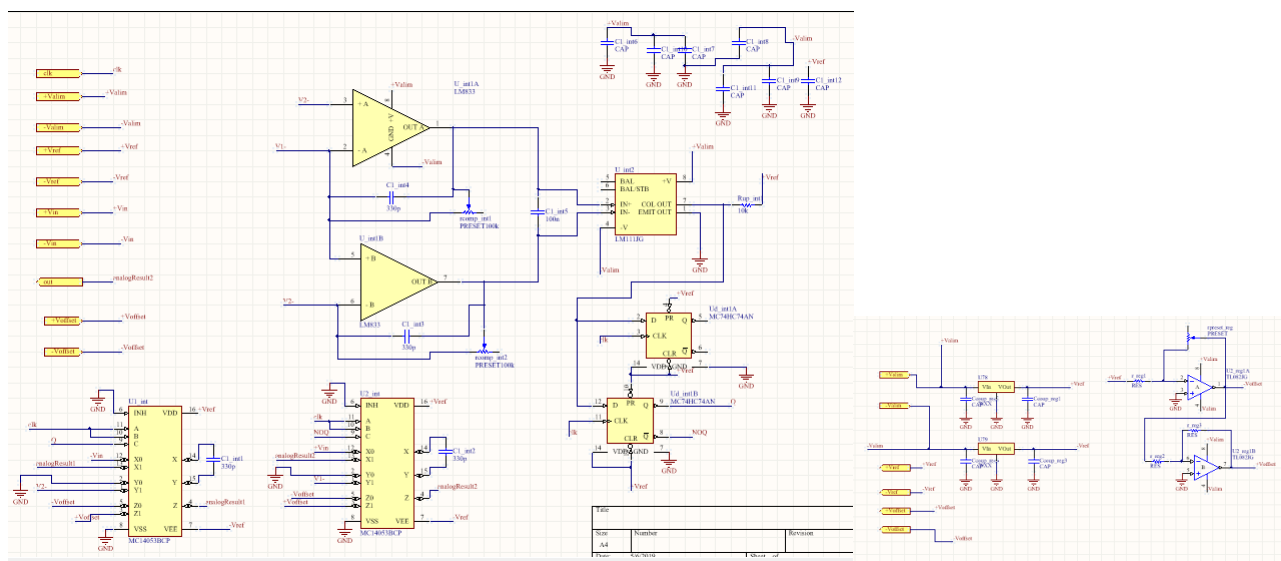


Figure 38: Esquemáticos: Integrador y Cuantizador - Generador de V_{REF}

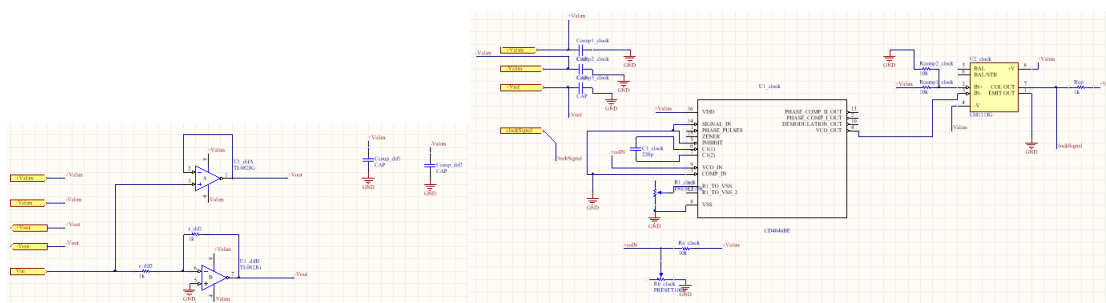


Figure 39: Esquemáticos: Diferenciador - Clock

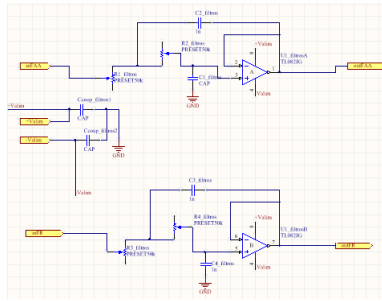


Figure 40: Esquemáticos: Filtros Antialias y Recuperador

4.7. Mediciones

Las mediciones que se consideraron pertinentes fueron, en primer lugar la señal de clock, luego la recuperación de la señal de entrada, la señal digital de salida y la señal diferencial de salida del integrador. Luego, se procedió a realizar mediciones del espectro de la señal de salida digital.

En cuanto a las señales de entradas utilizadas, se propusieron señales senoidales, $\frac{1}{2}$ Gauss y Sinc. Estas se exigieron a las máximas condiciones que admite el sistema, en cuanto a amplitud y frecuencia.

4.7.1. Mediciones de Señal Senoidal

Se procedió a utilizar como entrada una señal senoidal de $5V_{pp}$ con valor medio cero a una frecuencia de $5KHz$. La frecuencia de clock utilizada fue de $900KHz$, a excepción de una medición que expone el alias introducido al recuperar la señal en consecuencia de reducir la frecuencia de muestreo a $300KHz$. A continuación se exponen los resultados obtenidos:

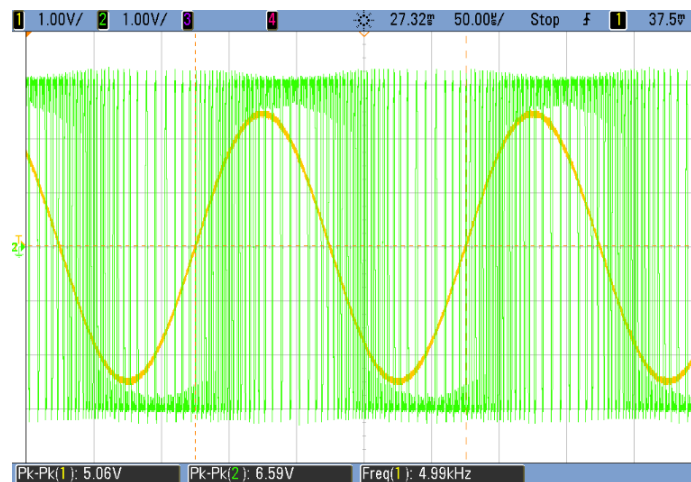


Figure 41: Señal de Entrada Vs Digitalizada

En la siguiente figura, mediante señales recuperadas con distintas frecuencias de muestreo ($900KHz$ izquierda - $300KHz$ derecha) se evidencia la importancia del oversampling en este sentido:

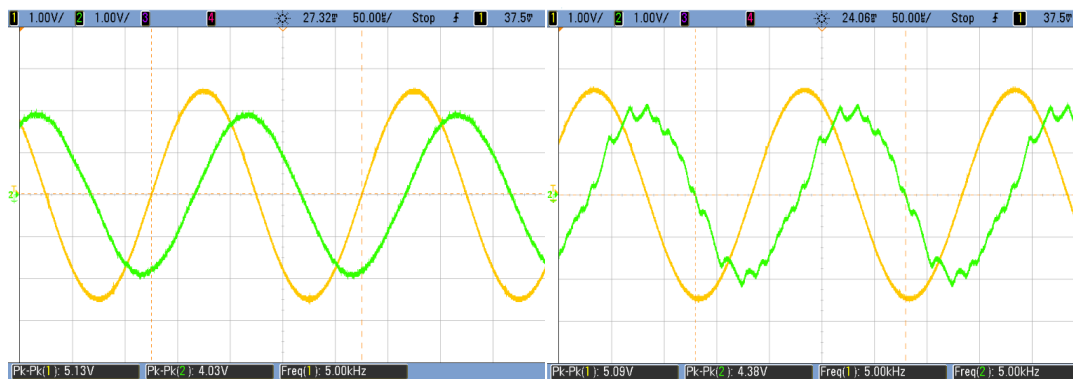


Figure 42: Señal de Entrada Vs Recuperada

Además, para mostrar la señal en la instancia anterior a la cuantización, es decir, justo después de la integración, se procedió a medir la salida del integrador diferencial (señal verde y amarilla) y se muestra también la resta (representada en la señal de color rosa) realizada mediante la función “Math” del osciloscopio.

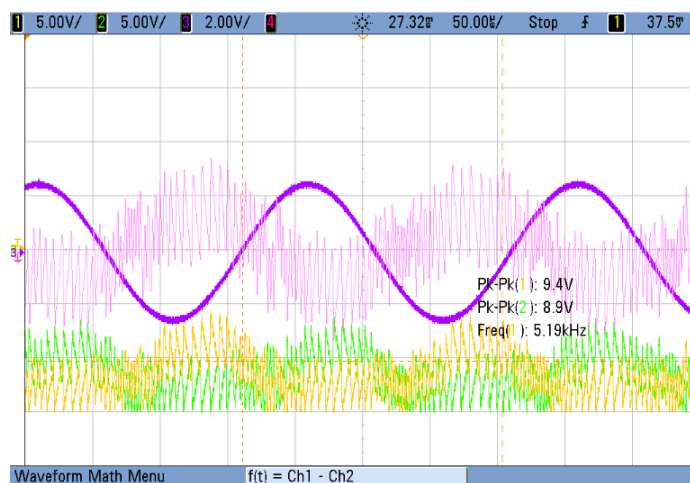


Figure 43: Señal de Entrada Vs Salida Diferencial del Integrador

Manteniendo una frecuencia de muestras de 900KHz , se procedió a aplicar el modo “average” al osciloscopio y medir la señal digitalizada, pretendiendo que este modo del osciloscopio calcule una señal de la forma de la señal original entrante al sistema. El average aplicado fue de 8 (izquierda) y de 4096(derecha):

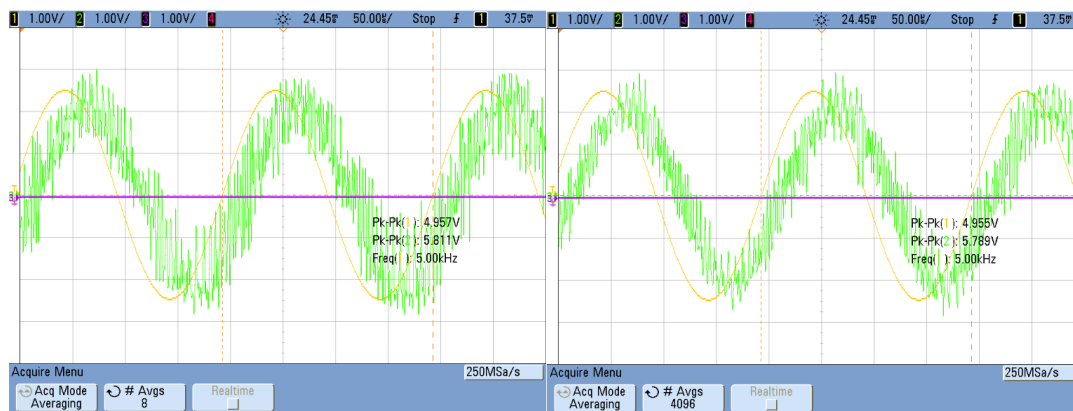


Figure 44: Señal de entrada Vs Salida Digitalizada Modo “Average”

Por último, se midió en el analizador de espectro, el espectro en frecuencia de la señal de salida digital, con las mismas condiciones en las que se ha medido la misma anteriormente con osciloscopio. A continuación se expone el resultado:

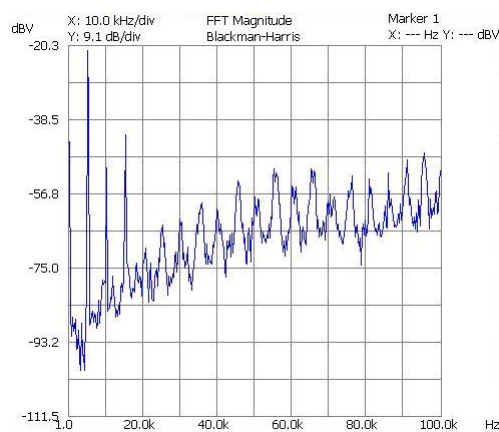


Figure 45: Espectro de Señal Digital Modulada

4.7.2. Mediciones de Señal $\frac{1}{2}$ Gauss

Se procedió a utilizar como entrada una señal $\frac{1}{2}$ Gauss de $5V_{pp}$ a $3.5KHz$, con una frecuencia de muestreo de $900KHz$ como en el caso de la señal senoidal. Esta señal a medir se repite según la frecuencia de $3.5KHz$ mencionada sin embargo posee armónicos de frecuencias más elevadas (atribuidos a su salto en cada comienzo de la media campana) los cuales se ven atenuados al pasar por el filtro antialias. Con la imagen de la siguiente medición se pretende mostrar como son atenuados estos armónicos de alta frecuencia, lo cual provoca que sea razonable que la señal recuperada tampoco posea cambios bruscos en el tiempo (como sí los tiene la señal de entrada) a pesar de un buen funcionamiento del mecanismo $\sum \Delta$.



Figure 46: Señal de entrada Vs Salida Filtro AntiAlias

Aclarado esto, se procede a presentar las mismas mediciones que se han realizado para el caso de la señal de entrada senoidal.

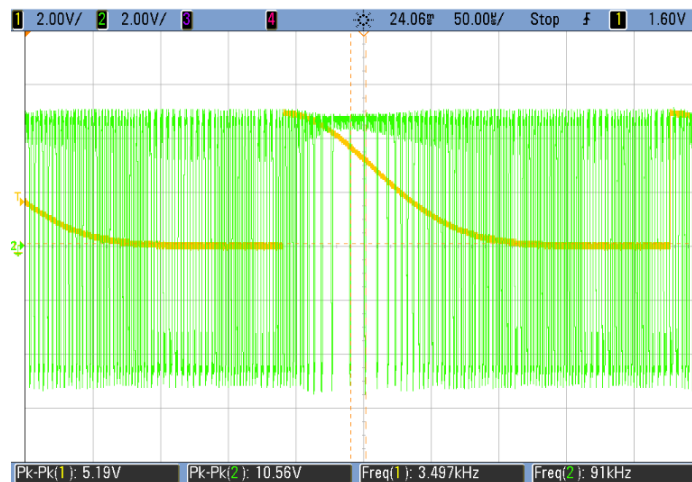


Figure 47: Señal de entrada Vs Digitalizada

A continuación se presenta la recuperación. En cuanto a la señal con aliasing, esta fue recuperada con una frecuencia de muestreo de 400KHz .



Figure 48: Señal de entrada Vs Recuperada

Nuevamente se presenta la salida del integrador diferencial, pero esta vez con la señal de $\frac{1}{2}$ Gauss:

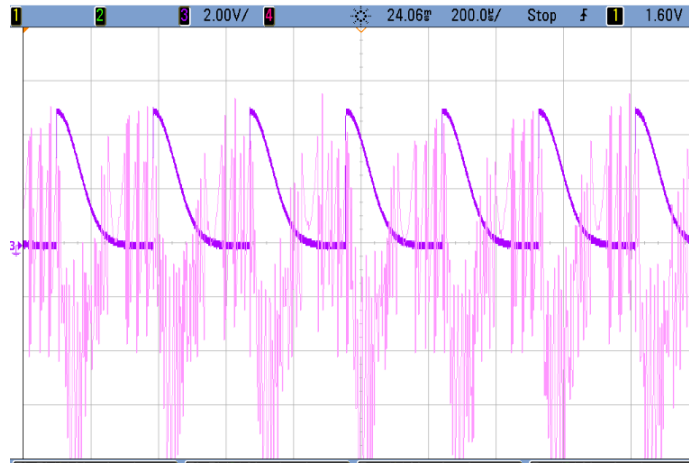


Figure 49: Señal de entrada Vs Salida Diferencial del Integrador

También se realizó el promedio con el osciloscopio de la siguiente manera:

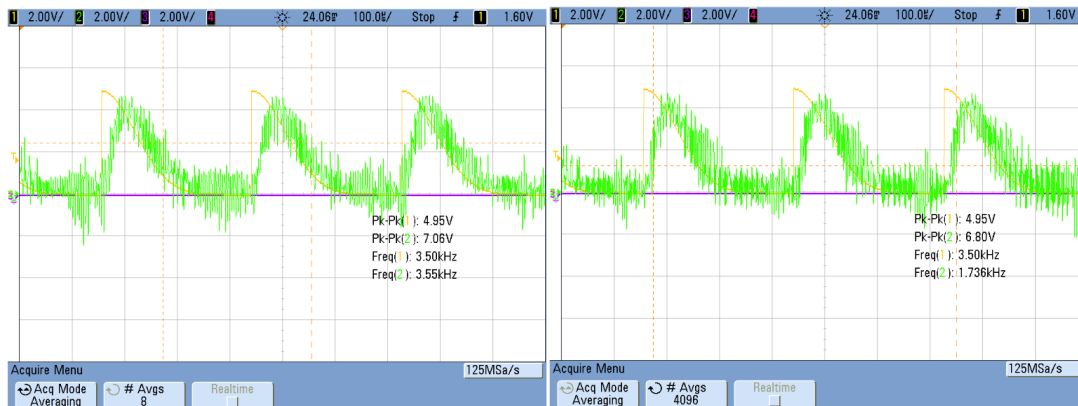


Figure 50: Señal de entrada Vs Digitalizada Modo "Average" (8 y 4096 Promedios)

Por último, a continuación se expone la medición del espectro de la señal digitalizada de salida, cuya medición con osciloscopio se ha expuesto anteriormente:

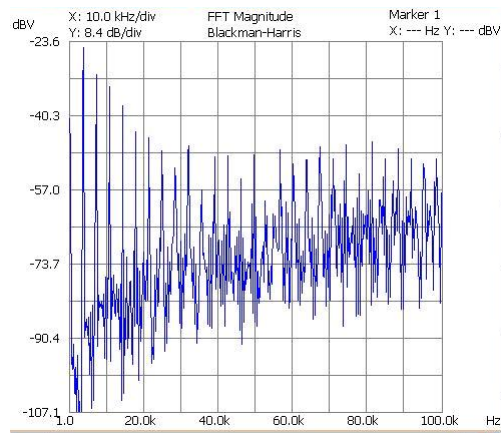


Figure 51: Espectro de Señal Digital Modulada

4.7.3. Mediciones de Señal Sinc

Se procedió a utilizar como entrada una señal Sinc de $3V_{pp}$ a una frecuencia de repetición de 500Hz. Al igual que en los casos anteriores se utilizó la señal de clock a 900KHz. A continuación se presentan todas las mediciones realizadas sobre esta señal:

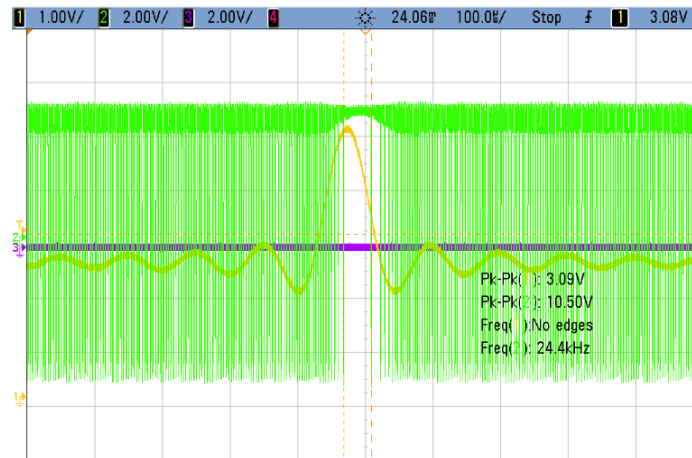


Figure 52: Señal de entrada Vs Digitalizada

A continuación se presenta la recuperación, para el caso sin alias relevante y para el caso que presenta aliasing. Para obtener este último se redujo la frecuencia de clock a 400KHz.

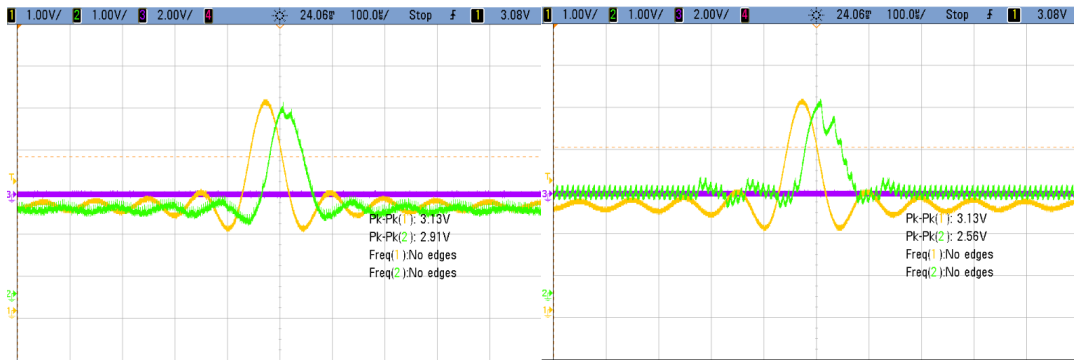


Figure 53: Señal de entrada Vs Recuperada

A continuación se representa la diferencia de las salidas del integrador diferencial, calculada mediante la función “Math” del osciloscopio y se contrasta con la señal original:

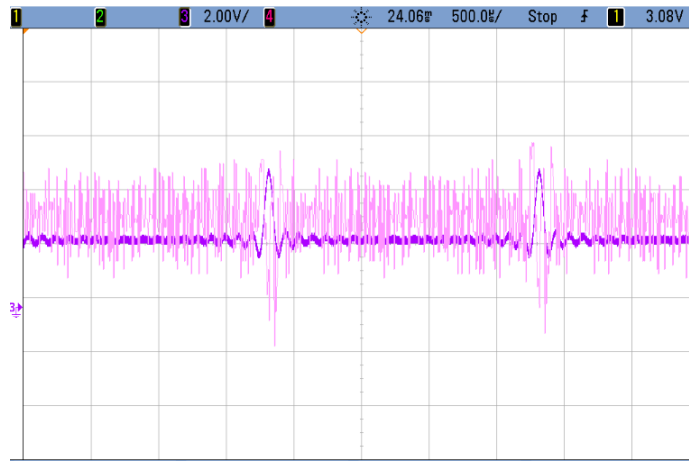


Figure 54: Señal de entrada Vs Salida Diferencial del Integrador

Como ya se ha realizado con la señal senoidal y la $\frac{1}{2}Gauss$, se expone el efecto de aplicar el modo “Average” del osciloscopio al medir al señal digital de salida del sistema. Se utilizó un promedio de 8 muestras, y también se midió utilizando un número más elevado, de 4096.



Figure 55: Señal de entrada Vs Digitalizada Modo “Average”

Finalmente, se presenta el resultado de la medición con el analizador de espectro del espectro en frecuencia de la

señal digitalizada, cuya respuesta en tiempo se ha medido anteriormente con osciloscopio:

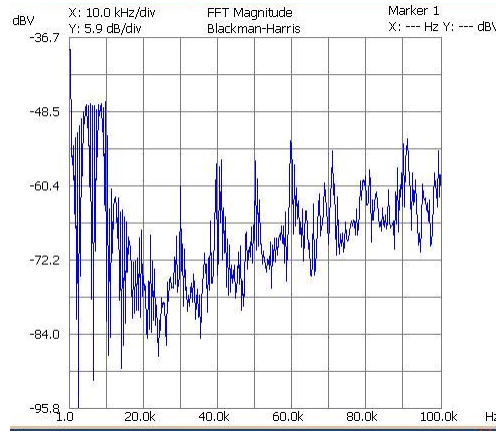


Figure 56: Espectro de Señal Digital Modulada

4.7.4. Sobre Tensión de Realimentación y Rango Dinámico

A continuación se pretende exponer la limitación de rango dinámico que puede producir la tensión que se realimenta en el restador e integrador del sistema. Se realizó una medición sobre la recuperación de la señal $\frac{1}{2}$ Gauss de 500Hz y $2V_{pp}$ con una frecuencia de sampleo de $900KHz$, mientras que la tensión de realimentación se impuso también de $2V_{pp}$ (menor con respecto a las mediciones anteriores), lo cual dió lugar a la saturación de la salida como se muestra a continuación:

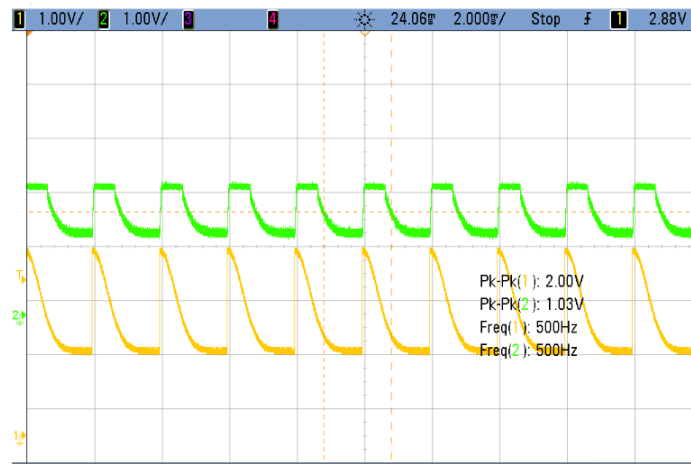


Figure 57: Señal $\frac{1}{2}$ Gauss - Recuperación Saturada

4.8. Análisis de Resultados

En esta sección del artículo, acercándose a la parte final del mismo, se pretenderá analizar los resultados obtenidos de las mediciones, comparando los mismos con los resultados que predicen los análisis teóricos y las simulaciones idealizadas que se han realizado. A partir de esto se pretende abordar una conclusión sobre el correcto funcionamiento del circuito que se ha diseñado, así como también dar con otras nuevas.

Las mediciones se presentaron según la señal de entrada utilizada, sin embargo a continuación se analizarán las mismas según el tipo de medición realizado, para las tres señales utilizadas.

4.8.1. Resultados de Mediciones de Salida Digital

En todas las mediciones de la señal digital de salida que se han realizado se obtuvo una señal cuadrada de mayor frecuencia que se corresponde con los instantes en los cuales la señal de entrada variaba más rápidamente (su derivada cercana o igual a la derivada máxima), mientras que la frecuencia se vio disminuida para aquellos instantes en los cuales la variación de la señal se realizaba de forma lenta. Además, la señal digital demostró mantenerse mayor cantidad de tiempo en “alto” según si el valor de la señal era mayor y positivo, o en “bajo” según si el valor de la señal era menor y negativo (esto solo ocurrió en el caso del semiciclo negativo de la señal senoidal). El hecho de observar esto es indicio del correcto funcionamiento del circuito debido a que el resultado observado lo predice a su vez el análisis teórico.

Por otro lado, se puede notar un desfase de la señal digital con respecto de la señal original, sabiendo las correspondencia que existe entre estas dos (la cual se ha comentado en el párrafo anterior). Esto se puede explicar debido a los retardos que existen en el lazo del modulador/conversor, pero principalmente se atribuye al desfase que conlleva consigo el integrador del lazo $\sum \Delta$.

Por último, con respecto a las amplitudes de las señales cuadradas obtenidas, estas dependen del valor de la tensión “ V_{REF} ” que se ha utilizado para cada medición.

4.8.2. Resultados de las Mediciones de Recuperación

Antes de analizar los resultados de las recuperaciones medidas, es importante aclarar que dos de las señales utilizadas como entradas, las cuales son la señal de $\frac{1}{2}Gauss$ y la señal de Sinc, poseen armónicos más allá de los $15KHz$ debido a sus cambios abruptos en el tiempo, principalmente para el caso de la señal de media gaussiana. Esto implica que la señal entra al lazo $\sum \Delta$ con una forma distinta a la señal original y esto explica que la señal recuperada no sea exactamente la señal de salida mientras que el funcionamiento del circuito es correcto. El hecho del cambio de forma de la señal debido al filtro antialias se puede observar en la primer medición realizada en la sección de las mediciones de la señal de media gaussiana.

Dicho esto, las señales se lograron recuperar exitosamente, según lo muestran las imágenes de las mediciones, con un filtro recuperador de segundo orden y una frecuencia de clock de $900KHz$. Sin embargo, para las tres señales se puede observar que al disminuir la frecuencia del clock se introduce alias a la señal recuperada, lo cual es comprensible debido a que los espectros se acercan y comienzan a superponerse armónicos en las bandas de frecuencia correspondiente a la repetición de la banda base de la señal de entrada (o a la señal de salida del filtro antialias).

4.8.3. Resultados de Mediciones de Integrador Diferencial

Al medir las señales de salida del integrador diferencial, se puede notar como la diferencia de la mismas es una señal que sigue la forma de la señal original, sin embargo se observan formas de onda de mayor frecuencia que se corresponden con la carga y descarga de capacitores a una frecuencia mayor (oversampling) a la de la señal de entrada. En fin, esto es lo que da lugar a la modulación y conversión.

4.8.4. Resultados de Mediciones en Modo Average

Al activar el modo “average” del osciloscopio, el mismo promedia una determinada cantidad de muestras (la cual puede ser configurada manualmente) para representar un punto en la pantalla. Al realizar esto e intentar medir la señal digital de salida del sistema (la cual es una señal modulada), se obtiene una señal que tiende a ser la señal original. Esto es comprensible debido a que el hecho de promediar con el modo average es similar al hecho de aplicar

un pasabajos al decimar (digital) o al recuperar (analógico). En las mediciones se muestran las diferencias entre el modo average con un número de promedios igual a 8 y otra medición con 4096 promedios. A pesar de que con 4096 promedios se podría llegar a observar que la forma de onda se aproxima mejor a la forma de onda de la señal original, también se puede observar que las diferencias son mínimas y podría llegar a no hacer falta aplicar un gran número de promedios para obtener el resultado que se ha expuesto.

4.8.5. Resultados de Mediciones con Analizador de Espectro

Tal como era de esperar según lo predicho por las simulaciones y el análisis teórico, las mediciones con analizador de espectro revelan una baja potencia de ruido para las frecuencias bajas, mientras que se puede observar el aumento de este ruido para frecuencias altas. El analizador utilizado para las mediciones permitió medir hasta los 100KHz de frecuencia, sin embargo se puede ver en los gráficos de mediciones presentados que para esta frecuencia la potencia del ruido blanco (cuya forma de espectro característico se logra visualizar en la medición) es comparable con la potencia de los armónicos alejados de los principales de las señales medidas (para los tres casos). Además, se logró identificar la forma de pasa altos aplicada sobre este ruido blanco, cuya potencia máxima se debería visualizar a 450KHz ($\frac{f_s}{2} = \frac{900}{2}\text{KHz}$) si el instrumento de medición utilizado lo permitiera, mientras que la potencia de los armónicos principales de la señal se destacan para frecuencias menores a 15KHz , que corresponde al ancho de banda de la señal según el filtro antialias.

Enfocándose en una de las tres señales medidas, por ejemplo en la señal senoidal, se puede observar que si se aplicará la decimación por la cual se redujera la frecuencia de muestreo en un factor de 16 ($f_s = \frac{900}{20}\text{KHz} = 45\text{KHz}$, aplicándose el pasabajos digital a $\frac{f_s}{2} = 22.5\text{KHz}$ se tendría una señal senoidal digital para la cual, según se puede ver con el analizador de espectro, el efecto de ruido de cuantización es relativamente bajo comparado con el ruido que se introduciría mediante una conversión directa, sin modulación $\sum \Delta$.

4.9. Conclusión

A lo largo del artículo se han desarrollado análisis teóricos y simulaciones idealizadas a partir de las cuales se diseñó e implementó un modulador/conversor “Sigma Delta” ($\sum \Delta$) de 1 bit, pudiendo obtener resultados que concuerdan con lo predicho por los efectos de Noise Shaping y Oversampling aplicados en el sistema de este conversor. En estos dos últimos factores se basa la eficiencia y la ventaja de este conversor con respecto a otros, y se puede afirmar que en este artículo se han podido aplicar estos dos de manera satisfactoria.

La realización del modulador/conversor $\sum \Delta$ presentó un desafío interesante ya que fue necesario un análisis riguroso de señal en tiempo continuo para luego poder trasladarse al tiempo discreto y finalmente poder dar con la señal digital de interés, pero además requirió de especial atención y creatividad a la hora de implementar circuitalmente los modelos matemáticos realizados para modelar la modulación y conversión en cuestión.