

Analisis de Señales y Sistemas Digitales 2019

Trabajo Práctico N°3

Procesamiento mixto de señales

Consideraciones generales:

- Se utilizará la letra N para denotar al número del grupo.
- Hacer buen uso del ciclo de diseño y análisis mediante las herramientas a disposición: MATLAB/ Mathematica/ Maple, PSpice, Altium, LyX/Word.

Pautas para la evaluación del informe (en orden de importancia):

- Correcto funcionamiento de hardware y software.
- Contenido y capacidad de síntesis.
 - Se penalizarán contenidos irrelevantes.
 - Se valorará la presentación clara, concisa, específica y sin redundancias.
 - Se esperan conclusiones relevantes dentro del desarrollo de cada tema y del trabajo práctico en general.
- Adecuado manejo, presentación y consistencia de magnitudes numéricas a lo largo del informe.
- Organización grupal del trabajo.
 - Se espera el mayor grado de cohesión y homogeneidad en la resolución de los distintos enunciados. Se deben respetar un estándar y objetivos comunes.
- Originalidad e Inventiva
- Presentación, redacción y ortografía.
- Aportes no obligatorios

Fecha de entrega:

- Informe versión impresa y digital: Viernes 14 de Junio.
- Presentación oral: Miércoles 19 de Junio.

1 Introducción

El objetivo de esta práctica es la implementación y evaluación de diferentes conversores A/D y D/A. En la figura 1 se presenta el diagrama en bloques de la placa a implementar.

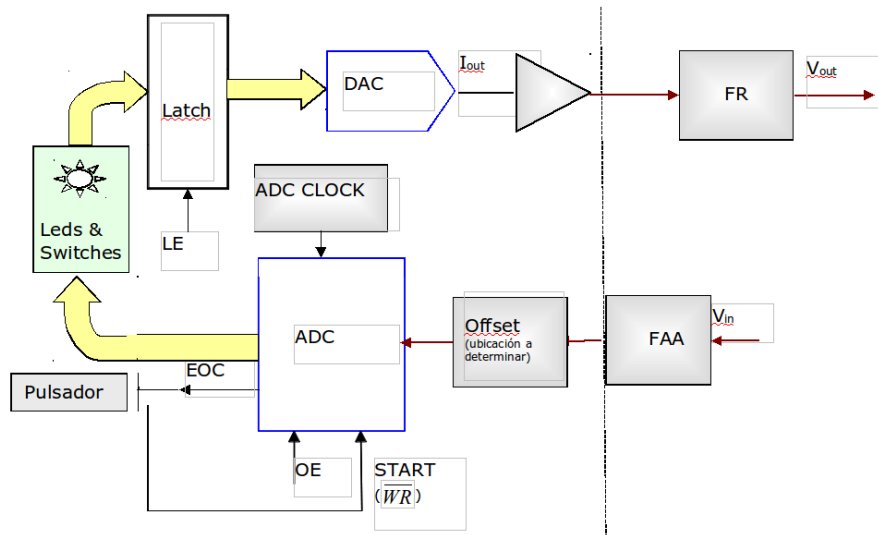


Figure 1: Diagrama en bloques de la “Placa Base ADA”.

Los conversores a evaluar son ADC809 y DAC0800 para lo cual se deberá construir el circuito de la figura 6 al que denominaremos de ahora en más **“Placa Base ADA”**.

Los conversores a implementar son:

- SAR (Conversor de aproximaciones sucesivas)
- Modulador Delta
- Conversor Sigma Delta (este conversor debe hacerse en una placa independiente)

NOTA IMPORTANTE: Para poder implementar el conversor SAR y el modulador delta, se deberán realizar cambios a la “**Placa base ADA**”. Por lo tanto, se recomienda leer atentamente los requerimientos de la SAR y del modulador delta de manera de adicionar todo lo necesario a la placa.

1.1 Preparación

- Luego de estudiar detenidamente la hoja de datos del A/D, elegir apropiadamente el rango de frecuencias de clock (diseñando sus componentes) de modo de operar en un rango de frecuencias de muestreo entre 6 y 44.5 kHz.
- Diseñar el FAA y el FR empleando los integrados MAX294 o similar.
 - a. Hallar $H(s)$ equivalente y graficar la respuesta en frecuencia. Determinar que transformación garantiza estabilidad y deformaciones que conserven la plantilla. Simular con programa matemático y comparar ambas respuestas. Incluir gráficos de polos y ceros.
 - b. Diseñar e incluir en placa un circuito que prevenga de posibles daños al integrado en el encendido y apagado de la fuente.
 - c. Garantizar la compatibilidad entre los distintos bloques del sistema.
 - d. Medir la respuesta en frecuencia de los filtros.

1.2 Verificación del funcionamiento. Parte A

Una vez armada la placa, se comenzará el estudio de los conversores. Se debe ajustar la continua de entrada y la simetría de la salida. Luego, para una $f_{CLK} = 44.1 \text{ kHz}$ y la amplitud máxima admisible por el sistema en ese caso, ingresar al A/D con una señal rampa de $f_m = 400 \cdot N$.

Midiendo a la salida se pide:

- a. Determinar la frecuencia de muestreo en forma teórica y experimental.
- b. Plantear métodos empíricos para medir el error de cuantización empleando la rampa de frecuencia f_m , u otro que crean conveniente. Elegir el que resulte más significativo respecto al valor teórico esperado. Determinar la máxima SNR de la placa diseñada para señales de audio y especificar cuál será el ENOB del sistema. Indicar claramente el método de medición empleado.
- c. Medir a la salida la forma de onda a medida que se van eliminando los bits activos. Extraer conclusiones e incluir las mediciones en el informe.

1.3 Verificación del funcionamiento. Parte B

Empleando todos los bits y $f_{CLK} = 15 \text{ kHz}$, reducir paulatinamente la amplitud de una señal de entrada sinusoidal de frecuencia f_m y ajustar la continua hasta llegar a un rango de valores entre 2 ... 2.05 V. Evaluar las consecuencias en el sistema para este caso. Observar el espectro obtenido durante la reducción analizando la distribución de potencia del ruido de cuantización, sacar conclusiones e incluir las mediciones en el informe.

1.4 Verificación del funcionamiento. Parte C

Empleando tensiones continuas a la entrada, y por medio de mediciones paso a paso, completar la siguiente tabla con 12 valores que cubran toda la escala:

Vi [mV]	Vd [binario]	Vo [mV]
0		
...		
4980		

Table 1: Ejemplo de la tabla a completar

- a. Graficar las curvas de entrada/salida de cada conversor para los valores hallados en la tabla. ¿Qué errores se pueden inferir de lo obtenido?
- b. Hallar la forma de onda del error total de los conversores analizando la señal diferencia $V_0 - V_i$ (ponderada) en el osciloscopio. (Usar señal sinusoidal de entrada de frecuencia y amplitud adecuadas y el seteo adecuado del instrumento).
- c. Comparar los resultados con las hojas de datos. Conclusiones.

1.5 Verificación del funcionamiento. Parte D

Se empleará el sistema completo, incluyendo filtros FAA y FR. Para $V_{inPP} = V_{MAX}$ y la máxima frecuencia de entrada tal que el sistema (teóricamente) funcione según ha sido diseñado, completar la siguiente tabla con gráficos obtenidos mediante analizador de espectros.

Señal de entrada	Frecuencia y amplitud de V_{in}	Espectros (analizador y <i>MATLAB</i>)					Observaciones
		Analógico (Antes del FAA)	Analógico (Antes del A/D)	Digital (Después del A/D)	Analógico (Después del D/A)	Analógico (Después del FR)	
Senoidal							
Rampa							
Sínc							
Música							

Table 2:

Especificar en las observaciones los filtros elegidos (TP1 o SC), las limitaciones en frecuencia y amplitud de V_{in} , los errores propios del sistema y los introducidos por el método de medición usado. Repetir para dos frecuencias de muestreo: $f_s = 8KHz$ y $f_s = 44.1KHz$.

Para la última señal evaluar auditivamente los resultados y sacar conclusiones.

2 SAR

2.1 Descripción

En la figura 2 puede verse un diagrama en bloques básico para implementar un conversor SAR. Con la finalidad de minimizar los componentes utilizados se aprovecharán aquellos componentes ya existentes en la “Placa Base ADA”. La lógica de la SAR se implementará sobre la placa *Pampero* que contiene la CPLD *MAX7128* utilizando el editor esquemático de *Quartus II*. El resto deberá estar en la “Placa Base ADA”.

Se admite el uso de lenguaje descriptor de hardware (VHDL) y de otras placas que puedan reemplazar a la CPLD, como una *FPGA*. La adquisición y utilización estará a cargo de cada grupo y la cátedra no se responsabiliza ni contempla el tiempo invertido en el proceso de aprendizaje.

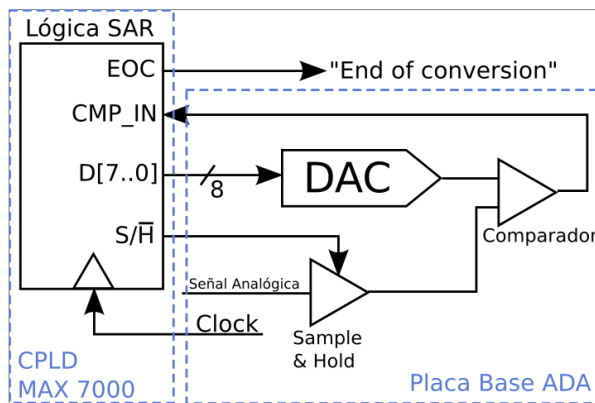


Figure 2: Conversor SAR

En la “Placa Base ADA” se deberán agregar las siguientes prestaciones dado que no están en el circuito original:

- Un Sample & Hold (con entrada de control externa).
- Un conector al bus de entrada del DAC. Tenga en cuenta que este bus está conectado a la salida del *latch*, por lo que deberá incluir también un *jumper* o *switch* en el *Output Enable (OE)* del *latch*, que permita conectar este pin a un uno o un cero lógico.
- Un comparador. Una de sus entradas debe ser la salida del S&H y la otra la salida del DAC.
- A partir del clock existente (ver label “START” en el esquemático del circuito) se deberá añadir una salida que alimente el clock de la CPLD.

La alimentación de la placa CPLD deberá provenir de la “Placa Base ADA” (poner los conectores correspondientes).

Advertencia 1

La CPLD está diseñada para operar a frecuencias de 100 MHz, con transiciones rápidas. Si las señales de entrada (el clock y la salida del comparador) tienen tiempos de rise y fall lentos, esto significa que las compuertas de entrada de la CPLD estarán en la zona de niveles lógicos prohibidos durante demasiado tiempo, lo que puede dar lugar a oscilaciones de alta frecuencia. Se recomienda pasar las señales de entrada por un buffer Schmitt trigger (por ejemplo el 74HC14), en especial la salida del comparador, ya que suele ser un open collector.

Advertencia 2

Tenga en cuenta que los niveles LÓGICOS (0-5V) son diferentes de los niveles ANALÓGICOS (típicamente -15 a 15V). Verifique las líneas digitales antes de conectar la CPLD. Verifique que las líneas de salida de la

CPLD no estén conectadas a la salida de ningún otro dispositivo. **Quemar una CPLD implica desaprobado el trabajo práctico.**

Se pide responder las siguientes cuestiones:

- a. ¿Cuántos ciclos de reloj necesita un SAR, como mínimo, para completar una conversión? ¿Cuál es la relación f_{CLK}/f_s ?
- b. ¿El comparador debe tener histéresis? ¿Por qué? ¿Cómo se relaciona la precisión del conversor con el ancho de la ventana de histéresis?
- c. Implemente un registro de aproximaciones sucesivas (SAR) junto con la lógica auxiliar (resets, clock, control del Sample & Hold). Utilice la CPLD MAX7000. El circuito lógico deberá contar con las entradas y salidas descritas anteriormente. Utilice la menor cantidad de ciclos por conversión, de acuerdo a lo determinado en el inciso 1.
- d. Caracterice el conversor. ¿Cuál es la frecuencia máxima de operación? ¿Qué error presenta? Obtenga estos parámetros a partir de las características de los componentes y compare con mediciones.
- e. ¿Qué factores limitan la precisión y/o la velocidad de su conversor?

3 Modulador DELTA

Este tipo de dispositivo es especial. En el mismo se representa a una señal analógica con una resolución de un bit.

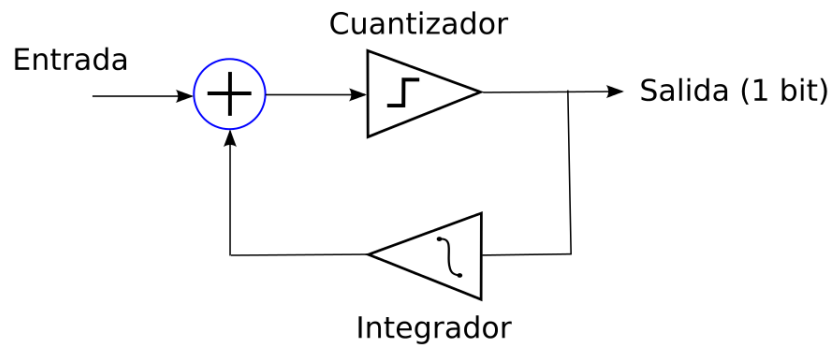


Figure 3: Esquemá básico de modulador Δ

Para implementarlo en forma digital, el integrador se reemplaza por un contador de 8 bits up/down mientras que el cuantizador es un comparador analógico.

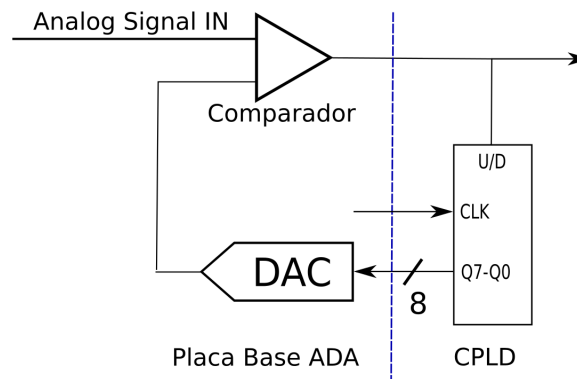


Figure 4: Implementación del integrador y del cuantizador.

Se pide responder las siguientes cuestiones:

- ¿Cómo se puede recuperar la señal original? (demodulador)
- ¿Es necesario utilizar un S/H? ¿Por qué?
- ¿Cuántos ciclos de clock son demandados para realizar una conversión?
- ¿Cuál es el parámetro limitante de estos tipos de conversores? Mídalo y muestre los resultados.

4 Conversores $\Sigma\Delta$

Se debe implementar un conversor $\Sigma\Delta$ diferencial según el esquemático propuesto en la figura 5.

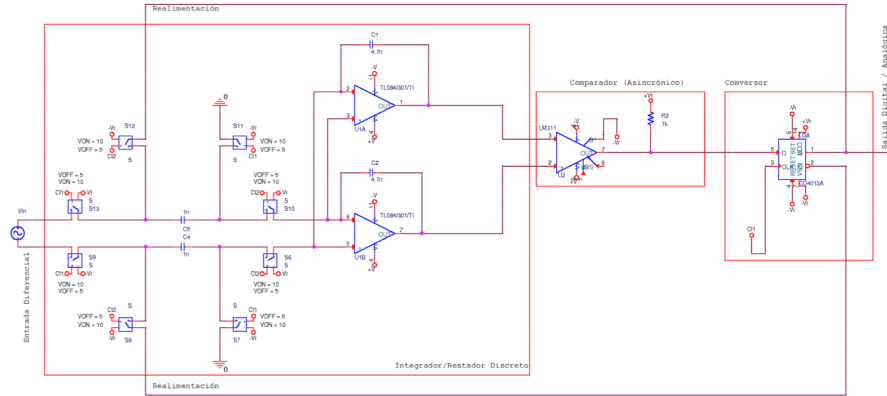


Figure 5: Esquemático propuesto de conversor $\Sigma\Delta$ diferencial.

4.1 Simulación

Desarrolle una simulación de un modulador Sigma-Delta de primer orden. No simule los elementos circuitales, es decir, no realice una simulación de SPICE, sino una idealizada. La simulación deberá incluir el sistema de decimación que permite pasar de una señal digital de un bit a alta velocidad, a una de mayor cantidad de bits a menor tasa de muestreo. De ser necesario, investigue en la literatura.

- Obtenga la respuesta al impulso de su sistema.
- Obtenga el espectro de ruido (antes y después de la decimación) y superponga con la “noise transfer function”.
- Obtenga el espectro de salida, antes y después de la decimación, para una entrada senoidal. ¿Que observa? ¿Como puede explicarlo?.
- Describa el diseño y el funcionamiento del sistema de decimación. Grafique la respuesta en frecuencia.
- Incremente la cantidad de bits en el cuantizador. ¿Como se modifica el espectro del ruido y el de la señal?

4.2 Diseño. Parte A

Diseñar e implementar un conversor de tipo sigma delta de 1º orden donde el clock varía entre 60 kHz y 1 MHz y luego atender las siguientes cuestiones:

- Analizar el circuito propuesto, explicar el funcionamiento de todos sus componentes y justificar la elección de sus valores.**
- Medir y graficar la señal de clock del sistema, poniendo en evidencia su duty cycle y, en caso que sea relevante, el desfase entre φ_1 y φ_2 .
- Mediante un modelo simplificado, hallar la $H_X(z)$ y la $H_{NS}(z)$ y graficar la respuesta en frecuencia de cada una hasta la frecuencia f_s .
- Diseñar un filtro recuperador para volver a obtener la señal original. Evaluar las nuevas especificaciones del sistema (como conversor). Usar las siguientes señales de prueba:

Función V_b	F_{min}	Grupo
1/2 Gauss	>2.5 kHz	Todos
Sinc	>3.3 kHz	1,2
Trapezio	>2 kHz	3,4

Table 3: Señales de prueba.

4.3 Diseño. Parte B

Empleando una señal de entrada sinusoidal de máxima frecuencia y amplitud en primera instancia, y luego V_b , se pide:

- Simular y medir atenuación y desfase respecto a la entrada, y graficar la señal en los siguientes puntos:
- Salida diferencial del integrador - Salida digital - Salida recuperada
- Usando el analizador de espectros, graficar y medir el espectro de la señal “digital” con los seteos que convengan al caso. Describir y justificar lo observado.
- Observar la salida digital con el osciloscopio en modo average, y justificar la salida obtenida.

A continuación se muestra la placa base ADA. Recordar que debe ser modificada para cumplir todas las condiciones solicitadas en el trabajo práctico.



10