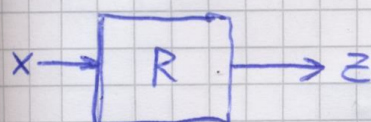
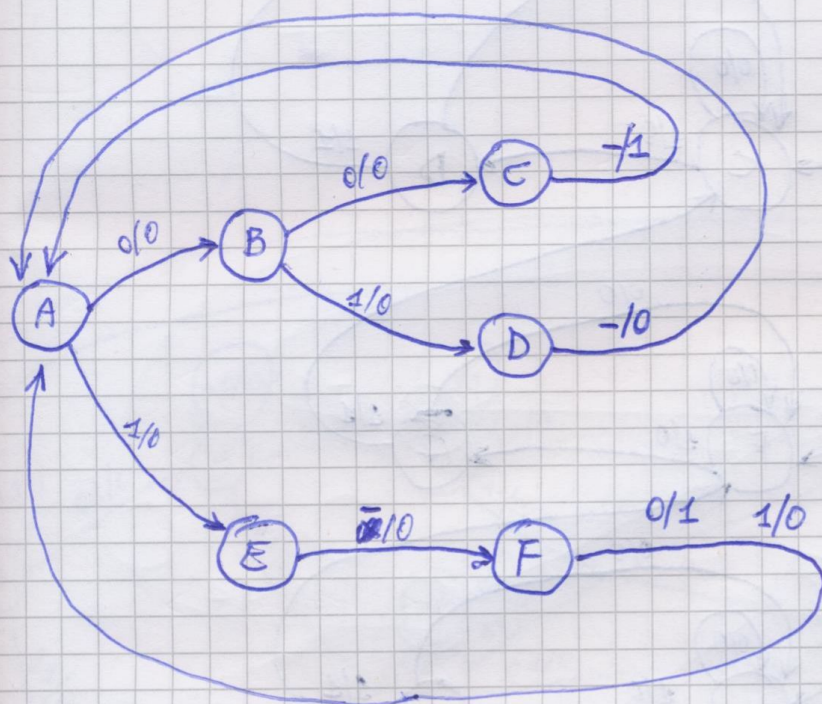


Esercizio 1. Si realizzi una rete sequenziale sincrona R con un ingresso X ed un'uscita Z. Ogni tre colpi di clock la rete riceve in ingresso sulla linea X i tre bit $b(t-2)$, $b(t-1)$ e $b(t)$. Al ricevimento del terzo bit $b(t)$ la rete deve restituire in uscita zero se il numero binario naturale formato dai tre bit $b(t-2)$ $b(t-1)$ $b(t)$ è un numero primo, uno altrimenti. Successivamente la rete riprende il suo funzionamento dal principio. Segue un esempio di funzionamento.

t:	0	1	2	3	4	5	6	7	8
X:	0	1	1	1	0	0	0	0	0
Z:	0	0	0	0	0	1	0	0	1

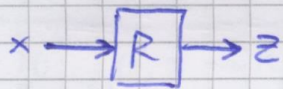


000	(0)	1
001	(1)	1
010	(2)	0
011	(3)	0
100	(4)	1
101	(5)	0
110	(6)	1
111	(7)	0

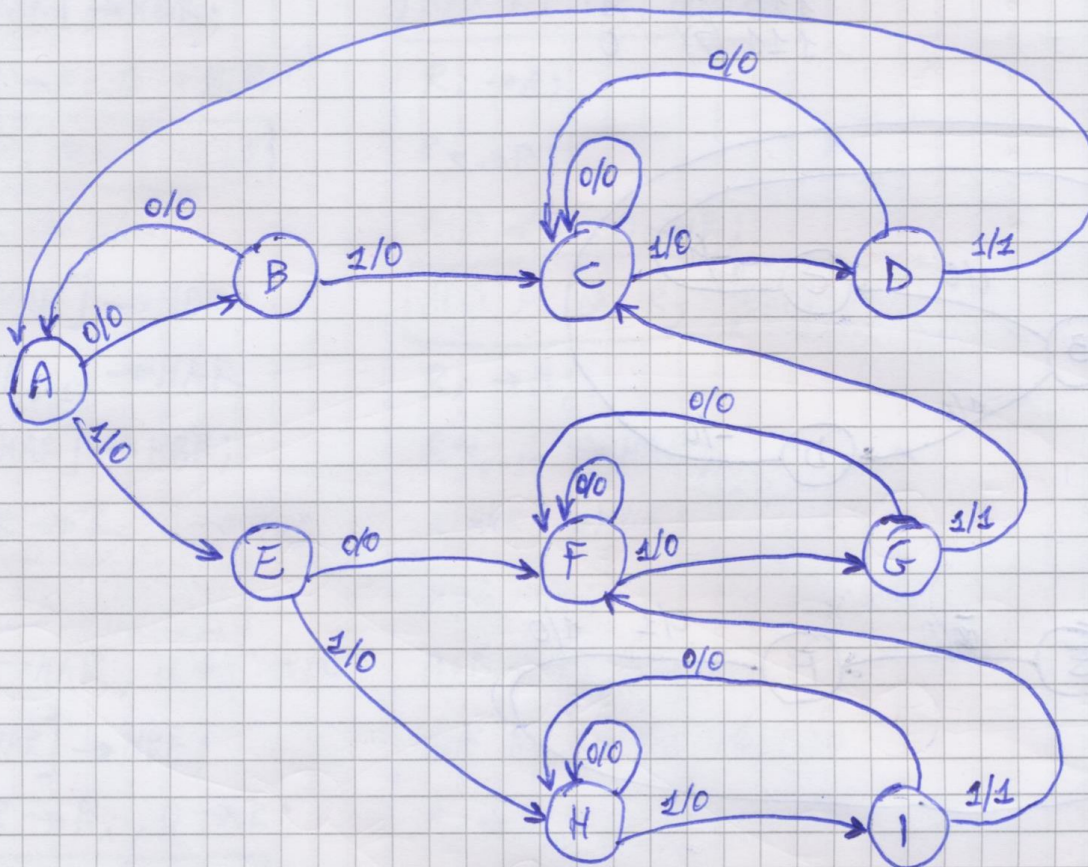


Esercizio 2. Si realizzi una rete sequenziale sincrona R con un ingresso X ed un'uscita Z. Ad ogni colpo di clock, R riceve un bit sulla linea X. I primi due bit b_0 e b_1 ricevuti sulla linea X indicano alla rete R quante volte riconoscere la sottosequenza 11. Al termine del riconoscimento, la rete restituisce 1 sulla linea Z e riconosce una nuova sequenza. Nel caso in cui sia b_0 che b_1 sono uguali a zero, la rete non dovrà riconoscere nessuna sequenza e, quindi, leggerà una nuova coppia $b_0 b_1$. Segue un esempio di funzionamento.

t:	0	1	2	3	4	5	6	7	8
x(t):	1	0	0	1	1	1	0	1	1
z(t):	0	0	0	0	0	0	0	0	1



00 —
 01 ... 11
 10 ... 11 ... 11
 11 ... 11 ... 11 ... 11



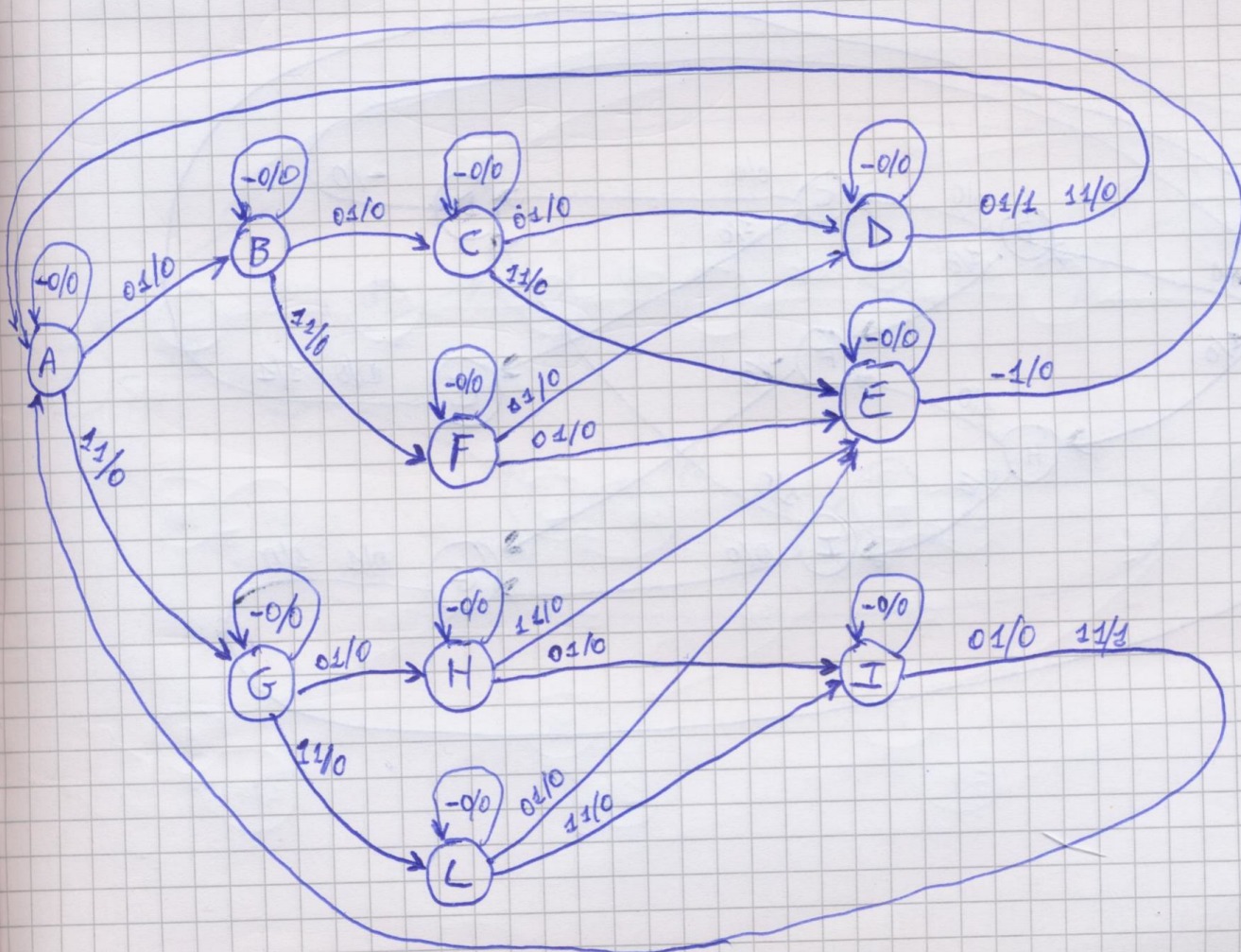
Esercizio 4. Si realizzi una rete sequenziale sincrona R con due linee di ingresso A e B ed una linea di uscita Z. Ad ogni colpo di clock, R riceve un bit sulla linea A e un bit sulla linea B. Il calcolo si ferma quando R avrà ricevuto su B esattamente quattro bit ad 1 e dovrà restituire in uscita 1 solo se la stringa (di quattro bit) che si forma su A in corrispondenza dei bit a 1 di B è palindroma. Segue un esempio di funzionamento di R.

t:	0	1	2	3	4	5	6	7
A(t):	1	0	0	0	1	0	1	1
B(t):	1	0	1	0	0	1	0	1
z(t):	0	0	0	0	0	0	0	1



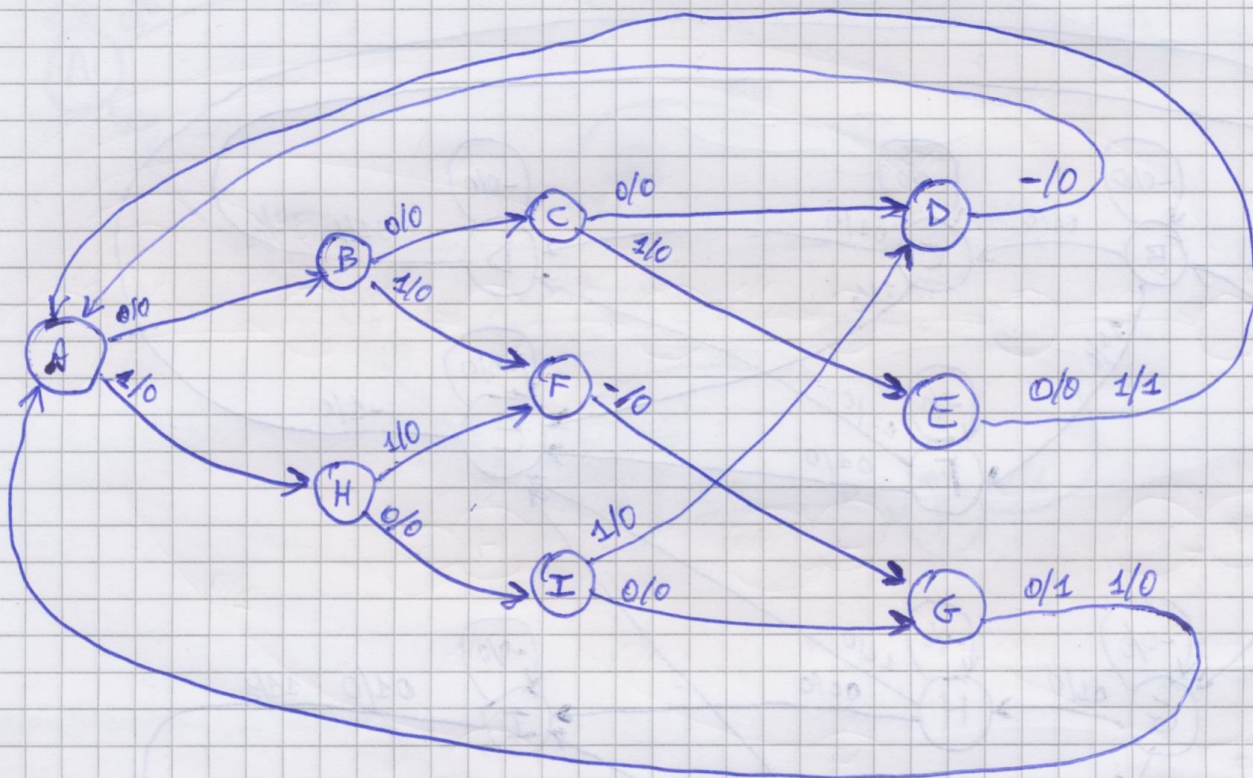
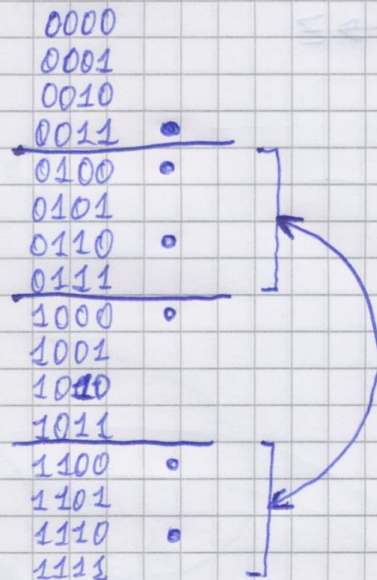
Solo se
B=1

0000 •
0001
0010
0011
0100
0101
0110 •
0111
1000
1001 •
1010
1011
1100
1101
1110
1111 •



Esercizio 5. Si realizzi una rete sequenziale sincrona R con un ingresso X ed una uscita Z. Ogni quattro colpi di clock la rete riceve in ingresso sulla linea X i quattro bit $b(t-3)$, $b(t-2)$, $b(t-1)$ e $b(t)$. Al ricevimento del quarto bit $b(t)$ la rete deve restituire in uscita 1 se il numero binario formato dai quattro bit $b(t-3) b(t-2) b(t-1) b(t)$ è il successore di un numero primo e 0 altrimenti (si assuma che $b(t)$ sia il bit meno significativo di tale numero). Successivamente la rete riprende il suo funzionamento dal principio. Segue un possibile funzionamento di R:

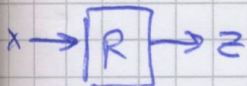
t:	0	1	2	3	4	5	6	7	8	9	10	11
X:	0	0	0	1	0	1	0	0	1	0	0	1
Z:	0	0	0	0	0	0	0	1	0	0	0	0



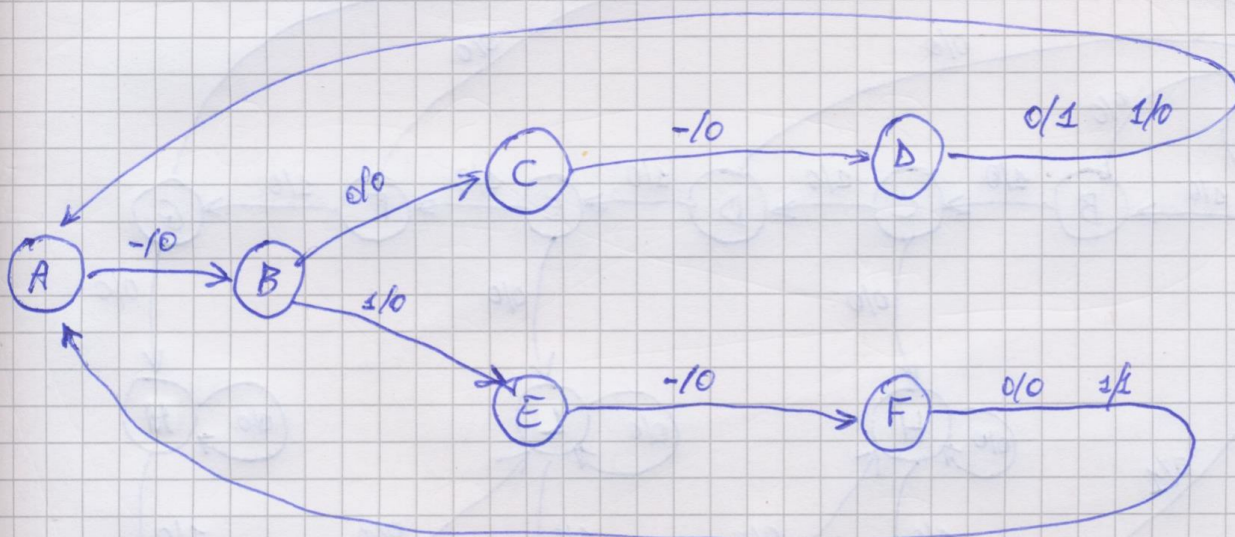
Esercizio 1 - COMPITO DEL 17 GIUGNO 2013

Si realizzi una rete sequenziale sincrona R con una linea di ingresso x ed una linea di uscita z . Ad ogni colpo di clock t , R riceve in ingresso un bit di seguito denotato come $b(t)$. Ogni quattro colpi di clock, R restituisce 1 sulla linea z se la somma dei due numeri binari $b(t-3)b(t-2)$ e $b(t-1)b(t)$ è un numero pari, restituisce 0 altrimenti. Successivamente la rete riprende il suo funzionamento dal principio. Segue un esempio di funzionamento.

t	1	2	3	4	5	6	7	8	9	10	11	12
x	0	1	0	1	1	0	0	1	1	1	0	0
z	0	0	0	1	0	0	0	0	0	0	0	0



0000	•
0001	
0010	•
0011	
0100	
0101	•
0110	
0111	•
1000	•
1001	
1010	•
1011	
1100	
1101	•
1110	
1111	•



Esercizio 1 - COMPITO DELL' 8 LUGLIO 2013

Si realizzi una rete sequenziale sincrona R con una linea di ingresso x ed una linea di uscita z . La rete riconosce come valide espressioni del tipo $e = \alpha 0 \beta$, dove α è una sequenza composta da una, due oppure tre coppie '11' consecutive. Lo 0 tra α e β segna la fine della sequenza α , dopo tale 0 la rete inizierà a leggere la sequenza β , che è una sequenza generica di uni e zeri caratterizzata dalla proprietà di contenere un numero di coppie '10', questa volta anche non consecutive, uguale al numero di coppie '11' della sequenza α . Terminato di leggere β la rete tornerà allo stato iniziale, restituendo uno in uscita. Successivamente la rete riprenderà il suo funzionamento dal principio. Se durante la lettura della sequenza α , la rete dovesse ricevere in input uno zero non atteso (ovvero subito dopo un uno spurio), allora tornerà allo stato iniziale restituendo zero.

Esempio: Si consideri il possibile funzionamento della rete illustrato in basso. Al colpo di clock 4 la rete inizia a leggere la sequenza α , che è composta da due coppie '11' consecutive. Al colpo di clock 8 riceve in input lo zero che separa α e β , quindi inizia a leggere la sequenza β che è composta da sette bit ($\beta = 0010110$) e contiene due coppie '10' non consecutive. Se al colpo di clock 7 la rete avesse ricevuto uno zero invece di un uno, avrebbe restituito 0 e sarebbe tornata allo stato iniziale.

t	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
x	0	1	0	1	1	1	1	0	0	0	1	0	1	1	0
z	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

11 | 0 | ... 10
 11 11 | 0 | ... 10 ... 10
 11 11 11 | 0 | ... 10 ... 10 ... 10

