



PLACA DE DESARROLLO FPGA NANO 1k MANUAL DE USUARIO v0.3

CARACTERÍSTICAS PRINCIPALES

- FPGA Gowin GW1NZ-LV1
- Unidades lógicas (LUT4): 1152
- Registros (FF): 864
- Memoria SRAM: 36KB
- Memoria Flash (bits): 64K
- Número de PLL: 1 (3.15MHz-400MHz)
- Bancos de I/O: 2
- Depurador BL702 por JTAG
- Periféricos
 - Conector LCD de caracteres 16x2
 - Conector para pantalla OLED vía I2C
 - Intefaz UART a través del chip CH340
 - Display de 8 segmentos de 4 dígitos
 - 4 LEDS de usuario de un solo color
 - 2 Pulsadores de usuario
 - 1 LED RGB
 - 29 pines de Entrada/Salida de propósito general (GPIO)
- Soporte de herramientas de código abierto
- Flujo de trabajo optimizado
- Compatibilidad Multiplataforma
- Ejemplos de diseño

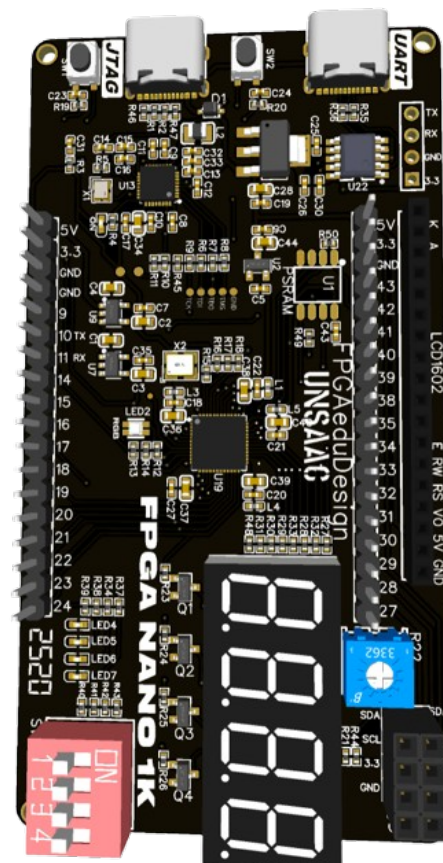




TABLA DE CONTENIDOS

1. Placa de Desarrollo FPGA NANO 1K	3
2. FPGA GW1NZ-LV1	4
3. Reloj de cristal de 27 MHz	5
4. LED RGB	6
5. LEDs de Usuario	7
6. Botones	8
7. Interruptores	9
8. Display de 8 segmentos	10
9. Conexión LCD	11
10. Comunicación UART	12
11. Comunicación I2C	13



PLACA DE DESARROLLO FPGA NANO 1K

Bienvenido al manual de usuario de la placa entrenadora **FPGA NANO 1K**. Esta placa ha sido desarrollada por **Elemsys**® como una solución educativa para un aprendizaje sobre FPGAs de una forma más dinámica de lo habitual y de prototipada rápido. Está basada en el dispositivo **GWINZ-LV1** de **Gowin Semiconductor**. Este FPGA pertenece a la familia **LittleBee**®, reconocida por su bajo consumo de energía, naturaleza no volátil y capacidad de encendido instantáneo.

La placa integra el FPGA junto con una selección de periféricos comunes, proporcionando una base sólida para estudiantes, docentes e ingenieros que deseen explorar el diseño digital. Es posible implementar desde lógica combinatorial simple hasta sistemas más complejos con comunicación serial, controladores de periféricos y procesamiento básico de señales.

La NANO 1K es compatible con el entorno oficial **Gowin IDE**, que se ofrece gratuitamente por el fabricante sin requerir activación de licencias y **DSim** para realizar las simulaciones en esta plataforma. El entorno de desarrollo proporciona un flujo de trabajo notablemente más sencillo y liviano en comparación con herramientas como **Quartus** o **Vivado**, lo que facilita la curva de aprendizaje, reduce los requisitos del sistema y acelera el proceso de simulación e implementación.

Además, la placa es compatible con herramientas de código abierto como **Yosys** para la síntesis lógica y **GHDL** para la simulación de diseños en VHDL, permitiendo un flujo de desarrollo completamente libre. También es posible explorar metodologías modernas como la **síntesis de alto nivel (HLS)** utilizando lenguajes de alto nivel como **Python**, mediante herramientas de terceros orientadas a la generación automática de hardware desde descripciones algorítmicas.

Gracias a su diseño compacto y funcional, la NANO 1K representa una herramienta útil para el aprendizaje práctico, la experimentación y la validación de diseños digitales en tiempo real, reduciendo significativamente el tiempo de desarrollo.

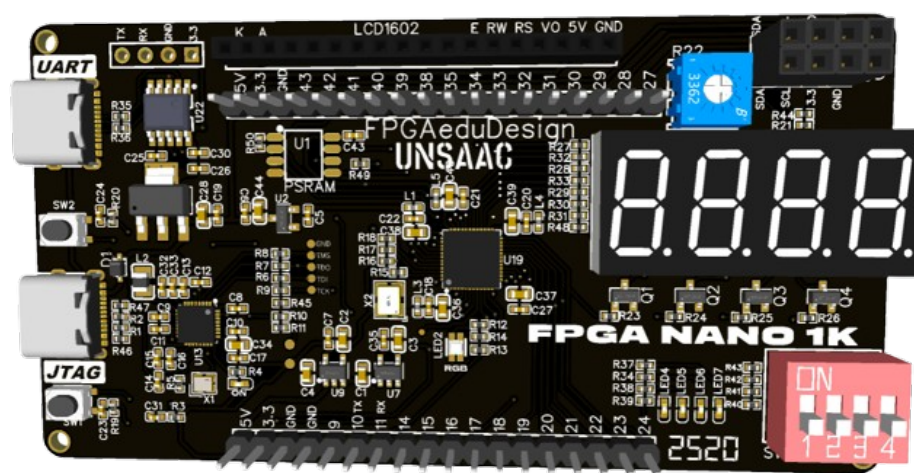
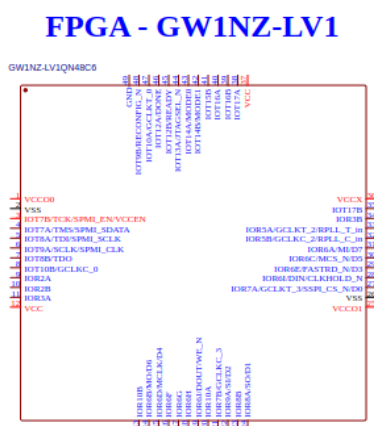


Figura 1: Placa entrenadora FPGA NANO 1K.



FPGA GW1NZ-LV1

El FPGA pertenece a la serie GW1NZ de Gowin Semiconductor (primera generación de la familia **LittleBee** de dispositivos de bajo consumo). La placa utiliza exactamente el dispositivo GWINZ-LV1FN48C6/I5. Este FPGA viene en un paquete QFN de 48 pines (paquete QFN-48). En este encapsulado hay un total de 48 pines físicos; de ellos 29 se habilitan como pines de E/S de usuario programables. La Figura 2 muestra el chip FPGA físico usado en la placa de desarrollo.



(a) Esquemático de la FPGA.



(b) Chip físico de la FPGA.

Figura 2: Chip FPGA de Gowin incorporado en la placa de desarrollo.

- Modelo: GWINZ-LV1FN48C6/I5
- Familia: LittleBee (serie GWINZ-1)
- Encapsulado: paquete QFN-48 (48 pines)
- Número total de pines: 48 (con 29 pines de E/S de usuario)

La FPGA GW1NZ-LV1FN48C6/I5 es de arquitectura **no volátil**, con memoria Flash interna de usuario de 64Kbit, de modo que conserva la configuración al apagar. El voltaje de núcleo típico es **1.2 V**. Según las tablas de características, el chip dispone de 1 PLL (puede llegar de 3.15 MHz a 400 MHz), 72Kbit de RAM en 4 bloques y soporte para múltiples modos de arranque (JTAG, Auto-boot, Dual Boot). En total la familia GW1NZ-1 ofrece 1152 LUT4 y 864 registros internos, suficientes para aplicaciones sencillas de sistemas digitales y bajo consumo.



RELOJ DE CRISTAL DE 27 MHz

La Figura 3 muestra el circuito del cristal activo de 27 MHz, el cual proporciona la fuente de reloj para la placa de desarrollo **NANO 1k**. La salida del oscilador de cristal está conectada al pin de entrada global de reloj del FPGA (CLK1, pin 47). Este CLK puede usarse como para controlar la lógica del usuario dentro de la FPGA. Por otra parte, este reloj es el que puede ir a la entrada del bloque PLL (bloque de enganche de fase) interno del FPGA en cuentión (mencionado anteriormente).

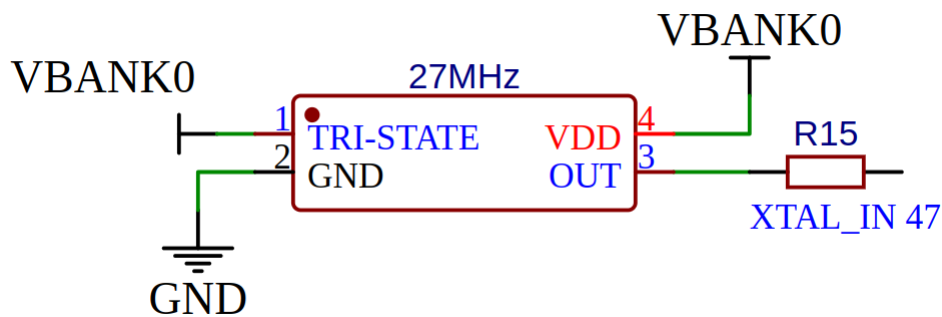


Figura 3: Diagrama esquemático del reloj de 27 MHz externo.

Nombre de Señal	Pin FPGA	Tipo de I/O
CLK	47	LVC MOS33

Tabla 1: Pinout del reloj de cristal a la FPGA.



LED RGB

El LED RGB SMD 1615, es un diodo de montaje en superficie altamente versátil que integra emisores de luz roja, verde y azul en un encapsulado compacto. Cuando el pinout de la FPGA es 1 lógico, el LED encenderá. Cuando la salida es 0, el LED estará apagado. El diagrama esquemático de los led RGB se muestra en la Figura 4.

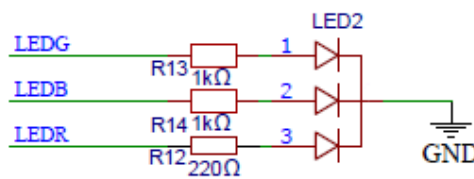


Figura 4: Esquemático del diodo de montaje superficial RGB.

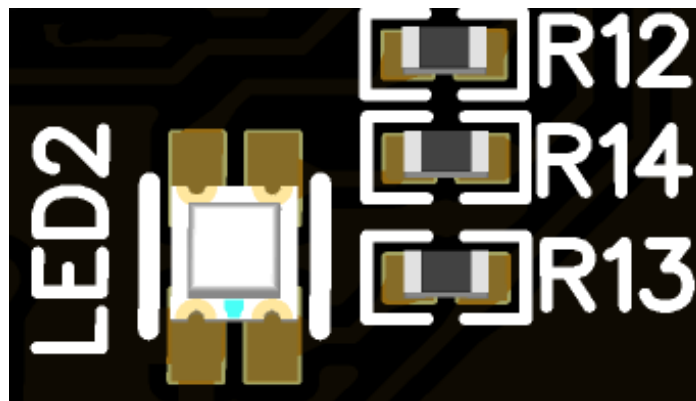


Figura 5: Diodo de montaje superficial RGB en la placa.

Nombre de Señal	Pin FPGA	Descripción	Tipo de I/O
LEDR	9	LED color rojo	LVC MOS33
LEDB	10	LED color verde	LVC MOS33
LEDG	11	LED color azul	LVC MOS33

Tabla 2: Pinout del LED RGB a la FPGA.



LEDs DE USUARIO

La placa cuenta con 4 LED (diodos emisores de luz) de usuario. El diagrama esquemático de estos LEDs se muestra en la Figura 6. Cuando la salida del FPGA es un nivel lógico bajo (0), el LED permanece apagado; cuando la salida es un nivel lógico alto (1), el LED se enciende.

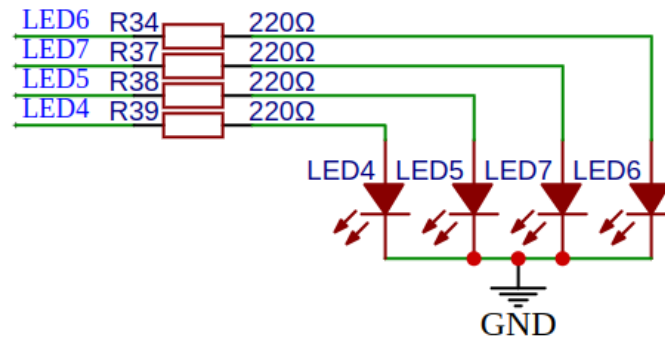


Figura 6: Esquemático de los 4 LEDs de usuario.

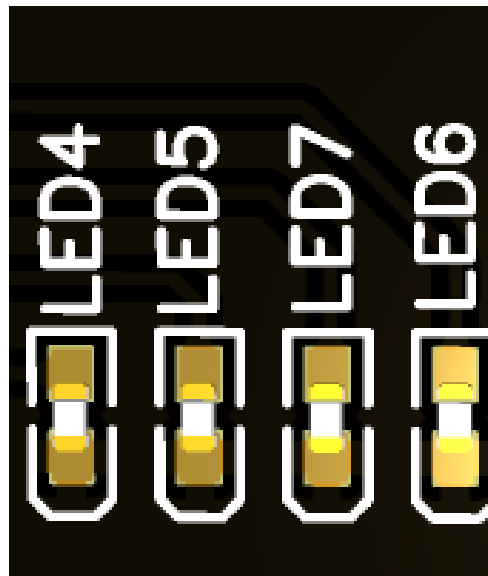


Figura 7: Disposición de los 4 LEDs de usuario en la placa.

Nombre de Señal	Pin FPGA	Tipo de I/O
LED4	24	LVC MOS33
LED5	23	LVC MOS33
LED6	21	LVC MOS33
LED7	22	LVC MOS33

Tabla 3: Pinout de los 4 LEDs a la FPGA.

BOTONES

La placa cuenta con 2 botones independientes (SW1-SW2). Estos botones tienen una configuración pull-down. O sea, normalmente están generando un nivel bajo (0 lógico), mientras que al ser presionados enviarán un nivel alto (1 lógico). El diagrama esquemático se muestra en la Figura 8

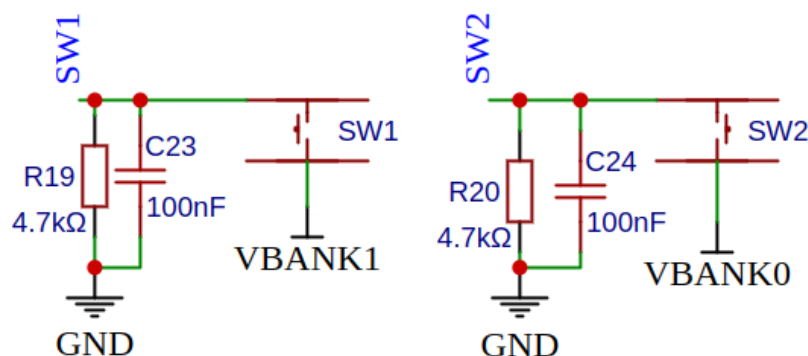
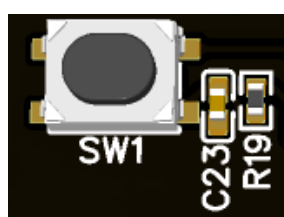
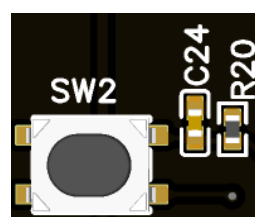


Figura 8: Esquemático de los 2 botones de usuario



(a) Boton SW1



(b) Botón SW2

Figura 9: Disposición de los 2 botones de usuario en la placa.

Nombre de Señal	Pin FPGA	Descripción	Tipo de I/O
SW1	13	Botón 1	LVC MOS33
SW2	44	Botón 2	LVC MOS33

Tabla 4: Pinout de los 2 botones a la FPGA.



INTERRUPTORES

La placa contiene 4 interruptores independientes de usuario (SW3-SW6). Todos los interruptores son activos en nivel alto, es decir, al accionarlos generarán un nivel alto (1) y al dejarlo (como se ilustra en la Figura 10), un nivel bajo. El digrama esquemático muestra la Figura 10.

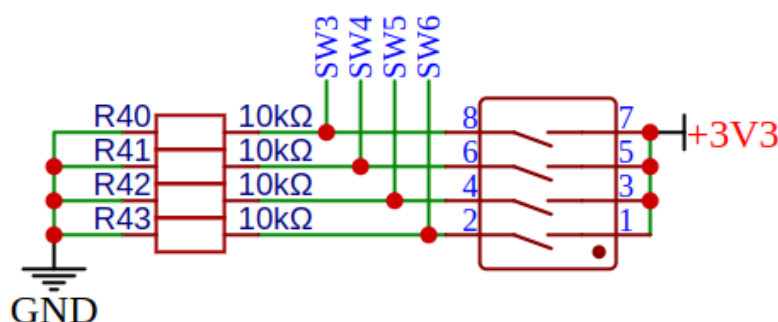


Figura 10: Esquemático de los 4 interruptores de usuario.

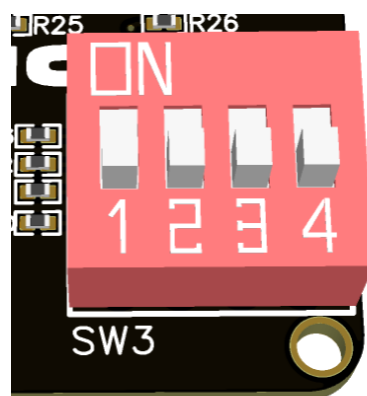


Figura 11: Disposición de los 4 Interruptores de usuario en la placa.

Nombre de Señal	Pin FPGA	Descripción	Tipo de I/O
SW3	20	Interruptor 1	LVC MOS33
SW4	19	Interruptor 2	LVC MOS33
SW5	18	Interruptor 3	LVC MOS33
SW6	17	Interruptor 4	LVC MOS33

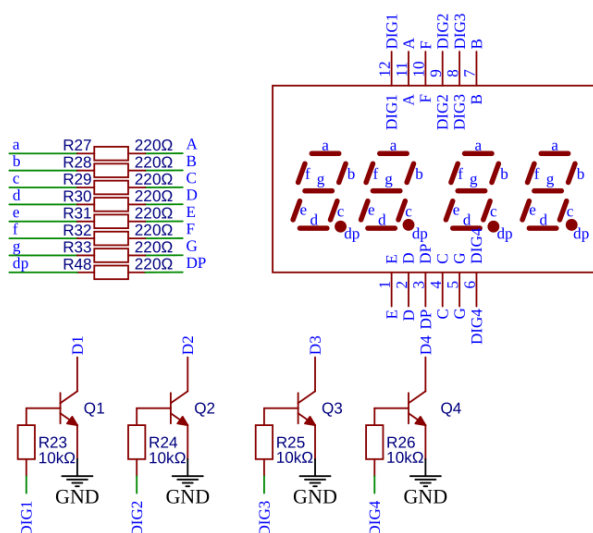
Tabla 5: Pinout de los 4 interruptores a la FPGA.

DISPLAY DE 8 SEGMENTOS

La placa utiliza un **display de 4 dígitos** con ocho segmentos en cada uno (incluye el punto). Este componente es de **cátodo común**, por lo que:

- Un segmento se **enciende** cuando su pin está en **nivel alto (1 lógico)**.
- El segmento permanece **apagado** si el pin está en **nivel bajo (0 lógico)**.

Los **segmentos A–G y DP** están conectados en común para los 4 dígitos mediante los pines A, B, C, . . . , F, G, DP como se ilustra en la Figura 12a. La selección del dígito se realiza con los pines D[1..4], que son **activos en alto**: al poner un D[x] en 1 lógico, se activa el dígito correspondiente. La configuración total ocupa **12 pines**, como se muestra en la Figura 12a.



(a) Diagrama esquemático del display de 8 segmentos.



(b) Disposición del display de 8 segmentos en la placa.

Figura 12: Disposición de los 4 dígitos de 8 segmentos de usuario en la placa.

Nombre de Señal	Pin FPGA	Descripción	Tipo de I/O
D1	24	Transistor Q1	LVC MOS33
D2	23	Transistor Q2	LVC MOS33
D3	22	Transistor Q3	LVC MOS33
D4	21	Transistor Q4	LVC MOS33
a	34	Segmento a	LVC MOS33
b	32	Segmento b	LVC MOS33
c	30	Segmento c	LVC MOS33
d	29	Segmento d	LVC MOS33
e	28	Segmento e	LVC MOS33
f	33	Segmento f	LVC MOS33
g	31	Segmento g	LVC MOS33
dp	27	Segmento punto	LVC MOS33

Tabla 6: Pinout de los 8 segmentos a la FPGA.

CONEXIÓN LCD

La placa incorpora un conector compatible con pantallas LCD alfanuméricas modelo **LCD1602**, las cuales permiten mostrar hasta **2 líneas de 16 caracteres**. Estas pantallas utilizan un **controlador HD44780** o equivalente, y pueden operar tanto en **modo de 8 bits** como en el más común **modo de 4 bits**.

La comunicación se establece a través de los pines RS, RW, E y las líneas de datos D0–D7 (o solo D4–D7 en modo de 4 bits). El pin RS selecciona entre comandos y datos, RW define la dirección (lectura o escritura), E habilita la transferencia.

El conector también proporciona líneas de alimentación y control de retroiluminación. La Figura 13 muestra el pinout del conector disponible en la placa.

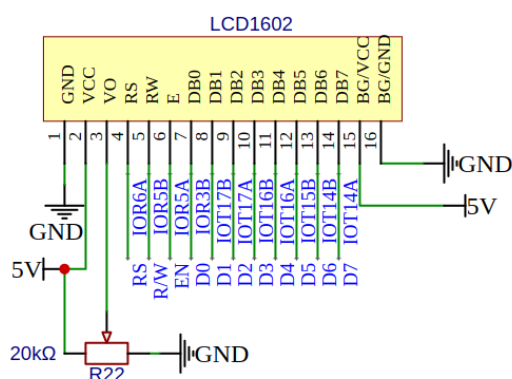


Figura 13: Diagrama esquemático del LCD1602.

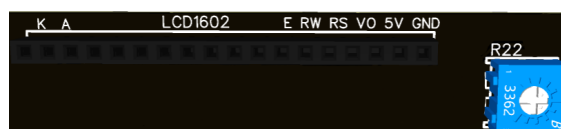


Figura 14: Disposición del conector para la LCD1602 en la placa.

Nombre de Señal	Pin FPGA	Descripción	Tipo de I/O
RS	31	Register Select	LVC MOS33
R/W	32	Read/Write	LVC MOS33
EN	33	Enable	LVC MOS33
D0	34	Data 0	LVC MOS33
D1	35	Data 1	LVC MOS33
D2	38	Data 2	LVC MOS33
D3	39	Data 3	LVC MOS33
D4	40	Data 4	LVC MOS33
D5	41	Data 5	LVC MOS33
D6	42	Data 6	LVC MOS33
D7	43	Data 7	LVC MOS33

Tabla 7: Pinout de los conectores de la LCD 1602 a la FPGA.



COMUNICACIÓN UART

La placa cuenta con el chip CH340 integrado, utilizado exclusivamente para la conversión de señales USB a UART con niveles TTL (Transistor-Transistor Logic). Este chip permite la comunicación serie entre la FPGA y una computadora a través de un cable USB, facilitando el envío y recepción de datos mediante el protocolo UART. Las señales de UART generadas son de tipo TTL, compatibles con los niveles lógicos de la FPGA.

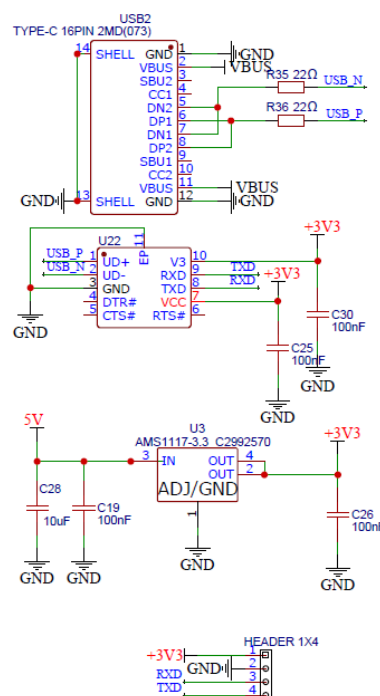


Figura 15: Diagrama esquemático para el protocolo UART.

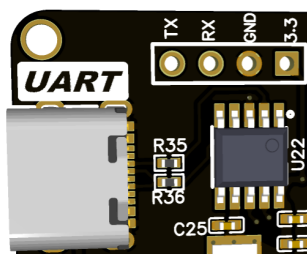


Figura 16: Disposición para el protocolo UART en la placa.

Nombre de Señal	Pin FPGA	Tipo de I/O
TX	10	LVC MOS33
RX	11	LVC MOS33

Tabla 8: Pinout del UART a la FPGA.



COMUNICACIÓN I2C

La placa cuenta con dos conectores hembra compatibles con el protocolo I2C, que proporcionan acceso a las líneas SDA, SCL y a las conexiones de alimentación. Ambos conectores están destinados a la misma interfaz I2C, por lo que solo debe utilizarse uno a la vez. La diferencia entre ellos radica únicamente en la disposición física de los pines para la alimentación 3.3 V y GND, como se muestra en el diagrama esquemático de la Figura 17.

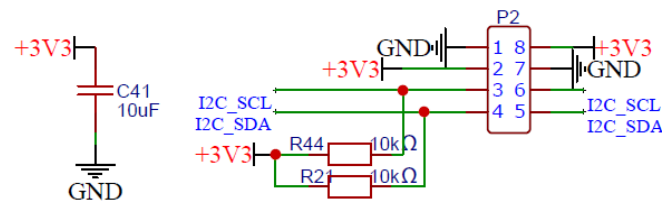


Figura 17: Diagrama esquemático para el protocolo I2C.

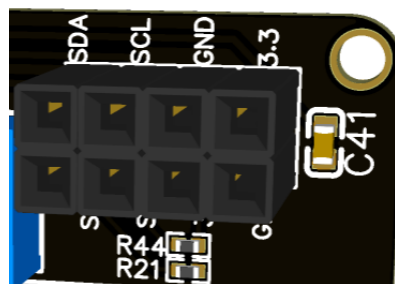


Figura 18: Disposición para el protocolo I2C en la placa.

Nombre de Señal	Pin FPGA	Tipo de I/O
SCL	28	LVC MOS33
SDA	27	LVC MOS33

Tabla 9: Pinout del I2C a la FPGA.